

# 异质栅非对称 Halo SOI MOSFET 亚阈值电流模型<sup>\*</sup>

栾苏珍<sup>†</sup> 刘红侠 贾仁需 王 瑾

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

**摘要:** 在沟道源端一侧引入高掺杂 Halo 结构的异质栅 SOI MOSFET, 可以有效降低亚阈值电流. 通过求解二维泊松方程, 为该器件建立了亚阈值条件下的表面势模型. 利用常规漂移-扩散理论, 在表面势模型的基础上, 推导出新结构器件的亚阈值电流模型. 为了求解简单, 文中给出了一种分段近似方法, 从而得到表面势的解析表达式. 结果表明, 所得到的表面势解析表达式和确切解的结果高度吻合. 二维器件数值模拟器 ISE 验证了通过表面势解析表达式得到的亚阈值电流模型, 在亚阈值区二者所得结果吻合得很好.

**关键词:** 异质栅; SOI MOSFET; 亚阈值电流; 二维解析模型

**PACC:** 7330; 7340S; 7220

**中图分类号:** TN386 **文献标识码:** A **文章编号:** 0253-4177(2008)04-0746-05

## 1 引言

随着集成电路的迅速发展, MOSFET 的尺寸不断缩小, 已经进入了纳米时代. 然而, 随着器件沟道长度的缩小, 传统的平面器件遇到了各种小尺寸效应和可靠性问题, 一些影响器件特性的效应如短沟效应(SCE)、漏致势垒降低效应(DIBL)、热载流子效应(HCE)等更加明显. 因此, 异质栅 SOI MOSFET<sup>[1~4]</sup> 似乎是一种极具应用前景的器件. 它可以有效抑制 SCE, 并且由于存在台阶电势, 载流子输运效率得到很大的提高. 然而, 当器件缩小到 100nm 以下时, DMG SOI MOSFET 的 DIBL 效应比较明显, 在沟道靠近源/漏端引入高掺杂区可以有效地抑制 DIBL 效应. 在过去的几年里, 关于源漏区对称的硼环(Halo)掺杂<sup>[5~7]</sup> 已经有大量的实验和解析模型研究. Halo 结构可以是对称的, 也可以是非对称的, 即仅在沟道靠近源端处引入 Halo 区<sup>[8,9]</sup>. 关于非对称 Halo SOI MOSFET, 也曾有报道, 但仅研究了器件的阈值电压特性和驱动能力<sup>[10~12]</sup>. 随着器件尺寸缩小, 集成度不断提高, 功耗似乎成为限制尺寸缩小的瓶颈, 因此, 亚阈值特性成为重要的限制因素. 本文的主要目的就是研究异质栅非对称 Halo SOI 器件的亚阈值特性. 通过求解二维泊松方程, 为新结构器件建立了全耗尽条件下表面势模型. 利用传统的漂移-扩散理论, 在表面势模型的基础上得到了新结构器件的亚阈值电流模型, 并对其性能改进情况进行了研究. 模型得到的结果与二维器件数值模拟器 ISE 所得结果高度吻合.

## 2 亚阈值电流模型

### 2.1 二维表面势

图 1 给出了异质栅非对称 Halo 全耗尽 SOI MOSFET 的结构示意图. 作为比较, 还给出了普通异质栅器件结构. 靠近源端金属 M1 的功函数比漏端金属 M2 的高. 同时, 源端一侧的沟道掺杂浓度比沟道其余地方的高. 因此, 最低表面势应该在 1 区. 考虑到栅和掺杂特点, 沟道可以分成 3 个区域. 忽略固定氧化层电荷对沟道电势的影响, 弱反型时电势分布可以表示成

$$\frac{\partial^2 \phi_i(x, y)}{\partial x^2} + \frac{\partial^2 \phi_i(x, y)}{\partial y^2} = \frac{qN_i}{\epsilon_{Si}} \quad (1)$$
$$L_{i-1} \leq x \leq L_i, 0 \leq y \leq t_{Si}, i = 1, 2, 3$$

其中  $\epsilon_{Si}$  是硅的介电常数;  $N_i$  是沟道掺杂浓度,  $N_1 = N_A, N_2 = N_3 = N_B$ .

漏电压较小时, 沿  $y$  方向(纵向)的电势分布可以用简单的抛物线函数描述<sup>[3]</sup>, 即

$$\phi_i(x, y) = \phi_{Si}(x) + c_{i1}(x)y + c_{i2}(x)y^2 \quad (2)$$
$$L_{i-1} \leq x \leq L_i, 0 \leq y \leq t_{Si}, i = 1, 2, 3$$

其中  $\phi_{Si}(x)$  是沟道前表面势; 任意常数  $c_{i1}(x), c_{i2}(x)$  仅是关于  $x$  的函数.

由于平带电压依赖于栅功函数和沟道掺杂浓度, 因此 3 个区域的平带电压必然不同, 有

$$V_{FBi} = \phi_{MSi} = \phi_{Mi} - \phi_{Si} \quad (3)$$
$$L_{i-1} \leq x \leq L_i, 0 \leq y \leq t_{Si}, i = 1, 2, 3$$

其中  $\phi_{Mi}, \phi_{Si}$  分别为金属和硅的功函数.

<sup>\*</sup> 国家自然科学基金(批准号:60206006), 教育部新世纪优秀人才计划(批准号:681231366), 国防预研基金(批准号:51308040103), 西安应用材料创新基金(批准号:XA-AM-200701)和教育部重点科技研究(批准号:104172)资助项目

<sup>†</sup> 通信作者. Email: szluan@mail.xidian.edu.cn

2007-09-13 收到, 2007-10-08 定稿

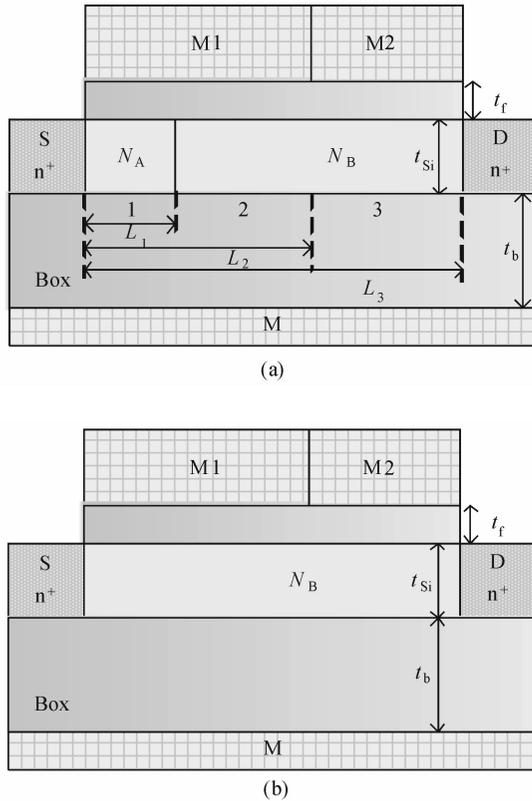


图1 结构示意图 (a)异质栅非对称 Halo SOI MOSFET; (b)普通异质栅 SOI MOSFET

Fig.1 Schematic structure of (a)DMG SOI MOSFET with a single halo(DMGH) and (b) a conventional DMG SOI MOSFET

半导体的功函数可以表示为

$$\phi_{Si} = \chi_{Si} + \frac{E_g}{2q} + \phi_{Fi} \quad (4)$$

其中 费米势  $\phi_{Fi} = V_t \ln(N_i/n_i)$ ;  $E_g$  是硅的禁带宽度;  $\chi_{Si}$  是电子亲和势;  $V_t$  是热电势;  $n_i$  是半导体的本征载流子密度.

求解方程(2)的边界条件如下:

(1) 栅氧/前沟道界面和埋氧/背沟道界面的电通量分别连续,为

$$\left. \frac{d\phi_i(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \times \frac{\phi_{Si}(x) - V'_{gsi}}{t_f}$$

$$\left. \frac{d\phi_i(x, y)}{dy} \right|_{y=t_{Si}} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \times \frac{V'_{bsi} - \phi_{Bi}(x)}{t_b} \quad (5)$$

其中  $\epsilon_{ox}$  是绝缘介质的介电常数;  $t_f, t_b$  分别是栅氧化层和埋氧化层的厚度;  $V'_{gsi} = V_{gs} - V_{FB,fi}$ ,  $V'_{bsi} = V_{bs} - V_{FB,bi}$  ( $i=1,2,3$ ),  $V_{gs}$  是栅源电压,  $\phi_{Bi}(x)$  是背沟道表面势,  $V_{FB,fi}, V_{FB,bi}$  ( $i=1,2,3$ ) 分别是前、后沟道对应的平带电压.

(2) 3个区域的表面势和电通量分别连续,为

$$\phi_1(L_1, 0) = \phi_2(L_1, 0), \phi_2(L_2, 0) = \phi_3(L_2, 0)$$

$$\left. \frac{d\phi_1(x, y)}{dx} \right|_{x=L_1} = \left. \frac{d\phi_2(x, y)}{dx} \right|_{x=L_1}$$

$$\left. \frac{d\phi_2(x, y)}{dx} \right|_{x=L_2} = \left. \frac{d\phi_3(x, y)}{dx} \right|_{x=L_2} \quad (6)$$

(3) 源漏端的电势分别为

$$\phi_1(0, 0) = \phi_{s1}(0) = V_{bi}$$

$$\phi_3(L, 0) = \phi_{s3}(L) = V_{bi} + V_{ds} \quad (7)$$

其中源-体的内建电势  $V_{bi} = (E_g/2) + V_t \ln(N_A/n_i)$ .

利用上述边界条件,可以得到(2)式中的常数,然后将(2)式代到(1)式中可以得到

$$\frac{d^2 \phi_{Si}(x)}{dx^2} - \alpha^2 \phi_{Si}(x) = \beta_i, L_{i-1} \leq x \leq L_i \quad (i=1,2,3) \quad (8)$$

$$\text{这里 } \alpha^2 = \frac{2(C_b C_{Si} + C_f C_{Si} + C_b C_f)}{t_{Si}^2 C_{Si} (2C_{Si} + C_b)},$$

$$\beta_i = \frac{qN_i}{\epsilon_{Si}} - 2V'_{gsi} \frac{C_f (C_{Si} + C_b)}{t_{Si}^2 C_{Si} (2C_{Si} + C_b)} - 2V'_{bsi} \frac{C_b}{t_{Si}^2 (2C_{Si} + C_b)}, i=1,2,3$$

其中  $C_{Si} = \epsilon_{Si}/t_{Si}$ ;  $C_f = \epsilon_{ox}/t_f$ ;  $C_b = \epsilon_{ox}/t_b$ .

方程(8)为简单的二阶常微分方程,其解的形式为

$$\phi_{Si}(x) = A_i \exp(\alpha x) + B_i \exp(-\alpha x) - \sigma_i, i=1,2,3 \quad (9)$$

其中  $\sigma_i = \beta_i/\alpha^2$  ( $i=1,2,3$ ).

我们利用(5)~(7)式可以求解出(8)式中的常数为

$$A_1 = \frac{(V_{bi} + V_{ds} + \sigma_3) - (V_{bi} + \sigma_1) \exp(-\alpha L) + V_{SL}}{2 \sinh(\alpha L)}$$

$$B_1 = \frac{(V_{bi} + \sigma_1) \exp(\alpha L) - (V_{bi} + V_{ds} + \sigma_3) - V_{SL}}{2 \sinh(\alpha L)}$$

$$A_i = A_{i-1} - \exp(-\alpha L_{i-1}) (\sigma_{i-1} - \sigma_i) / 2, i=2,3$$

$$B_i = B_{i-1} - \exp(\alpha L_{i-1}) (\sigma_{i-1} - \sigma_i) / 2, i=2,3$$

其中  $V_{SL} = (\sigma_1 - \sigma_2) \cosh(\alpha(L - L_1)) + (\sigma_2 - \sigma_3) \cosh(\alpha(L - L_2))$ .

## 2.2 二维亚阈值电流模型

根据漂移-扩散理论, nMOSFET 结构中的电流密度可以表示为

$$J_n = q \left( -n(x) \mu_n \frac{d\phi_{Si}(x)}{dx} + D_n \frac{dn(x)}{dx} \right)$$

$$= q D_n \left( -\frac{n(x)}{V_t} \times \frac{d\phi_{Si}(x)}{dx} + \frac{dn(x)}{dx} \right) \quad (10)$$

其中  $n(x)$  是沿沟道方向的电子密度;  $D_n$  是电子的扩散系数, 其和热电势  $V_t$ 、电子迁移率  $\mu_n$  可以表示为爱因斯坦关系  $D_n = V_t \mu_n$ .

为了求解(10)式,可在其两边同乘上  $\exp(-\phi_{Si}(x)/V_t)$ , 则等式右边可以转换成确定的微分式, 利用(7)式,可以得到

$$J_n = q D_n \exp\left(-\frac{V_{bi}}{V_t}\right) \frac{\left(N_A - N_B \exp\left(-\frac{V_{ds}}{V_t}\right)\right)}{\int_0^L \exp\left(-\frac{\phi_{Si}(x)}{V_t}\right) dx} \quad (11)$$

亚阈值区的漏电流可以表示为

$$I_{sub} = J_n W S_{eff} \quad (12)$$

其中  $W$  是器件的沟道宽度;  $S_{eff}$  为垂直于 Si/SiO<sub>2</sub> 界

面的有效沟道厚度,其值等于垂直沟道方向上电势改变一个热电势  $V_t$  时的距离<sup>[13]</sup>. 根据高斯定理,弱反型时表面电场的垂直分量  $V_t/S_{\text{eff}} = Q_{\text{dep}}/\epsilon_{\text{Si}}$  ( $Q_{\text{dep}}$  是耗尽层电荷),因此有效沟道厚度  $S_{\text{eff}}$  为

$$S_{\text{eff}} = V_t \sqrt{\frac{\epsilon_{\text{Si}}}{2qN_i\phi'_{\text{Si}}}}, i = 1, 2, 3 \quad (13)$$

其中  $\phi'_{\text{Si}} = 2\phi_{\text{Fi}}$  是达到强反型时的表面势.

在异质栅非对称 Halo SOI MOSFET 中,由于沟道被分成 3 个区域,通过迭代求解 3 个区域的电流方程,可以得到沟道中的亚阈值电流. 然而,由 (9) 式可知,求解方程 (11) 中分母项的计算相当复杂. 为了得到方程 (11) 的解析解,我们将沟道电势  $\phi_{\text{Si}}(x)$  近似表示成分段线性函数. 因此, (9) 式中的  $\phi_{\text{Si}}(x)$  可以统一表示为

$$\phi_{\text{Si}}(x) = \frac{\phi_{s,m} - \phi_{s,m-1}}{x_m - x_{m-1}}x + \frac{\phi_{s,m-1}x_m - \phi_{s,m}x_{m-1}}{x_m - x_{m-1}} \quad (14)$$

因此, (11) 式中的分母可以写成,

$$\int_0^L \exp\left(-\frac{\phi_{\text{Si}}(x)}{V_t}\right) dx = \sum_{m=1}^N \frac{V_t \Delta x}{\phi_{s,m} - \phi_{s,m-1}} \times \exp\left(-\frac{\phi_{s,m-1}}{V_t}\right) \left[1 - \exp\left(-\frac{\phi_{s,m} - \phi_{s,m-1}}{V_t}\right)\right] \quad (15)$$

其中  $\phi_{s,m}$  是  $x = m\Delta x$  ( $\Delta x = x_m - x_{m-1} = L/N$ ) 处的表面势  $\phi_{\text{Si}}(x)$ .

将这种解析方法应用到 (12) 式,就可以得到该结构的亚阈值电流.

### 3 结果和分析

对于异质栅非对称 Halo (DMGH) SOI MOSFET, 其栅金属 M1 和 M2 的功函数的典型值分别为 4.77 和 4.10 eV. 靠近源端一侧的 Halo 区的掺杂浓度为  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$ , 沟道区其余地方的掺杂浓度为  $N_B = 1 \times 10^{17} \text{ cm}^{-3}$ , 源漏区的掺杂浓度为  $N_D = 1 \times 10^{20} \text{ cm}^{-3}$ . 栅氧、硅层、埋氧层厚度分别为 2, 12, 200 nm. 背栅金属的功函数等于 M1 的功函数. 沟道区电子的迁移率  $\mu_n$  假定为  $500 \text{ cm}^2/(\text{V} \cdot \text{s})$ . 普通异质栅 (DMG) SOI MOSFET 沟道中均匀掺杂  $N_B = 1 \times 10^{17} \text{ cm}^{-3}$ . 没有特别说明, 两种器件的主要结构参数相同. 二维器件数值模拟器 (ISE) 用来验证模型的准确性.

图 2 给出了不同沟长、不同漏压下的表面势沿沟道方向的分布. 从图中可以清楚地看到, 新结构器件对短沟道效应的抑制作用, 通过引入阶梯电势分布, 随着漏偏压的变化, 增加的漏压基本上都降在漏端和 M2 栅之间, M2 栅起到了一个屏蔽作用, 使 M1 区基本不受漏电压变化的影响, 甚至器件缩小到 50 nm. 图中左上角小图为 50 nm 沟长不同结构表面电势. 从小图可以看出, 由于 Halo 区的存在, 在沟道靠近源端还存在一个阶梯电势, 这可以进一步抑制漏致势垒降低效应. 图 3 给出了不同沟长, 不同漏压下的 DMGH SOI 器件的亚阈值电流. 图中符号表示确切沟道电势计算得到的结果; 直线表示通过分段近似表面势方法得到的结果. 可以发现, 确切解和解析解符合得很好. 从图中可以看出, 随着沟

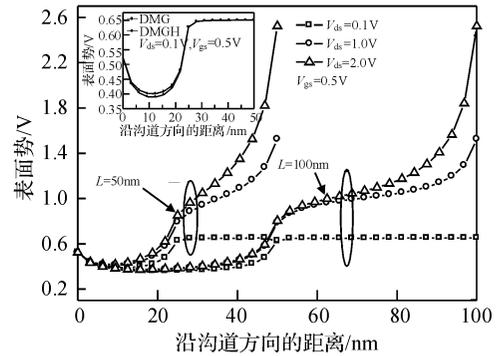


图 2 不同沟长漏压下计算得到的表面势

Fig. 2 Calculated channel potential for DMGH with two different channel lengths and various drain voltages

道长度变短, 亚阈值电流变大. 也就是说, 给定栅压下, 沟道越短, 亚阈值特性越差. 此外, 给定栅压下, 随着漏电压增大, 50 nm 沟长 MOSFET 的亚阈值电流的差距变大, 这是由于小尺寸器件的 DIBL 效应更加明显. 同时, 作为比较, 我们还计算了普通结构 DMG MOSFET 的亚阈值电流, 可以看出非对称 Halo 的引入可以在很大程度上降低关态截止电流. 既然解析电势得到的亚阈值电流和确切解得到的结果高度吻合, 为了计算简便, 下面我们仅给出通过 (15) 式得到的结果并进行分析.

图 4 给出了不同功函数差下的亚阈值电流特性. 从

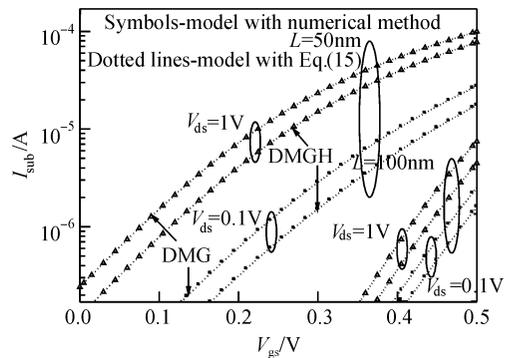


图 3 确切解和解析解得到的不同沟长的亚阈值电流特性

Fig. 3 Calculated  $I_{\text{sub}}-V_{\text{gs}}$  characteristics using exact and analytical approaches for two different channel lengths and various drain voltages

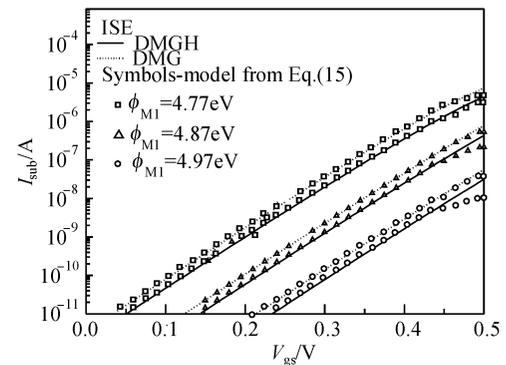


图 4 漏电压 1V 时, 不同功函数差下的亚阈值电流特性

Fig. 4 Variation of subthreshold current characteristics with work function difference at  $V_{\text{ds}} = 1\text{V}$

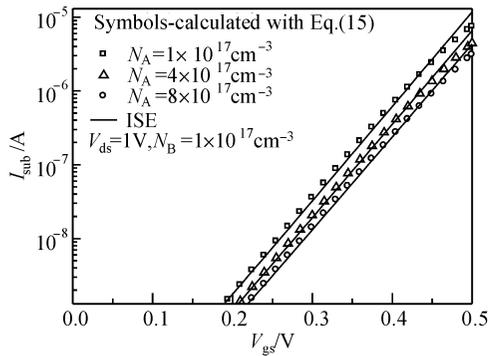


图5 漏电压1V时,Halo区不同掺杂浓度的亚阈值电流特性

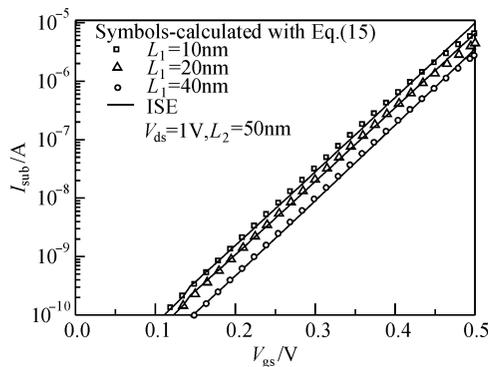
Fig.5 Variation of subthreshold current characteristics with Halo doping concentration at  $V_{ds} = 1V$ 

图6 不同 Halo 区长度下的亚阈值电流特性

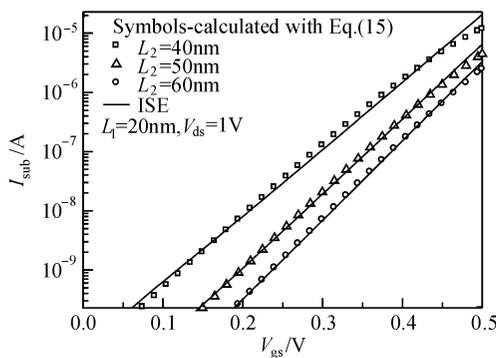
Fig.6  $I_{sub} - V_{gs}$  characteristics for different halo lengths with channel length fixed at  $V_{ds} = 1V$ 

图7 栅金属 M1 不同长度时的亚阈值电流曲线

Fig.7  $I_{sub} - V_{gs}$  characteristics with various lengths of M1 for channel length fixed at  $V_{ds} = 1V$ 

图中可以看出,随着功函数差的增加,亚阈值电流迅速减小.图中符号表示用分段近似表面势方法计算得到的结果,而直线则表示二维器件数值模拟器 ISE 得到的结果.从图中可以看出,在亚阈值区,两者吻合得相当好.超过这个范围(强反型时)两者差距迅速增大.这是因为在推导亚阈值电流时,表面势为弱反型状态下的电势,强反型时,表面势公式已经不适用,因此模型得到的结果与数值模拟结果的差距迅速增大.图5给出了 Halo 区不同掺杂浓度下的亚阈值电流特性.随着掺杂浓度的

增加,亚阈值电流减小.在亚阈值区,分段近似沟道电势方法和 ISE 得到的结果吻合得很好;超出亚阈值区,由于模型不再适用,两者差距较大.

图6和图7分别给出了沟道长度固定,Halo区长度  $L_1$  和金属栅 M1 长度  $L_2$  变化时的亚阈值电流变化情况.从图中可以看出,Halo区长度  $L_1$  越长,金属栅 M1 长度  $L_2$  越长,亚阈值特性越好.模型得到的结果和模拟结果非常吻合.

## 4 结论

通过二维泊松方程,为异质栅非对称 Halo SOI MOSFET 建立了弱反型条件下的表面势模型.基于表面势模型,利用漂移-扩散理论,推导出该结构的亚阈值电流模型.结果表明,沟道长度越短,亚阈值特性越差.增加 Halo 区掺杂浓度可以使亚阈值电流减小.此外,Halo 区长度或栅金属 M1 的长度增加,均可以抑制亚阈值电流退化.解析模型和二维数值模拟器 ISE 所得结果高度吻合.

## 参考文献

- [1] Saxena M, Haldar S, Gupta M, et al. Design considerations for novel device architecture: hetero-material double-gate (HEM-DG) MOSFET with sub-100nm gate length. *Solid State Electron*, 2004, 48(7):1169
- [2] Long W, Ou H, Kuo J M, et al. Dual material gate (DMG) field effect transistor. *IEEE Trans Electron Devices*, 1995, 46(5):865
- [3] Young K K. Short-channel effect in fully depleted SOI MOSFETs. *IEEE Trans Electron Devices*, 1989, 36(2):399
- [4] Zhou X. Exploring the novel characteristics of hetero-material gate field-effect transistors (HMGFETs) with gate-material engineering. *IEEE Trans Electron Devices*, 2000, 47(1):113
- [5] Hori A, Segawa M, Shimomura H, et al. A self-aligned pocket implantation (SPI) technology for 0.2 $\mu$ m dual-gate CMOS. *IEEE Electron Devices Lett*, 1992, 14(4):174
- [6] Jiang C, Nowak E D, Nakaoka H, et al. Quarter-micrometer SPI (self-aligned pocket implantation) MOSFETs and its application for low supply voltage operation. *IEEE Trans Electron Devices*, 1995, 42(1):78
- [7] Shin H, Lee S. A 0.1 $\mu$ m asymmetric Halo by large-angle-tilt implant (AHLATI) MOSFET for high performance and reliability. *IEEE Trans Electron Devices*, 1999, 46(4):820
- [8] Hakim N, Dunga M V, Kumar A. Analysis of floating body effects in thin film conventional and single pocket SOI MOSFETs using the GIDL current technique. *IEEE Electron Devices Lett*, 2002, 23(4):209
- [9] Reddy G V, Kumar M J. Investigation of the novel attributes of a single-Halo double gate SOI MOSFET: 2D simulation study. *Microelectronics Journal*, 2004, 35(9):761
- [10] Kumar M J, Chaudhry A. Two-dimensional analytical modeling of fully depleted DMG SOI MOSFET and evidence for diminished SCEs. *IEEE Trans Electron Devices*, 2004, 51(4):569
- [11] Bolouki S, Maddah M, Ali A K. A unified  $I - V$  model for PD/FD SOI MOSFETs with a compact model for floating body effects. *Solid State Electron*, 2003, 47(11):1909
- [12] Li Zunchao, Jiang Yanlin, Wu Jianmin. Dual material gate SOI MOSFET with a single Halo. *Chinese Journal of Semiconductors*, 2007, 28(3):327

## A Two-Dimensional Subthreshold Current Model for Dual Material Gate SOI nMOSFETs with Asymmetric Halos\*

Luan Suzhen<sup>†</sup>, Liu Hongxia, Jia Renxu, and Wang Jin

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,  
School of Microelectronics, Xidian University, Xi'an 710071, China)

**Abstract:** A two-dimensional (2D) model for the subthreshold current in a dual-material gate silicon-on-insulator (SOI) MOSFET with a single halo is presented. The model considers a single halo doping in the channel near the source and a dual material gate to derive the channel potential using the explicit solution of the 2D Poisson's equation. This, together with conventional drift-diffusion theory, results in the development of a subthreshold current model for the novel structure. Model verification is carried out using the 2D device simulator ISE. Good agreement is obtained between the model's calculations and the simulated results.

**Key words:** dual material gate; SOI MOSFET; subthreshold current; 2D modeling

**PACC:** 7330; 7340S; 7220

**Article ID:** 0253-4177(2008)04-0746-05

---

\* Project supported by the National Natural Science Foundation of China (No. 60206006), the Program for New Century Excellent Talents of Ministry of Education of China (No. 681231366), the National Defense Pre-Research Foundation of China (No. 51308040103), the Xi'an Applied Materials Innovation Fund (No. XA-AM-200701), and the Key Project of Chinese Ministry of Education (No. 104172)

<sup>†</sup> Corresponding author. Email: szluan@mail.xidian.edu.cn

Received 13 September 2007, revised manuscript received 8 October 2007

©2008 Chinese Institute of Electronics