

# 一种流水线 ADC 数字校准算法实现

戴 澜<sup>†</sup> 周玉梅 胡晓宇 蒋见花

(中国科学院微电子研究所, 北京 100029)

**摘要:** 校准系统是实现高精度高速度流水线 ADC 的关键技术之一. 论文对流水线 ADC 结构进行描述, 对误差来源进行分析, 并且对通过计算每级转换函数跳变点高度来得到权重的校准算法进行研究, 最后提出校准算法实现方案, 进行实现并且给出实现结果与版图. 实现结果表明: 完成校准系统只需要一些纯粹的数字电路, 实现简单. 同时, 算法仿真结果表明, 这种算法可以满足高精度 ADC 的要求, 是一种实现性、可靠性好的校准算法实现方法.

**关键词:** 数字校准; 数字冗余; 电容失配; 失调

EEACC: 1265H

中图分类号: TN792 文献标识码: A 文章编号: 0253-4177(2008)05-0993-05

## 1 引言

随着高速数字信号处理技术的发展, 电子处理系统对高性能模数转换器(ADC)的需求日益提高. 但在现行工艺水平下, 由于受电容失配、运放有限增益以及运算放大器的动静态误差等限制, 模数转换器的精度被限制在 10 位左右<sup>[1~3]</sup>. 其中电容失配与工艺直接相关, 是最主要的误差源, 难以通过前期电路设计消除; 运放增益以及运放动静态误差的影响可以在一定程度上通过电路设计减小. 因此, 高速高精度 ADC 设计必须依靠校准技术, 校准技术有模拟与数字之分. 前者在模拟领域把相关的量调整到正常数值或者利用激光对芯片元件进行修正; 后者不关心模拟领域的物理量数值, 只是把这些影响在数字领域描述, 然后在数字领域对输出代码进行调整, 是现行校准技术的主流. 现行数字校准方法

主要有: 采用低速高精度算法  $\Sigma$ - $\Delta$  ADC 为基础进行校准<sup>[4]</sup>, 校准效果完全依靠  $\Sigma$ - $\Delta$  ADC 的精度<sup>[2]</sup>; 采用伪随机噪声注入法, 把伪随机模拟信号注入到流水线中, 然后在数字领域进行调制来得到误差因子<sup>[5~7]</sup>, 这种方法尽管不受输入信号带宽限制, 不需要增加额外的模拟元件, 但是实现相对复杂以及收敛比较慢. 本文将对一种纯粹数字电路实现的数字校准算法进行扩展, 并提出实现结构以及得到实现结果.

## 2 流水线 ADC 误差分析

流水线模数转换器包含采样保持电路(S/H)、流水线级、输出延时单元电路(latches)以及校准电路, 如图 1 所示. 其中最高有效位通过流水线的最初级转换得到, 最低有效位通过流水线的最后级得到. 在正常的转换工作中, 这些级同时工作, 可以提高流水线的吞吐率.

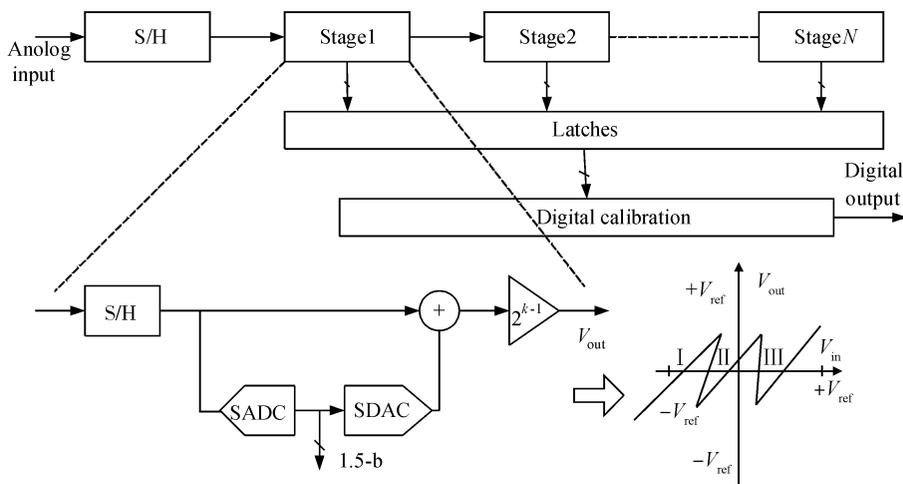


图 1 流水线 ADC 结构

Fig. 1 Structure of pipelined A/D Converters

<sup>†</sup> 通信作者. Email: perfect\_dai@163.com

2007-09-13 收到, 2007-12-21 定稿

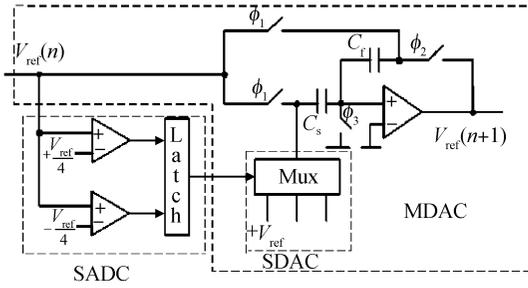


图 2 单级流水线结构

Fig. 2 Structure of single stage

在每一级流水线中,输入信号首先由快闪 ADC 进行量化(SADC),输出本级代码.然后通过子数模转换器(SDAC)将输出代码转换为模拟量,这些转换后的模拟量与输入信号求差,进行余差放大,输出到下一级流水线.在开关电容设计中,SDAC、减法器器和余差放大器共同构成倍增数模转换器(MDAC),如图 2 所示.

对于电容翻转结构 MDAC,理想传输函数为<sup>[8]</sup>:

$$V_0 = 2V_{in} - DV_{ref} = 2(V_{in} - DV_{ref}/2) \quad (1)$$

在不同的转换区域(图 1 中 I, II, III)  $D$  取值分别为  $-1, 0, 1$ . 考虑到电容失配、失调电压以及运放有限增益的影响,MDAC 传输函数为:

$$V_{out} = \frac{\left(1 + \frac{C_s}{C_f}\right)V_{in} - D \frac{C_s}{C_f} V_{ref} + \left(1 + \frac{C_s + C_p}{C_f}\right)V_{os}}{1 + \frac{C_s + C_2 + C_p}{AC_2}}$$

$$= \frac{\left(1 + \frac{C_s}{C_f}\right)V_{in} - D \frac{C_s}{C_f} V_{ref} + \frac{1}{f}V_{os}}{1 + \frac{1}{Af}}$$

$$= (1+k) \left( (2+\alpha)V_{in} - D(1+\alpha)V_{ref} + \left(\frac{1}{f} + \alpha\right)V_{os} \right) \\ = (1+k) \left( (2+\alpha)V_{in} - D(1+\alpha)V_{ref} \right) \quad (2)$$

其中  $f$  为反馈系数; $\alpha$  为电容失配系数; $k$  为运放有限增益引起的误差.(1)式中在过渡点的跳变高度为  $V_{ref}$ ,正好是本级数字权重对应的模拟量,由(2)式得跳变高度(即权重)为: $(1+k)(1+\alpha)V_{ref}$ . 运放有限增益带来的误差可以通过增加运放的开环放大倍数来解决,电容失配是误差的最主要来源.本文提出的数字校准算法主要针对电容失配引起流水线级间增益误差的情况,通过计算跳变点高度(反映了本级权重的变化)进行.

### 3 数字校准算法

基于跳变点高度变化的数字校准算法在文献[9, 10]中被提出,但是此文基于每级 1 位的流水线结构来实现.这种结构最大的缺陷是对失调电压的容忍能力,失调是模数转换中不可避免的问题,采用每级 1 位的流水线结构很容易引起上一级流水线的余差输出电压超过下一级流水线的输入范围而引起流水线的饱和问题.因此,文献[11]对这种方法提出改进,采用减少级间增

益,增加级数的办法来减弱失调电压的影响.在这个基础上,采用这种数字校准办法,带来的两个问题是:级数的增加引起了功耗与面积的开销;级间增益的减少必须增加数字电路来恢复正常的数字代码,增加了复杂性.针对这些问题,Lewis 等人提出了每级 1.5 位结构的流水线 ADC 结构,即采用数字冗余技术,可以很好地解决失调问题<sup>[12]</sup>.本文的数字校准方法是基于每级 1.5 位结构的流水线 ADC 进行实现,是对本算法的一种扩展,同时提出最新的实现结构.

由(1)式得知:每一级流水线在不同区域所转换的模拟量分别为  $-0.5V_{ref}, 0, 0.5V_{ref}, 0.5V_{ref}$  本级输入电压与余差电路(乘 2)的输出电压  $V_{ref}$  (即跳变高度)相当,同时这些模拟量与本级数字输出代码 00, 01, 10 一一对应.因此通过对跳变点的考察可以反映出在误差影响下各级数字权重的变化.对于一个流水线 ADC,由输出数字代码可以完全重建出输入到流水线中的模拟量<sup>[8]</sup>.如果每一级流水线所转换的模拟量为  $V_1^{DAC}$ ,则输入模拟量可以表示为:

$$V_{in} = V_1^{DAC} + \frac{V_2^{DAC}}{A_1} + \frac{V_3^{DAC}}{A_1 A_2} + \dots + \frac{V_{n-1}^{DAC}}{A_1 A_2 \dots A_{n-2}} + \frac{V_n^{DAC}}{A_1 A_2 \dots A_{n-2} A_{n-1}} \quad (3)$$

其中  $V_i^{DAC}$  依据本级数字输出代码(00, 01, 10)取值分别为  $-0.5V_{ref}, 0, 0.5V_{ref}$ ;  $A_i$  为受电容失配等影响下的余差放大倍数.对于理想的 1.5 位结构流水线 ADC,增益为 2,则输入模拟量表示为:

$$V_{in} = V_1^{DAC} + \frac{V_2^{DAC}}{2} + \frac{V_3^{DAC}}{2^2} + \dots + \frac{V_{n-1}^{DAC}}{2^{n-2}} + \frac{V_n^{DAC}}{2^{n-1}} \\ = \frac{(D_1 - 1)V_{ref}}{2} + \frac{(D_2 - 1)V_{ref}}{2^2} + \dots + \frac{(D_n - 1)V_{ref}}{2^1} \quad (4)$$

其中  $D_i$  取值分别为(0, 1, 2);  $V_{ref}$  为跳变点高度.对于有误差存在的情况下,设  $Hight_i$  为跳变点高度,结合(3), (4)两式,根据  $V_{ref}/2 = Hight_i/A_i$  得到:

$$V_{in} = \frac{(D_1 - 1)Hight_1}{A_1} + \frac{(D_2 - 1)Hight_2}{A_1 A_2} + \dots + \frac{(D_n - 1)Hight_n}{A_1 A_2 \dots A_n} \quad (5)$$

记  $Hight_n/A_1 A_2 \dots A_n$  转换的数字表示为“1”,则:

$$\frac{Hight_{n-1}}{A_1 A_2 \dots A_{n-1}} = \frac{V_{ref}}{2A_1 A_2 \dots A_{n-2}} = \frac{V_{ref} A_{n-1}}{2A_1 A_2 \dots A_{n-2} A_{n-1}} \\ = A_{n-1} \frac{V_{ref} A_n}{2A_1 A_2 \dots A_{n-2} A_{n-1} A_n} \\ = A_{n-1} \frac{Hight_n}{A_1 A_2 \dots A_{n-2} A_{n-1} A_n} \quad (6)$$

得到  $Hight_{n-1}/A_1 A_2 \dots A_{n-1}$  转换的数字表示为“ $A_{n-1} \times 1$ ”,  $Hight_{n-2}/A_1 A_2 \dots A_{n-2}$  表示为“ $A_{n-2} A_{n-1} \times 1$ ”…… $Hight_1/A_1$  表示为“ $A_1 \dots A_{n-2} A_{n-1} \times 1$ ”,其中  $Hight_i/A_1 A_2 \dots A_i$  为本级跳变点高度折合到流水线 ADC 输入端对应模拟数量的大小.这样就建立起来误差情况下每级跳变点高度与数字权重的关系.依照每级输出数字代码( $D_i$ )以及其在数字领域所对应的新的权



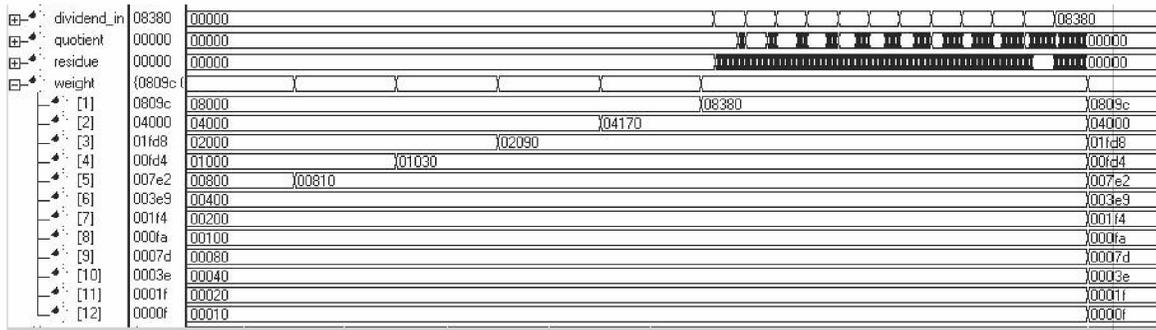


图 5 功能仿真结果

Fig. 5 Behavior simulation results

对比传统流水线 ADC 单级结构(图 2),需要校准的每一级增加了一些数字控制逻辑.采样开关采用门控时钟来控制,在 MDAC\_contr( $i$ )为“0”时,采样电容  $C_s$  对前级输出余差进行采样;为“1”时,前级余差电压将与后级采样电容断开,采样电容通过 MDAC\_contr( $i$ )信号控制的开关  $\phi_1$  对基本测试电压  $V_{\text{calb}}$  进行采样.输出到 SDAC 的数字代码由 MDAC\_contr( $i$ )信号进行选择,在校准时系统选择强制代码 MDAC\_code( $i$ ),SDAC 根据输入代码选取合适电压进行减法运算,得到余差电压.

对整个系统进行硬件语言描述,所有运算采用 18 位二进制进行,前 2 位作为溢出与符号判定使用,为提高计算精度增加了后 4 位,最终结果取第 3~14 位.校准开始时,权重寄存器预置为理想数值(2048, 1024, 512, 256, 128, 64, 32, 16, 8, 4, 2, 1).从第 6 级开始校准,先计算跳变点的高度,然后利用跳变点的高度来进行权重计算.经过 573 个周期权重计算完毕,权重寄存器进行刷新,然后系统利用新的权重计算经过校准以后的输出代码.利用 ModelSim 对系统进行仿真,得到权重变化情况如图 5 所示.

## 5 实现结果与结论

本校准算法在 MATLAB 下建立模型,在电容失配为 1%,失调电压为 0.1V 情况下,仿真结果表明:经过校准,差分非线性(DNL)由原来的 1.1LSB 校准为 0.6LSB,保证了转换过程不存在失码.积分非线性(INL)由 7LSB 校准为 0.6LSB,保证了模数转换器能达到高精度.然后,对整个数字校准系统进行硬件语言描述,整个数字校准系统应用在 12 位 50Msample/s 采用 1.5 位数字冗余技术的流水线 ADC 中.整个芯片采用

SMIC 0.35 $\mu\text{m}$  CMOS 工艺进行实现,芯片总面积为 4mm $\times$ 4mm(除 PAD),44 个输入输出引脚,如图 6 所示.数字校准系统总规模 45400 门,系统最大工作频率为 80MHz.采用 ASTRO 进行数字后端实现,面积为 2.2mm $\times$ 1.6mm,功耗为 93mW,如表 1 所示.

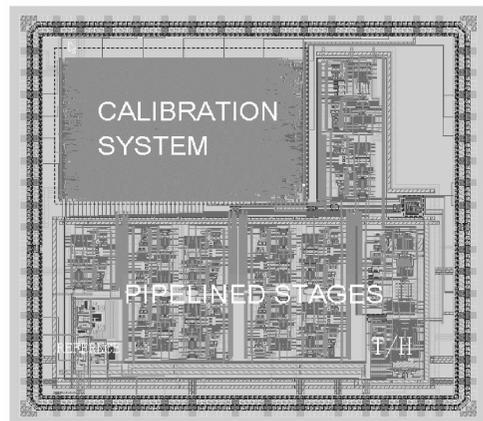


图 6 ADC 整体版图

Fig. 6 Layout of the whole ADC

表 1 校准系统实现结果

Table 1 Implementation results

Technology	SMIC 0.35 $\mu\text{m}$ CMOS
Area	2.2mm $\times$ 1.6mm
Power	93mW
Frequency	80MHz
INL(before cal.)	7LSB
INL(after cal.)	0.6LSB
DNL(before cal.)	1.1LSB
DNL(after cal.)	0.6LSB

表 2 性能对照

Table 2 Performance comparison

Paper	Performance	DNL(bef.)	INL(bef.)	DNL(aft.)	INL(aft.)	Technology
Ref. [7]	12b 75 MS/s	1LSB	19LSB	0.5LSB	0.9LSB	0.35 $\mu\text{m}$ CMOS
Ref. [9]	15b 1 MS/s	no	no	0.25 LSB	1.25 LSB	2.4 $\mu\text{m}$ BiCMOS
Ref. [10]	12b 20 MS/s	no	no	0.45 LSB	0.75 LSB	0.7 $\mu\text{m}$ CMOS
Ref. [13]	12b 80 MS/s	1LSB	20.5LSB	1/0.09 LSB	3.9/0.24LSB	0.25 $\mu\text{m}$ CMOS

从实现结果来看,本数字校准算法满足高速高精度流水线 ADC 的需要,改进的算法能达到满意的效果.同时,从表 2 也可以看出这一点:文献[9,10]采用 1bit/stage 结构基于跳变点高度进行校准,工艺特征尺寸大,电容失配相对较小,速度与精度综合指标低,却只能达到相似的甚至更加差的校准效果;文献[7]采用随机注入办法进行校准,复杂度高,实际效果相近;文献[13]在只对级间增益进行线性校准的情况下效果并不好,在增加片外 SRAM 对增益非线性校准后,效果很好,但是实现复杂性增加很多.

同时,在实现电路上,本校准算法只需要一些加法器、移位器、寄存器等简单的数字电路,属于纯粹的数字电路.因此,是一种实用而有效的数字校准方法.

### 参考文献

- [1] Opris I E, Wong B C, Chin S W. A pipeline A/D converter architecture with low DNL. *IEEE J Solid-State Circuits*, 2000, 35: 281
- [2] Sonkusale S, Van der Spiegel J. Mixed-signal calibration of pipelined analog-digital converters. *IEEE International SOC Conference*, 2003: 327
- [3] Li Jipeng, Moon Un-Ku. Background calibration techniques for multistage pipelined ADCs with ADCs with digital redundancy. *IEEE Trans Circuit Syst*, 2003, 50(II): 531
- [4] Shu T, Song B, Bearania K. A 13-b, 10-Msample/s ADC digitally calibrated with oversampling delta-sigma converter. *IEEE J Solid-State Circuits*, 1997, 32: 1866
- [5] Ming J, Lewis S. An 8-bits 80-Msample/s pipelined analog-to-digital converter with background calibration. *IEEE J Solid-State Circuits*, 2001, 36: 1489
- [6] Siragusa E, Galton I. Gain error correction technique for pipelined analog-to-digital converters. *Electron Lett*, 2000, 36: 617
- [7] Murmann B, Boser B. A 12-b 75MS/s pipelined ADC using open-loop residue amplifier. *ISSCC Dig Tech Papers*, 2003: 330
- [8] Li Jipeng, Moon Un-Ku. Background calibration techniques for multistage pipelined ADCs with ADCs with digital redundancy. *IEEE Trans Circuit Syst*, 2003, 50(II): 531
- [9] Karanicolas A N, Lee H S, Bacrania K L. A 15-b 1-Msample/s digitally self-calibrated pipeline ADC. *IEEE J Solid-State Circuits*, 1993, 28(12): 1207
- [10] Opris I E, Lewicki L D, Wong B C. A single-ended 12-bit 20 Msample/s self-calibrating pipeline A/D converter. *IEEE J Solid-State Circuits*, 1998, 33(12): 1898
- [11] Delic-Ibukic A, Hummels D M. Continuous digital calibration of pipeline A/D converters. *IEEE Trans Instrumentation and Measurement*, 2006, 55(4): 1175
- [12] Dai Lan, Zhou Yumei, Hu Xiaoyu. Digital calibration for pipelined analog-to-digital converters. *Microelectronics*, 2007, 37(4): 482 (in Chinese) [戴澜, 周玉梅, 胡晓宇. 一种应用于流水线 A/D 转换器的数字校准算法. *微电子学*, 2007, 37(4): 482]
- [13] Grace C R, Hurst P J, Lewis S H. A 12-bit 80-MSample/s pipelined ADC with bootstrapped digital calibration. *IEEE J Solid-State Circuits*, 2005, 40(5): 1038

## Implementation of a Digital Calibration Algorithm for Pipelined Analog-to-Digital Converters

Dai Lan<sup>†</sup>, Zhou Yumei, Hu Xiaoyu, and Jiang Jianhua

(*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

**Abstract:** Calibration is a crucial technique for the implementation of high-speed and high resolution analog-to-digital converters. This paper describes the structure of a pipelined ADC, analyzes the sources of errors in the pipelined ADC, focuses on a calibration algorithm that gains the weights by calculating the height of the jumping point of the transition function, presents its implementation scheme, and gives the implementation results and layout of the calibration system. Implementation the calibration system is simple and requires only pure digital circuits. Meanwhile, the simulation of this algorithm shows that it meets the requirements of high-resolution ADCs, and, with respect to availability and reliability, it is a well implemented scheme.

**Key words:** digital calibration; digital redundancy; capacitor mismatch; offset

**EEACC:** 1265H

**Article ID:** 0253-4177(2008)05-0993-05

<sup>†</sup> Corresponding author. Email: perfect\_dai@163.com

Received 13 September 2007, revised manuscript received 21 December 2007