

基于锗硅异质纳米晶的非易失浮栅存储器的存储特性*

阎 锦[†] 陈裕斌 左 正 施 毅 濮 林 郑有焯

(南京大学物理系 固体微结构国家实验室, 南京 210093)

摘要: 利用自组织生长和选择化学刻蚀方法在超薄 SiO₂ 隧穿氧化层上制备了渐变锗硅异质纳米晶, 并通过电容-电压特性和电容-时间特性研究了该纳米结构浮栅存储器的存储特性. 测试结果表明, 该异质纳米晶非易失浮栅存储器具有良好的空穴存储特性, 这是由于渐变锗硅异质纳米晶中 Ge 的价带高于 Si 的价带形成了复合势垒, 空穴有效地存储在复合势垒的 Ge 的一侧.

关键词: 异质纳米晶; 非易失浮栅存储器; 电容-电压特性; 自组织生长; 选择化学刻蚀

PACC: 7340Q; 7335C; 6146

中图分类号: TN386.1

文献标识码: A

文章编号: 0253-4177(2008)04-0770-04

1 引言

Tiwari 等人^[1]提出的纳米晶浮栅存储器由于具有功耗低、擦写速度快、存储密度高等诸多优点, 有望取代传统的多晶硅浮栅存储器. 选择不同材料作为纳米晶浮栅时相应的存储器具有各自的优势: 半导体材料 (Si, Ge)^[1~3] 作为非易失浮栅存储器的纳米晶浮栅时可以较好地与现有的集成电路工艺线兼容; 金属材料 (Pt, Ni_{1-x}Fe_x, CoSi₂)^[4~6] 具有高的态密度和可调的功函数, 作为纳米晶浮栅时可以使非易失浮栅存储器具有更高的电荷存储密度和更长的电荷存储时间; 高 *k* 介电材料 (IrO₂, Al₂O₃)^[7,8] 作为纳米浮栅时可以抑制在 SONOS 存储器中由于直接隧穿和 Frenkel-Poole (F-P) 隧穿导致的横向电荷迁移; 氮化物和纳米晶^[9,10] 同时作为电荷俘获中心时, 能够提高存储器的电荷存储特性. 然而, 对于单质纳米晶或单层隧穿氧化层的存储器而言, 在较长的电荷存储时间和较快的擦写速度之间存在着相互制约的矛盾. 异质纳米晶 (Ge/Si, Silicide/Si)^[11,12] 和堆栈介电层^[13,14] 在纳米晶非易失浮栅存储器中的应用有望解决这个问题, 其基本原理是选择具有合适导带 (或费米) 能级和禁带宽度的材料形成复合势垒, 在不影响存储器擦写速度的情况下, 使得电荷能够有效地存储在复合势垒的势阱中, 达到减小存储器漏电流的目的. TiSi₂/Si 异质纳米晶作为非易失浮栅存储器的纳米晶浮栅的实验研究结果表明, 相对于 Si 纳米晶非易失浮栅存储器, TiSi₂/Si 异质纳米晶非易失浮栅存储器的擦写速度和电荷存储时间都得到了提高^[15]. Ge/Si 异质纳米晶作为纳米晶浮栅的理论模拟结果表明, 在擦写特性基本不变的情况下, 电荷在 Ge/Si 异质纳米晶浮栅中的存储时间得到了有效的延长^[11,16].

本文使用自组织生长和选择化学刻蚀方法在超薄

SiO₂ 隧穿氧化层上制备了渐变锗硅异质 (Ge_{1-x}Si_x) 纳米晶, 并研究了基于渐变锗硅异质纳米晶的浮栅存储器的电荷存储特性. 测试结果表明, 该浮栅存储器具有良好的空穴存储特性, 这是由于渐变锗硅异质纳米晶中 Ge 的价带高于 Si 的价带形成了复合势垒, 空穴有效地存储在复合势垒 Ge 的一侧.

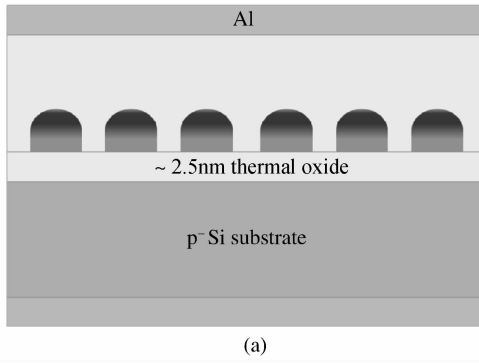
2 实验

首先使用低压化学气相沉积 (LPCVD) 技术在 p 型硅衬底上热生长 2.5nm 的超薄隧穿氧化层, 接着在 460°C 下通入 SiH₄, 在隧穿氧化层上沉积 5nm 厚的非晶硅薄膜, 之后在同一温度下通入 GeH₄ 持续 30s, 流量为 50sccm, 通过 S-K 生长模式在非晶硅层上自组织生长 Ge 纳米晶. 取出样品使用稀释的氢氟酸刻蚀, 去除 Ge 纳米晶之间的 Ge 浸润层之后, 得到分立的 Ge 纳米晶. 将刻蚀后的样品置于 800°C 的氩气气氛中退火 1h, 增强锗硅间的互扩散以提高后续化学刻蚀的选择性. 利用氨水 (NH₄OH) 对 GeSi 合金和 Si 的选择化学刻蚀作用^[17], 将退火后的样品置于 70°C 的 2.5% 氨水溶液中刻蚀 2min, 去除锗纳米晶间的多晶硅, 形成分立的渐变锗硅异质纳米晶. 之后使用等离子体增强化学气相沉积 (PECVD) 法淀积 30nm 厚的氧化硅, 并在 600°C 的氧气气氛中退火 10min 以改善控制氧化层的质量. 最后, 在样品两端热蒸发形成铝电极, 得到渐变锗硅异质纳米晶浮栅存储器. 图 1 是渐变锗硅异质纳米晶浮栅存储器的剖面示意图和能带结构图. 渐变锗硅异质纳米晶的表面形貌和元素成分分别使用扫描电镜 (SEM, JSM 7000F) 和 X 射线光电子谱 (XPS, Thermo ESCALAB 250) 进行了表征, 并使用高频 (1MHz) 电容-电压 (C-V) 测试设备 (Agilent 4284A) 研究了该浮栅存储器的电荷存储特性.

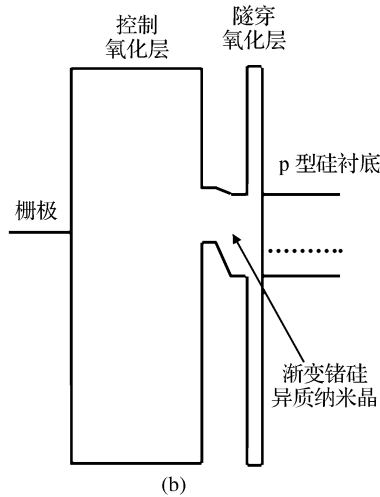
* 国家自然科学基金 (批准号: 60225014, 90606021, 60676006) 和国家重点基础研究发展规划 (批准号: 2006CB0L1000) 资助项目

[†] 通信作者. Email: lvjin@nju.org.cn

2007-09-16 收到, 2007-10-26 定稿



(a)



(b)

图 1 渐变锗硅异质纳米晶浮栅存储器的剖面示意图(a)和能带结构图(b)

Fig.1 Schematic cross section (a) and energy band diagram (b) of gradual $Ge_{1-x}Si_x/Si$ hetero-nanocrystals floating-gate memory

3 结果与分析

在本实验中,将生长有硅和锗硅合金的样品置于温度为 $75^{\circ}C$,质量百分比为 10%的 NH_4OH 中进行选择刻蚀,其刻蚀深度与刻蚀时间的关系如图 2 所示.可见刻蚀深度与刻蚀时间几乎呈线性变化关系,因此可以得到 $Si, Ge_{0.1}Si_{0.9}, Ge_{0.24}Si_{0.76}, Ge_{0.3}Si_{0.7}$ 的刻蚀速率分别为 64, 0.74, 0.4, 0.24nm/min, 即 Si 与 $Ge_{1-x}Si_x$ 在 NH_4OH 中的选择刻蚀比分别为 86 : 1($x = 0.9$), 160 : 1($x = 0.76$), 267 : 1($x = 0.7$).显然, Si 与 $Ge_{1-x}Si_x$ 在 NH_4OH 中的选择刻蚀比很高,并且在一定范围内随着锗硅合金中锗含量的增加, Si 与 $Ge_{1-x}Si_x$ 在 NH_4OH 中的选择刻蚀比也增大.图 3 所示为选择性化学刻蚀后形成渐变锗硅异质纳米晶的样品的 SEM 图像,可见异质纳米晶的直径和密度分别约为 10nm 和 $5 \times 10^{10} cm^{-2}$.

锗硅异质纳米晶浮栅存储器的 $C-V$ 特性曲线如图 4 所示.可见生长有渐变锗硅异质纳米晶的浮栅存储器的 $C-V$ 特性曲线存在逆时针迟滞窗口,而未生长渐变锗硅异质纳米晶的参考样品的 $C-V$ 特性曲线无迟滞窗口,这表明逆时针窗口是由于积累区的空穴和反型区的

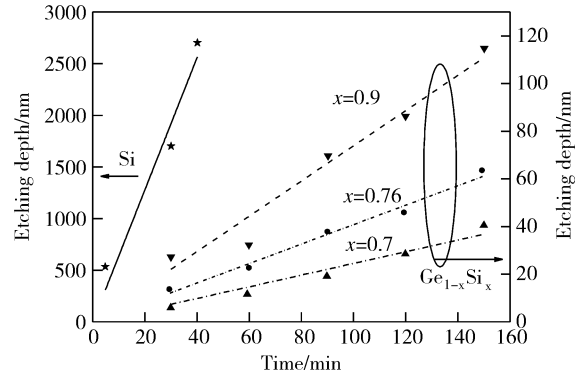


图 2 在温度为 $75^{\circ}C$,质量百分比为 10%的 NH_4OH 中刻蚀深度随刻蚀时间的关系

Fig.2 Etching depth versus time in 10% NH_4OH solution at $75^{\circ}C$

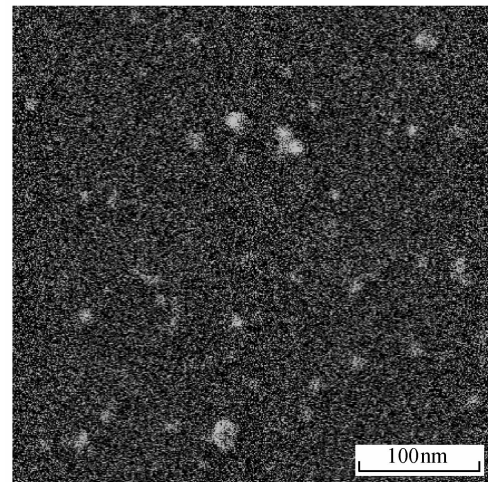


图 3 选择性化学刻蚀后形成渐变锗硅异质纳米晶的样品的 SEM 照片
Fig.3 SEM image of sample with gradual $Ge_{1-x}Si_x/Si$ hetero-nanocrystals formed after chemical selective etching

电子从衬底注入渐变锗硅异质纳米晶所导致的.并且,迟滞窗口的大小随扫描电压范围而改变, $-12 \sim 4V$ 扫描电压时的平带电压偏移约为 1V,比扫描电压在 $-8 \sim 2V$ 时的平带电压偏移大约 0.4V.然而当扫描电压从 2V

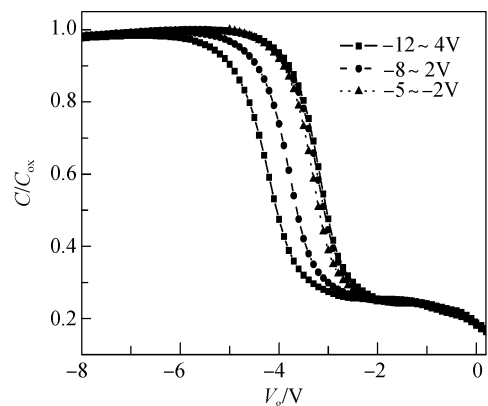


图 4 渐变锗硅异质纳米晶浮栅存储器的电容-电压($C-V$)特性曲线
Fig.4 $C-V$ hysteresis loops of gradual $Ge_{1-x}Si_x/Si$ hetero-nanocrystals floating-gate memory

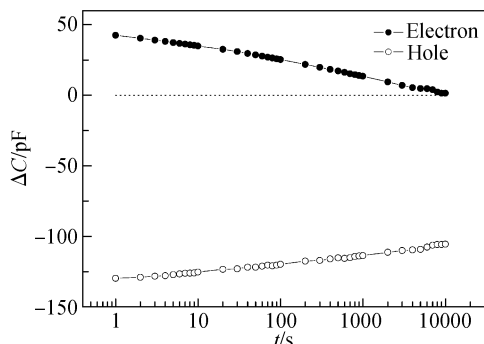


图 5 渐变锗硅异质纳米晶浮栅存储器的电容-时间特性曲线 ($C-t$)
Fig. 5 Time-dependence transient capacitance ($C-t$) of gradual $\text{Ge}_{1-x}\text{Si}_x/\text{Si}$ hetero-nanocrystals floating-gate memory

提高到 4V 时, 电子注入所致平带电压偏移的增加很小, 这可能是由于 Si 衬底从反型区过渡至深耗尽区期间, 衬底无法提供足量的电子注入纳米晶中; 同时, 由于库仑阻塞效应导致部分已注入纳米晶的电子重新隧穿回衬底, 导致平带电压偏移的增加很小。

图 5 为渐变锗硅异质纳米晶浮栅存储器的时变瞬态电容特性曲线 ($C-t$)。使用恒压法^[14]研究了该浮栅存储器的空穴和电子的存储特性。2.5nm 超薄氧化层的使用保证了电子和空穴的隧穿机制为直接隧穿^[13]。如图 5 所示, 锗硅异质纳米晶存储器的空穴存储特性远优于电子存储特性。当加 4V 偏压持续 5s 后, 注入的电子在 10^4 s 后几乎全部泄漏。因为 Ge 的电子亲和能比 Si 的电子亲和能 (4.05eV) 小 0.05eV^[17], 所以注入的电子主要存储在渐变锗硅异质纳米晶的 Si 一侧, 电子容易通过 2.5nm 的超薄氧化层直接隧穿回衬底 (见图 6 中过程 E1), 导致电子的存储特性较差。在加 -12V 偏压持续 5s 后, 注入的空穴在 10^4 s 时仅泄漏 18%, 而且曲线末端下降趋向于平缓, 表明器件较好的空穴存储特性。这是由于 Ge 的价带比 Si 的价带高 0.51eV^[18], 所以注入的空穴存储于渐变锗硅异质纳米晶的 Ge 一侧。对于注入的空穴来说有两种可能的泄漏途径^[2]: 第一种方式是空穴从 Ge 的价带处直接隧穿至 SiO_2/Si 衬底的界面态处 (见图 6 过程 H1); 第二种方式是间接过程, 空穴先被热激发至 Si 纳米晶的价带处, 之后直接隧穿至衬底 (见图 6 过程 H2+H3)。因为 Ge 与 Si 的价带之间 0.51eV 的势垒远大于室温时的热激发能 (0.025eV), 所以相比于间接过程 H2+H3, 直接过程 H1 应占主导地位, 成为空穴泄漏的主要途径。由于 Ge 和 Si 形成的复合势垒, 使得过程 H1 中的隧穿几率大大减小, 故而相较于单层势垒和单纳米晶, 空穴能够长期存储在异质纳米晶中, 这使得渐变锗硅异质纳米晶浮栅存储器的电荷存储性能更优秀。

4 结论

利用自组织生长和选择化学刻蚀方法在超薄 SiO_2 隧穿氧化层上制备了渐变锗硅异质纳米晶, 并应用于纳米晶非易失浮栅存储器中。通过 $C-V$ 特性曲线研究了

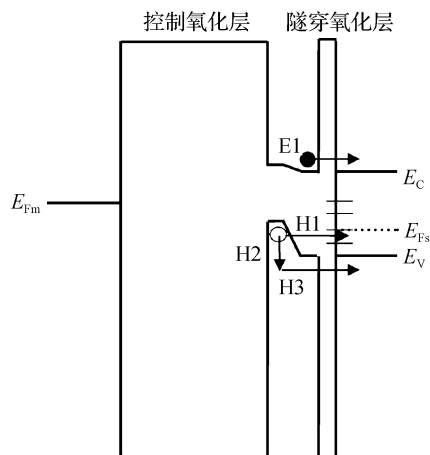


图 6 渐变锗硅异质纳米晶存储器中空穴和电子泄漏过程的示意图
Fig. 6 Schematic diagram of the leakage processes of holes and electrons trapped in gradual $\text{Ge}_{1-x}\text{Si}_x/\text{Si}$ hetero-nanocrystals

渐变锗硅异质纳米晶浮栅存储器的电荷存储特性。结果表明, 由于渐变锗硅异质纳米晶中 Ge 的价带高于 Si 的价带形成了复合势垒, 空穴有效地存储在复合势垒的 Ge 的一侧, 使得空穴存储性能明显优于电子存储性能。因此, 选择具有合适能带结构的异质纳米晶应用于纳米晶非易失浮栅存储器, 能够在保证高擦写速度的同时, 明显延长电荷的存储时间, 提高存储器件的性能。

参考文献

- [1] Tiwari S, Rana F, Hanafi H, et al. A silicon nanocrystal based memory. *Appl Phys Lett*, 1996, 68: 1377
- [2] Shi Y, Saito K, Ishikuro H, et al. Effects of traps on charge storage characteristics in metal-oxide-semiconductor memory structures based on silicon nanocrystals. *J Appl Phys*, 1998, 84: 2358
- [3] Choi W K, Chim W K, Heng C L, et al. Observation of memory effect in germanium nanocrystals embedded in an amorphous silicon oxide matrix of a metal-insulator-semiconductor structure. *Appl Phys Lett*, 2002, 80: 2014
- [4] Liu Z T, Lee C, Narayanan V, et al. Metal nanocrystal memories-part I: device design and fabrication. *IEEE Trans Electron Devices*, 2002, 49: 1606
- [5] Jung J H, Kim J H, Kim T W, et al. Nonvolatile memory cell effect in multilayered $\text{Ni}_{1-x}\text{Fe}_x$ self-assembled nanoparticle aays in polyimide. *Appl Phys Lett*, 2006, 89: 022112
- [6] Yeh P H, Chen L J, Liu P T, et al. Nonvolatile memory devices with $\text{NiSi}_2/\text{CoSi}_2$ nanocrystals. *J Nanosci Nanotechnol*, 2007, 7: 339
- [7] Choi S, Cha Y K, Seo B S, et al. Atomic-layer deposited IrO_2 nanodots for charge-trap flash-memory devices. *J Phys D*, 2007, 40: 1426
- [8] Chen J H, Yoo W J, Chan D S H, et al. Self-assembly of Al_2O_3 nanodots on SiO_2 using two-step controlled annealing technique for long retention nonvolatile memories. *Appl Phys Lett*, 2005, 86: 073114
- [9] Huang S Y, Arai K, Usami K, et al. Toward long-term retention-time single-electron-memory devices based on nitrided nanocrystalline silicon dots. *IEEE Trans Nanotechnol*, 2004, 3: 210
- [10] Lee C, Hou T H, Kan E C C. Nonvolatile memory with a metal nanocrystal/nitride heterogeneous floating-gate. *IEEE Trans Electron Devices*, 2005, 52: 2697
- [11] Yang H G, Shi Y, Pu L, et al. Numerical investigation of charac-

- teristics of p-channel Ge/Si hetero-nanocrystal memory. *Microelectronics Journal*, 2003, 34:71
- [12] Zhu Y, Zhao D T, Li R G, et al. Self-aligned TiSi₂/Si heteronano-crystal nonvolatile memory. *Appl Phys Lett*, 2006, 88:103507
- [13] Seol K S, Choi S J, Choi J Y, et al. Pd-nanocrystal-based nonvola-tile memory structures with asymmetric SiO₂/HfO₂ tunnel barrier. *Appl Phys Lett*, 2006, 89:083109
- [14] Likharev K K. Layered tunnel barriers for nonvolatile memory devices. *Appl Phys Lett*, 1998, 73:2137
- [15] Zhu Y, Li B, Liu J L. Fabrication and characterization of TiSi₂/Si heteronano-crystal metal-oxide-semiconductor memories. *J Appl Phys*, 2007, 101:063702
- [16] Zhao D T, Zhu Y, Li R G, et al. Simulation of a Ge-Si hetero-nanocrystal memory. *IEEE Trans Nanotechnol*, 2006, 5:37
- [17] Wang F, Shi Y, Liu J L, et al. Highly selective chemical etching of Si vs. Si_{1-x}Ge_x using NH₄OH solution. *J Electrochem Soc*, 1997, 144:L37
- [18] Sze S M. *Physics of semiconductor devices*. 2nd ed. New York: Wiley, 1981

Charge Storage Characteristics of Nonvolatile Floating-Gate Memory Based on Gradual Ge_{1-x}Si_x/Si Heteronano-crystals*

Lü Jin[†], Chen Yubin, Zuo Zheng, Shi Yi, Pu Lin, and Zheng Youdou

(National Laboratory of Solid State Microstructures, Department of Physics, Nanjing University, Nanjing 210093, China)

Abstract: Gradual Ge_{1-x}Si_x/Si hetero-nanocrystals on ultrathin SiO₂ layers were fabricated by combining self-assembled growth and the selective chemical etching method. Charge storage characteristics of nonvolatile floating-gate memory based on gradual Ge_{1-x}Si_x/Si hetero-nanocrystals have been fabricated and investigated through capacitance-voltage (*C-V*) and capacitance-time (*C-t*) measurements. The findings indicate that holes reach a longer retention time in gradual Ge_{1-x}Si_x/Si hetero-nanocrystals, which can be attributed to the holes trapped solidly on the side of the higher valence band of the compound potential barrier caused by the offset between Ge and Si.

Key words: hetero-nanocrystals; nonvolatile floating-gate memory; capacitance-voltage measurement; self-assembled growth; selective chemical etching

PACC: 7340Q; 7335C; 6146

Article ID: 0253-4177(2008)04-0770-04

* Project supported by the National Natural Science Foundation of China (Nos.60225014,90606021,60676006) and the State Key Development Program for Basic Research of China (No.2006CB0L1000)

[†] Corresponding author. Email:lvjin@nju.org.cn

Received 16 September 2007, revised manuscript received 26 October 2007

©2008 Chinese Institute of Electronics