

42" PDP 平板显示器扫描驱动 IC 及其生产工艺的实现*

洪 慧 韩 雁[†] 韩成功 王亚林

(浙江大学微电子与光电子研究所, 杭州 310027)

摘要: 在自主研发国内 BCD 高压工艺的同时,设计并实现了一款用于 42"数字电视 PDP 平板显示屏的扫描驱动芯片.该芯片及其制作工艺不仅实现了 Bipolar,CMOS 和高压功率 DMOS 器件的良好兼容(BCD 工艺),而且采用工艺与电路设计互相匹配的交互方式完成了高低电平移位电路和高压输出驱动电路及其器件的设计,有效提高了芯片的性能,减小了芯片的面积.测试结果表明该芯片功能正常,性能良好,各项技术参数基本达到国外同类产品指标.在低压 5V 和高压 160V 的情况下工作,完全满足 42" PDP 显示系统的需求.

关键词: 等离子显示;扫描驱动;高低电平移位;BCD 工艺

EEACC:2570P;2570K

中图分类号:TN4

文献标识码:A

文章编号:0253-4177(2008)04-0806-05

1 引言

近年来,平板显示设备以其构架扁平、分辨率高、使用寿命长和环保节能等优点受到市场的极大关注.等离子平板显示器(plasma display panel,PDP)作为一种优越的大屏幕显示设备,已经广泛运用于家用数字彩电、各种工业自动化监控设备、多媒体显示器及室外大型显示屏等各种领域中,发展势头极其迅猛^[1].随着 PDP 显示器尺寸越来越大,分辨率越来越高,所需要的驱动电路的参数指标和技术难度也越来越高.尤其是上百伏的耐压和近安培数量级的大输出电流,使得这类芯片一直以来只能依靠进口,国内尚无自行开发生产的能力.因而如何在国内半导体工艺现有基础上,自主研发低成本的 PDP 驱动集成电路及其生产工艺始终是一项很大的挑战.

目前,国外已经采用 SOI(silicon on insulator)工艺来实现 PDP 显示驱动 IC,以便更好地减小芯片面积.但是由于工艺复杂,SOI 硅片成本高,实际上芯片总的成本并没有得到有效的改善.一般而言,200V 左右的 LDMOS 器件要比相同特性的 VDMOS 器件面积大很多,而且随着 PDP 显示分辨率提高,工作速度更快,驱动电流能力也需要更强.基于 VDMOS 的优点,本文工作对一条集成了 HV-VDMOS, HV-PMOS, Bipolar 器件和 CMOS 器件的 BCD(bipolar-CMOS-DMOS)高压功率工艺线进行了研发,在此基础上,设计并实现了一款耐压达 160V 的 PDP 行扫描驱动 IC,最后进行了测试验证.结果表明,该 IC 芯片完全满足 42" PDP 彩色显示系统的需求,各项指标基本达到国外同类产品水平.

2 PDP 扫描驱动芯片的结构

从 PDP 显示原理和系统需求出发,PDP 扫描驱动 IC 主要功能是提供显示屏扫描电极(Y 电极)所需要的周期脉冲式高电压^[2].其内部电路结构分为两部分:一是逻辑电路,负责控制和处理显示屏所需要的信号;二是驱动电路,负责将信号电平移位和对显示屏施加发光所需的高压脉冲(160V 左右),其基本结构框图如图 1 所示.

在实际运用中,一块 PDP 扫描驱动 IC 要驱动 N 行 Y 电极,理论上 N 越大越好,但是受功耗和芯片面积限制,目前 PDP 扫描驱动 IC 的高压输出路数基本集中为 64 路或 128 路.因为大尺寸 PDP 显示屏的行像素数远远多于芯片的输出路数,所以 PDP 行扫描驱动 IC 需

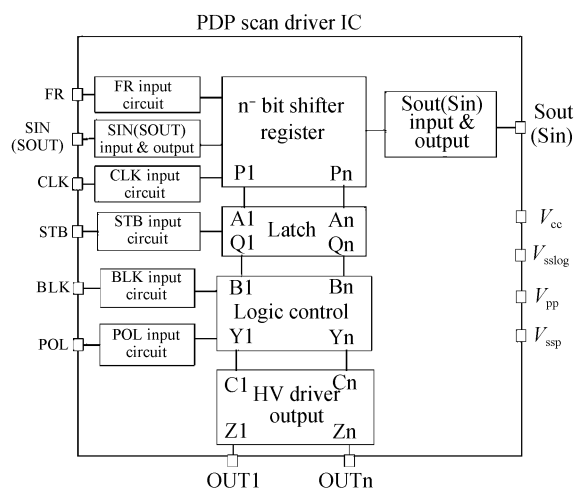


图 1 PDP 扫描驱动 IC 的基本结构

Fig.1 Structure of PDP scan driver IC

* 浙江省科技计划资助项目(批准号:2004C31094)

[†] 通信作者. Email:hany@zju.edu.cn

2007-09-23 收到,2007-11-05 定稿

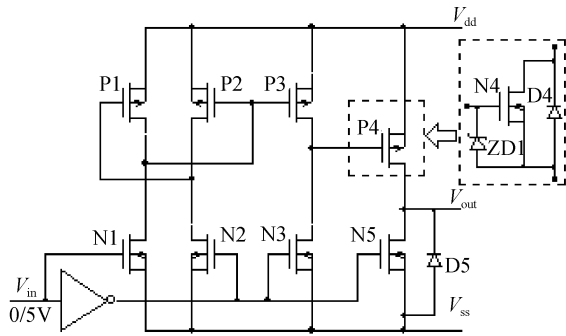


图 2 高压电平位移和输出电路

Fig.2 Schematic of lever-shifter and output circuit

要级联,这就需要信号移位后级联输入/输出端(Sin & Sout)的设计.

从图 1 还可以看出,该芯片集成了低压和高压电路,低压电路工作电压一般为 +5V,高压工作电压一般为 +160V,因而设计和优化该芯片的关键在于高低电平位移电路及其相关器件的实现.下面就这一关键点进行详细的分析和阐述.

3 高压电平位移和输出电路及其工艺

在高压和功率 IC 中,高压电平转换和驱动电路将低压逻辑信号转化为高压驱动信号并提供一定的驱动电流.下面将从电路、器件和工艺 3 方面进行阐述.

3.1 高压电平位移和输出电路

图 2 给出典型的高压电平位移和输出驱动电路^[3~6].其中,N1,N2,N3,P1,P2 和 P3 构成电平转换电路,P4 作为高电平高压输出管,N5 作为低电平高压输出管.为了增加高电平输出的驱动能力,本文采用 N4 管和齐纳二极管 ZD1 的组合代替图 2 中的 P4(见图 2 虚线框),由于 nMOS 的载流子迁移率远大于 pMOS 的载流子迁移率,所以改进后的高压输出电路的高电平驱动能力要比相同面积下的典型电路大 1~2 倍.实际过程中,N1,N2,N3,N4 和 N5 采用同一类型高压 nMOS 器件,P1,P2 和 P3 采用高压 pMOS 器件且栅击穿电压大于高压电源电压 160V.

3.2 高压器件结构

根据以上讨论,PDP 扫描驱动 IC 包括 LV-CMOS, LV-Bipolar,HV-nMOS 和 HV-pMOS 等器件,实际工艺研制过程中 HV-nMOS 采用 VDMOS 结构,HV-pMOS 采用场氧作栅的 LDPMOS 结构.

具体的 HV-VDMOS 器件和 HV-LDPMOS 器件的纵向结构如图 3 所示.为了降低 PDP 扫描驱动集成电路的生产成本,本设计中不采用成本很高的介质隔离工艺,而自隔离工艺的抗闩锁效应能力较差且只能集成横向器件,故这里采用 pn 结隔离的方式.

由于 HV-VDMOS 器件作为高压输出驱动管,需要对其重点分析,以便将其导通电阻优化至最小值.参考 HV-VDMOS 器件元胞尺寸优化理论^[7],元胞尺寸取 $10 \times 10 \mu\text{m}$,元胞之间间距(多晶硅宽度)取 $7.5 \mu\text{m}$.同时 p-body 浓度不能太小,不然易发生 HV-VDMOS 二次击穿;同样 p-body 浓度也不能太大,否则阈值过高. p-body 的结深会影响器件导通电阻中 JFET 电阻的大小.通过 Tsuprem4 和 Medici 工艺仿真,获得 HV-VDMOS 器件的 p-body 最佳注入剂量为 $4.0 \times 10^{13} \text{cm}^{-2}$,结深为 $2.0 \mu\text{m}$.图 4 给出 HV-VDMOS 器件的 I-V 特性仿真曲线,其饱和和单位电流密度为 $1.35 \times 10^{-5} \text{A}/\mu\text{m} (V_{\text{GS}} = V_{\text{DS}} = 5\text{V})$.

由于场栅氧 HV-LDPMOS 器件结构比较特殊,所以也需要进行详细的分析.对于 MOS 器件而言,随着栅氧厚度的增大,其跨导和电流处理能力必然会随之减小.图 5 给出 HV-LDPMOS 器件在不同场栅氧厚度情况下的 I-V 仿真曲线($V_{\text{GS}} = -50\text{V}$),从中可以看出随着氧化层厚度增大,HV-LDPMOS 器件的单位输出电流下降很快.由于一般常规 HV-LDPMOS 器件的栅氧厚度为 $300 \sim 400 \text{nm}$,而一般场氧厚度为 $600 \sim 1000 \text{nm}$,因而采用场氧栅的 HV-LDPMOS 器件必然会给电路性能带来一定的不利影响.为此我们将该器件设计成电平位移管而不像常规电路那样用作高压输出管,这样使电路的输出电流能力大大增强.

3.3 高压 BCD 工艺流程

对于高压 BCD 工艺而言,最关键的问题就是在实

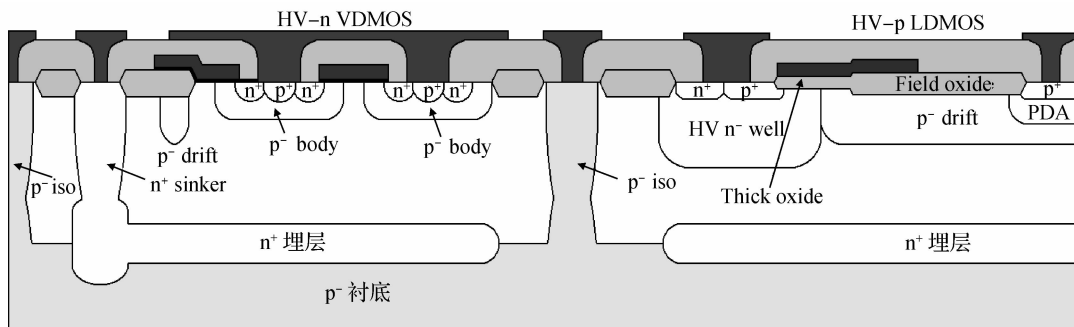


图 3 HV-CMOS 器件结构

Fig.3 Cross section of HV-CMOS

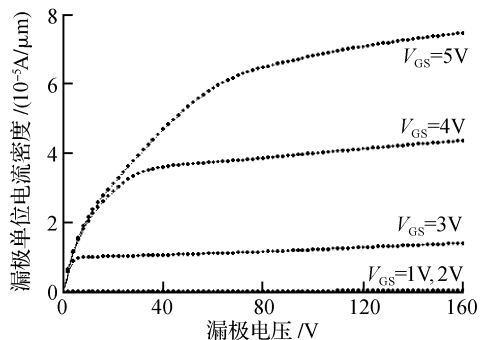


图 4 HV-VDNMOS 器件的 $I-V$ 特性仿真曲线
Fig.4 $I-V$ simulation curve of HV-VDNMOS

现高低压器件兼容和保证工艺稳定性的同时,尽可能地减少工艺步骤、简化工艺复杂度和增加工艺裕度(扩大工艺窗口),从而降低工艺成本^[8].

由于采用了场氧栅结构的 HV-LDPMOS 器件(利用场区氧化步骤做该器件的栅氧化层),这样就比典型的 HV-LDPMOS 器件工艺减少了 3 块光刻版(分别是:单独制作的厚栅氧层、辅助漂移区 PDA 和 HV-Nwell),还减少了两次注入(HV-Nwell 和 PDA)和一次氧化过程,从而显著降低了工艺复杂度,减少了生产成本.

针对这款 PDP 扫描驱动 IC 的高压 BCD 工艺流程设计如表 1 所示.首先选用电阻率为 $10\Omega \cdot \text{cm}$ 的 p 型硅作为衬底材料;在注入 n^+ 埋层和 p^+ 下隔离之后,生长电阻率为 $10\Omega \cdot \text{cm}$ 的 n^- 外延层;然后进行 n^+ 深注入、 p^+ 隔离和 Pwell 注入;紧接着进行 p-loop 层的注入和扩散,接下去的步骤可以和标准 CMOS 工艺基本一致,依次为场氧化、栅生长、p-body 注入、nMOS 和 pMOS 源漏注入、接触孔及金属化等.

4 流片和测试

为了验证上节介绍的 BCD 工艺线的正确性与可行性,我们将与工艺开发同步进行交互设计的一款适用于 42"彩色 PDP 平板显示器的扫描驱动芯片进行了流片.整块芯片的面积为 $8.0\text{mm} \times 5.5\text{mm}$,其中数字电路部分约占五分之一.芯片具有 64 路高压输出,要求在 160V 高压下正常工作,100 管脚的 QFP 封装.该芯片及其封装如图 6 所示.

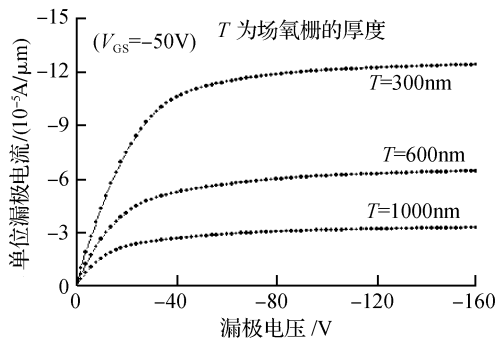


图 5 不同场栅氧厚度下的 HV-LDPMOS 器件 $I-V$ 仿真曲线
Fig.5 $I-V$ simulation curve of HV-LDPMOS with different thickness of gate oxide

表 1 常规 BCD 工艺与新 BCD 工艺流程
Table 1 Flows of conventional BCD and new BCD processes

常规 BCD 工艺	新 BCD 工艺
p^- 衬底	p^- 衬底
n^+ 和 p^+ 埋层注入	n^+ 和 p^+ 埋层注入
n^- 外延生长	n^- 外延生长
p^+ 隔离注入	p^+ 隔离注入
深磷 n^+ 注入	深磷 n^+ 注入
p-drift 注入	p-well 注入
HV-Nwell 注入	p-loop 注入
PDA 注入	场区氧化
p-well 注入	薄栅氧化及多晶硅
场氧化	p-body 注入
厚栅氧化	源漏区注入
薄栅氧化及多晶硅	引线孔
p-body 注入	金属铝及钝化
源漏注入	
引线孔	
金属铝及钝化	

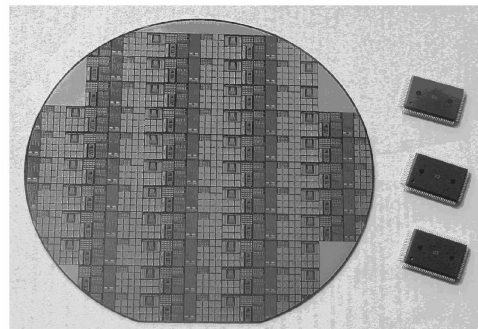


图 6 PDP 扫描驱动芯片及其封装
Fig.6 Wafer and package of PDP scan driver IC

4.1 高压器件测试

在完成流片的基础上,首先对 PDP 扫描驱动 IC 的高压器件进行了测试,所有器件测试结果全部正常.

图 7 给出了高压 HV-VDNMOS 输出管的击穿特性曲线.从 $I-V$ 特性曲线可以得到,单位饱和输出电流为 $33\mu\text{A}/\mu\text{m}$,特征导通电阻为 $69.6\text{m}\Omega \cdot \text{cm}^2$ ($V_{GS} = V_{DS} = 5\text{V}$).由于高压输出的上、下对管均采用 HV-VDNMOS,所以此高压输出电路与采用 HV-LDPMOS 的常规电路相比,在相同芯片面积和测试条件下驱动电流

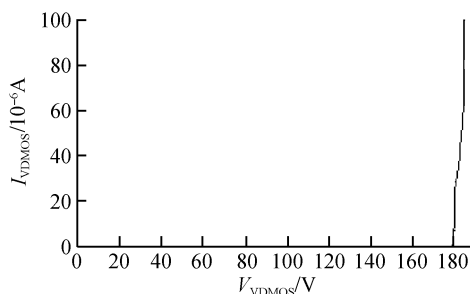


图 7 HV-VDNMOS 输出管的击穿特性曲线
Fig.7 Breakdown curve of HV-VDNMOS

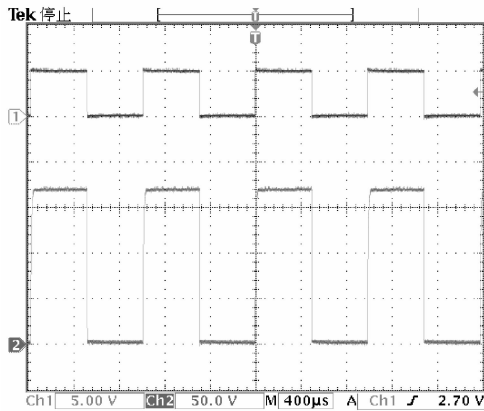


图 8 高压输出的测试波形 ①5V 低压输入信号;②170V 高压输出信号

Fig.8 Test waveform of HV output ①Input signal of 5V;② Output signal of 170V

大约增大了 1~2 倍。

从场氧栅 HV-LDPMOS 器件的 $I-V$ 特性测试曲线来看,击穿电压超过了 170V ($V_{GS} = 0V$),同时栅源耐压超过 400V,满足了电路的需求.从 $I-V$ 特性曲线还可以看出,HV-LDPMOS 管的阈值电压为 6.50V,它的饱和输出电流为 3.2mA ($V_{GS} = -50V$ 且 $V_{DS} = -100V$, $W = 100\mu m$),与仿真曲线基本保持一致。

4.2 电路测试

对样片电路部分的测试情况如下:图 8 给出低压输入脉冲信号和相对应的高压输出波形的测试结果,其中输入 V_{CC} 为 5V 低压脉冲信号,输出 V_{PP} 为 170V 左右的高压脉冲波形,以保证 PDP 显示屏能在 160V 高电压下正常工作.图 9 和图 10 分别给出电源电压 $V_{PP} = 90V$ 和负载 $C_L = 200pF$ 情况下高压输出的上升沿和下降沿时间波形,其中上升沿为 165ns,下降沿为 30ns,满足设计要求和 PDP 系统对显示驱动能力的需求。

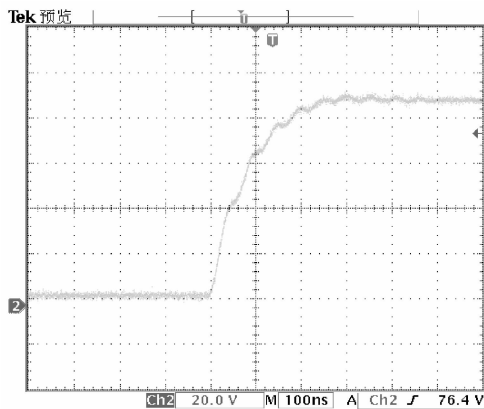


图 9 高压驱动输出管脚的上升沿波形

Fig.9 Rising edge of HV drive output pin

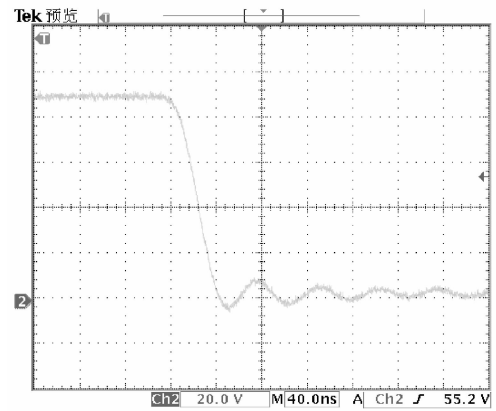


图 10 高压驱动输出管脚的下降沿波形

Fig.10 Falling edge of HV drive output pin

5 结论

本文介绍了 PDP 扫描驱动 IC 及其高压输出电路的工作原理,针对 PDP 扫描驱动 IC 的特点,开发了一条适合于该电路生产制做的高压 BCD 工艺,并在其基础上对 PDP 扫描驱动 IC 进行了流片.该芯片采用 $2.5\mu m$ 最小线宽,QFP100 封装,具有 64 路高压输出,最大输出电流 0.45A,最大工作频率 16MHz,通过对芯片的数十个参数系统而全面的测试并与国外同类产品数据进行对比分析,确认所设计的 PDP 扫描驱动 IC 样片除静态功耗外均已达到国外同类产品水平,完全可以满足 42" PDP 显示系统的需求。

参考文献

- [1] Uchiike H, Hirakawa T. Color plasma displays. Proceedings of the IEEE, 2002, 90(4): 533
- [2] Tsai-Fu W, Chien-Chih C, Chien-Chou C, et al. Design and development of driving waveforms for AC plasma display panels. IEEE Trans Plasma Sci, 2003, 31(2): 272
- [3] Jongdae K, Tae-Moon R, Sang-Gi K, et al. High-voltage power integrated circuit technology using SOI for driving plasma display panels. IEEE Trans Electron Devices, 2001, 48(6): 1256
- [4] Song Q S, Song S S. High voltage output circuit using n- and n-LDMOSFET with thick gate oxide for PDP driver IC. Electron Lett, 2004, 40(16): 989
- [5] Weifeng S, Longxing S, Zhilin S, et al. High-voltage power IC technology with nVDMOS, RESURF pLDMOS, and novel level-shift circuit for PDP scan-driver IC. IEEE Trans Electron Devices, 2006, 53(4): 891
- [6] Park M Y, Kim J, Lee D W, et al. A 100V, 10mA high-voltage driver ICs for field emission display applications. IEEE AP-ASIC, 1999: 380
- [7] Ji Chunlin. A specific on-resistance functional physical model of VDMOSFET. Journal of Liaoning University (Natural Science Edition), 2004, 31(4): 375 (in Chinese) [季春霖. VDMOSFET 特征导通电阻实用物理模型. 辽宁大学学报(自然科学版), 2004, 31(4): 375]
- [8] Ludikhuize A W. A versatile 700~1200-V IC process for analog and switching applications. IEEE Trans Electron Devices, 1991, 38(7): 1582

Research and Implementation Process of a 42" PDP Scan Driver IC*

Hong Hui, Han Yan[†], Han Chenggong, and Wang Yalin

(*Institute of Microelectronics and Photoelectronics, Zhejiang University, Hangzhou 310027, China*)

Abstract: Based on independent research of bipolar-CMOS-DMOS high voltage processes, a new plasma display panel scan driver IC for 42" digital TVs is implemented. The high voltage power devices are integrated and compatible with ordinary CMOS and Bipolar devices and work in low voltage. The level-shifter driver circuit matches this process perfectly, which greatly enhances its performance and reduces the chip size. The test results show that the performance of this PDP scan driver IC is perfect and its technical parameters achieve the same level as those of foreign products. It fully satisfies the demands of the 42" PDP system under the condition of a low power supply of 5V and a high power supply of 160V .

Key words: plasma display panel; scan driver; lever-shifter; BCD process

EEACC: 2570P; 2570K

Article ID: 0253-4177(2008)04-0806-05

* Project supported by the Science and Technology Plan of Zhejiang Province (No. 2004C31094)

[†] Corresponding author. Email: hany@zju.edu.cn

Received 23 September 2007, revised manuscript received 5 November 2007