

基于精简标准单元库的 OPC 复用技术

焦海龙 陈 岚[†] 李志刚 杨清华 叶甜春

(中国科学院微电子研究所 共性技术研究室, 北京 100029)

摘要: 提出了一种对标准单元的光学邻近效应校正结果进行复用的方法, 并通过将传统标准单元中的所有核心逻辑通过反相器和二选一多路选择器的组合来实现, 得到了一套可制造性强的精简标准单元库, 从而使 OPC 复用技术得以有效实施, 并将在很大程度上提高芯片生产效率和降低掩模数据存储空间. 精简标准单元库中单元的电气仿真结果表明其在面积、速度、功耗方面与传统标准单元库相比性能损失很小.

关键词: 精简标准单元库; OPC 复用; 可制造性设计; 电气仿真

EEACC: 2550G; 2570A

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2008)05-1016-06

1 引言

集成电路(integrated circuit, IC)制造技术按照摩尔定律以每 18 个月集成度提高一倍的速度发展. 但当集成电路的特征尺寸降到 100nm 以下的时候, IC 制造技术遇到了空前的挑战, 其中一个重要的方面来自于制造中的光刻环节. 芯片特征尺寸已经减小到小于光刻光源的波长, 由于衍射效应, 光刻仪器误差以及透镜的低通滤波效应^[1], 晶圆上的图形已无法和掩模上的图形保持一致. 光学邻近效应校正(optical proximity correction, OPC)作为应用最广泛的光刻分辨率增强技术(resolution enhancement technology, RET), 已成为现在掩模(mask)制造中修正光学失真的重要手段. 目前采用的 OPC 可分为两类, 基于规则的 OPC(rule-based OPC)和基于模型的 OPC(model-based OPC). 随着电路特征尺寸的不断缩小, 版图图形之间的光学干扰越来越严重, 精度上有明显优势的基于模型的 OPC 成了一种必需.

基于模型的 OPC 有两个主要问题: (1)复杂的算法和迭代导致其运算时间过长, 尤其对于全芯片的 OPC, 直接影响芯片生产效率; (2)芯片在 OPC 之后的数据存储量急剧增加, 导致对数据存储设备的要求提高. 然而, 在数字芯片中, 绝大部分电路是由标准单元构成的, 其中有大量重复单元, 只是由于它们邻近单元的不同导致了光刻环境的差异, 从而产生了不同的 OPC 结果. 文献[2]提出了一种在标准单元设计过程中预先对单元进行 OPC 的方法, 作者通过在标准单元的四周添加虚拟多晶硅来模拟单元的邻近光刻环境, 从而使标准单元可以在不考虑其他邻近单元的情况下提前进行 OPC. 然而, 虚拟多晶硅模拟邻近环境的能力有限, 尤其是在特征尺寸进一步缩小的情况下. 文献[3]中, 作者将一个标准单元分为核心区域和边界区域, 核心区域不受邻近单元的

光刻邻近效应干扰, 而边界区域则需要完成标准单元的拼接之后重新进行全芯片 OPC, 这种方法在一定程度上减少了 OPC 的计算量, 但没有实现单元 OPC 结果的完全复用. 文献[4]中, 作者根据平行线条间的光刻影响占据主导的原则, 只考虑水平方向标准单元之间的影响, 通过考虑代表性的单元边界图形, 对标准单元进行预先 OPC, 但相邻标准单元中的水平方向平行线条必然存在, 导致垂直方向上的邻近单元之间的光学影响不可忽略, 未考虑这种情况下的预先 OPC 必然使结果中存在一定数量的边沿放置误差(edge placement error, EPE), 同时, 作者对光学邻近范围内的光学环境做了不同程度的简化, 导致 EPE 进一步增加. 文献[5]中, 作者试图用将标准单元图形规则化的方法来实现预先 OPC, 但是系统的实施方法并未被提出.

本文同样采用了在标准单元构建过程中预先对单元进行 OPC 的思想, 将标准单元库精简为只有两种标准单元构成, 用这两种单元实现所有的电路功能, 从而实现了电路版图的最大规则化. 通过考虑光刻邻近效应影响半径(radius of influence, ROI), 模拟标准单元邻近光学环境, 对仅有的两种单元进行预先 OPC. 在具体电路版图中, 只需要将相应单元的修正版本进行替换和拼接即可, 从而实现了 OPC 结果的完全复用. 标准单元和具体电路的电气仿真结果显示我们的方法在电路面积, 速度和功耗方面的代价在可接受的范围内.

2 OPC 复用基本原理

传统的掩模制造过程之所以要进行全芯片 OPC, 是因为即使芯片中存在大量的重复单元, 但是由于它们光刻邻近环境的不同而必然产生完全不同的 OPC 结果. 而这种光刻邻近环境是不可预知的, 因为: (1)传统的标准单元库中单元种类较多, 图形之间的差异导致它们自身及其邻近单元的 OPC 结果不同; (2)传统标准单

[†] 通信作者. Email: chenlan@ime.ac.cn

2007-09-25 收到, 2008-01-10 定稿

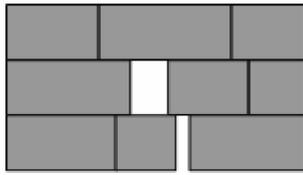


图 1 传统标准单元拼接后的版图模型

Fig.1 Layout model of patched traditional standard cells

元虽然高度一致,但是彼此之间的宽度都有差异,使它们在拼接过程中出现如图 1 的情况,因此,标准单元在垂直方向的光刻邻近环境完全无法估计,使得全芯片 OPC 成为必然.

实际上,垂直方向的标准单元在对单元做 OPC 的过程中是必须考虑的.首先对于小尺寸线条的光刻邻近效应影响半径 ROI,我们可以通过文献[6]中的公式得到:

$$ROI = \frac{1.12}{\sigma} \times \frac{\lambda}{NA} \quad (1)$$

其中 σ 是光刻光源的部分相干因子; λ 是光刻光源的波长; NA 是光刻成像透镜的数值孔径.对于 193nm 光刻光源,如果 σ 和 NA 分别取比较常用的 0.4 和 0.9,那么 ROI 为 600nm.为了节省面积,布局布线工具将相邻两行标准单元的电源或者地共用,因此,垂直方向相邻单元边界部分的线条之间的距离要小于 600nm,相互之间的影响不可避免.同时,即使垂直方向的相邻单元中的垂直方向线条之间的邻近效应可以忽略,水平方向的线条之间的邻近效应是不可以忽略的,它们之间的影响和同一个单元内部的两条平行线条之间的相互影响是相同的,如图 2 所示.标准单元中关键尺寸(critical dimension, CD)主要存在于多晶硅层和金属 1,多晶硅层出现如图 2 所示的平行线条的情况较少,但是金属 1 中却是不可能完全避免的.

在将水平方向和垂直方向的邻近标准单元都纳入考虑范围的情况下,如果要对一个标准单元周围环境的预知,必然希望所有单元的高度和宽度都相同,在所有的单元完成拼接之后,出现如图 3(a)所示的情景.图中的每个方格代表一个标准单元.当然,布局布线器可能根据布线的需要将水平方向的标准单元拉开一定距离,这时,我们希望它们之间的距离是每个标准单元宽度的整数倍.如果我们再次将 ROI 考虑进来,根据 Foundry 提供的 90nm 设计规则,即使一个反相器单元的高度和宽度也要远大于 600nm,所以,对于某一个标准单元,我们所要考虑的情景就完全可以简化为图 3

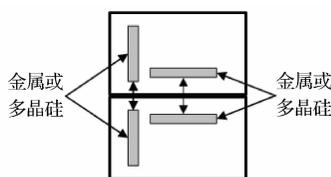
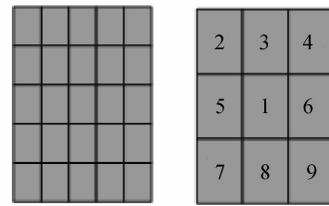


图 2 垂直方向相邻标准单元间光学影响模型

Fig.2 Model of optical interference between vertically patched cells

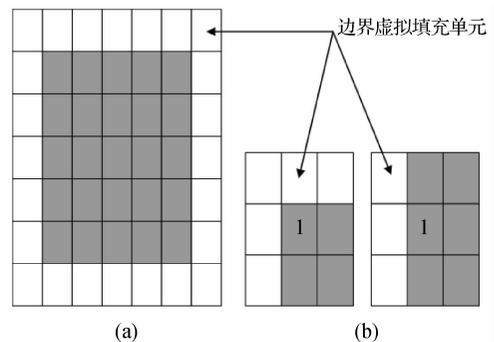


(a) (b)

图 3 (a) 理想标准单元拼接模型;(b) 标准单元光学邻近环境模型
Fig.3 (a) Ideal model of patched standard cells; (b) Optical proximity environment of modified standard cells

(b)的情况,即考虑单元周围一层的邻近单元已经足够,其中单元 1 为准备做 OPC 的单元,2 到 9 为它的邻近环境.如果标准单元库中存在 n 种单元,那么对于某一个单元预先进行 OPC 的话,这个单元的 OPC 版本将为 $n(n+1)^8$ 种,位置 1 上的单元有 n 种情况,而位置 2 到 9 上还可能出现空白单元,所以会出现 $(n+1)$.标准单元的不同 OPC 版本将被存在一个数据库中,在掩模制作前,只需要将版图中相应的单元根据其周围单元的组合用相应的 OPC 版本代替即可.这种方法未对光学邻近环境做任何简化,完整地考虑了标准单元所有可能的光学邻近环境,最大限度地保证了单个标准单元的 OPC 结果和全芯片的 OPC 结果的相似性.为了控制数据库的规模,标准单元库中的单元种类 n 的选取将十分关键.当工艺节点降到 65nm 甚至更低时,根据 ROI,我们的方法将依然适用.

这种方法中有两个问题需要做额外处理:(1)对于邻近单元中的空白单元,传统布局布线器往往在这些区域加虚拟填充物(dummy filler),即在多晶硅层加虚拟多晶硅,在金属层加虚拟金属(dummy metal),两者的目的都是为了实现层密度的均匀,所以在对标准单元进行预先 OPC 时,空白单元需要用一个有虚拟填充物的单元代替.(2)对于电路边缘部分的标准单元,其一侧或者两侧没有其他标准单元,这时的光学邻近环境无法估测.我们采用在电路的整个标准单元模块周围加虚拟填充单元的方法来解决,如图 4(a)所示,其中的虚拟填充



(a) (b)

图 4 (a) 加虚拟单元后的标准单元模块模型;(b) 边界标准单元光刻邻近环境模型
Fig.4 (a) Model of standard cells with dummy cells; (b) Optical proximity environment of boundary cells

单元和上文中提到的代替空白单元的虚拟单元是相同的. 这样, 边界单元周围会出现如图4(b)所示的情况, 其中, “1”为边界单元, 白色方块为虚拟填充单元. 采用相同的方法即可实现对“1”的预先 OPC.

3 精简标准单元库的设计

规则设计在 IC 设计中占据着重要的地位, 比较典型的电路类型包括 RAM 和 FPGA, 它们的电路结构中的大量重复单元提高了电路的可制造性, 也使得它们往往成为新工艺节点的实验品. RAM 和 FPGA 以外的产品的电路规则设计也逐步兴起, 文献[7,8]中提出了一种定制通孔的门阵列电路结构(VPGA), 运用和 FPGA 类似的原理实现具体的电路功能; 文献[9,10]中提出了一种类似的通孔可配置门阵列电路结构(VCGA), 并给出了从逻辑映射到布局布线的完整解决方案. 由于他们采用了和 FPGA 类似的结构, 所以和基于标准单元的 ASIC 设计相比, 电路延迟增加约 33%, 功耗增加 17%, 面积增加到 2 倍以上^[10].

3.1 精简标准单元库的电路设计

3.1.1 精简标准单元库逻辑实现

本文所采用的规则电路设计思想不同于上文提到的方法, 我们通过只运用反相器和二选一多路选择器来实现传统标准单元库中的核心逻辑功能, 从而达到可以实现所有组合和时序功能的目的. 最终, 这种标准单元库可以被应用到第二部分提出的掩模复用方法中.

传统标准单元库的建立原则是希望选择尽可能丰富的单元类型, 使得电路综合工具在综合过程中有更多的选择, 实现以最小的代价满足速度、功耗、面积等各种约束条件. 这样的标准单元库是无法满足第二部分中提出的基于标准单元的 OPC 结果复用的条件的. 当电路特征尺寸降到 100nm 以下时, 可制造性问题已经成为电路设计的首要问题, Foundry 所提供的工艺和器件参数已经从最低层保证了电路较高的性能和较小的面积, 给我们留下了一定的空间可以在电路的性能和面积上面做折中, 来提高电路的可制造性. 我们的精简标准单元库正是运用了和传统标准单元库相反的思路, 采用尽可能少的单元来实现尽可能复杂的逻辑. 以往基于标准单元的 OPC 方法都是在不改变标准单元库结构的前提下进行的, 由于无法对单元周围的光学环境进行准确的预测, 必然使得最后的 OPC 结果有一定的误差. 用反相器和二选一多路选择器实现两输入组合逻辑的方法如表 1 所示, 对于 D 型 Latch 和 D 型 Register, 我们则采用图 5 所示的基于多路选择器的形式实现.

可见, 由反相器和二选一多路选择器可以实现所有一输入和二输入组合和时序逻辑. 同时, 基于布尔函数的 Shannon 展开定理^[11]可以将所有的多变量大逻辑函数分解为基于二选一多路选择器的若干小函数, 从理论上保证了所有的逻辑都可以由我们的两种单元实现.

表 1 反相器和多路选择器实现组合逻辑真值表

Table 1 Truth table of combinational logic realized by inverter and MUX2

逻辑类型	IN0	IN1	S	$F = \bar{S} \cdot \text{IN0} + S \cdot \text{IN1}$
MUX2	A	B	S	$F = \bar{S} \cdot A + S \cdot B$
NAND2	1	\bar{B}	S	$F = \bar{S} \bar{B}$
AND2	0	B	S	$F = S B$
NOR2	\bar{A}	0	S	$F = \bar{S} + \bar{A}$
OR2	A	1	S	$F = S + A$
XOR2	A	\bar{A}	S	$F = \bar{S} \cdot A + S \cdot \bar{A}$
XNOR2	\bar{B}	B	S	$F = \bar{S} \cdot \bar{B} + S \cdot B$

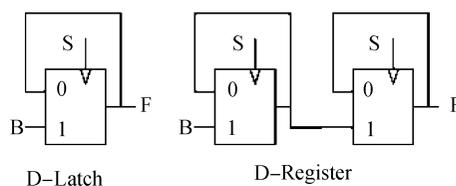


图 5 基于多路选择器的时序逻辑实现

Fig. 5 Sequential logic based on MUX2

3.1.2 多路选择器的电路结构

对于标准单元中所需要的二选一多路选择器, 我们可以通过多种电路结构来实现, 例如 CMOS 型, 互补传输管型 (CPL), 双传输管型 (DPL), 单轨传输管型 (LEAP) 和摆幅恢复传输管型 (SRPL)^[12]. 传输管型电路只采用 nMOS 实现所需的逻辑功能, 并且 CPL 和 SRPL 型电路还可以输出差分信号, 然而由于 nMOS 在传输“1”逻辑时会出现阈值损失, 所以必须通过电平恢复电路来修正输出信号, 导致了输出电路的复杂结构, 成为了有比逻辑, 这对于晶体管尺寸的优化是一个挑战. 同时它们的漏电功耗较大, 鲁棒性没有 CMOS 型电路突出.

我们的目的是希望使用尽可能简单的电路结构实现鲁棒性和级联性好的多路选择器, 而没有必要在每个标准单元内部都产生差分信号. 图 6 所示的 CMOS 型电路是最符合我们要求的结构: (1) 使用了 8 个晶体管, 数量较少; (2) 无比逻辑, 可以使用小尺寸的晶体管, 进一步减小面积; (3) 鲁棒性好, 噪声容限高, 漏电功耗很小; (4) 输出级的反相器使得它具有很好的驱动能力和统一的输出负载, 便于单元之间的级联. 这样, 我们便可以得到所有电路的具体实现形式.

3.2 精简标准单元库的版图设计

对于标准单元库中两个单元的版图设计, 我们需要

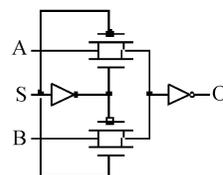


图 6 实现多路选择器的电路形式

Fig. 6 Circuit form of MUX2

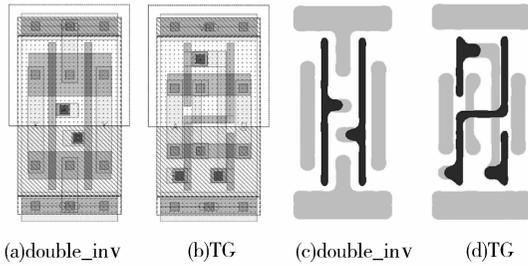


图 7 OPC 复用原则下的精简标准单元库版图及光学仿真结果
Fig. 7 Layout and optical simulation result of reduced standard cell library used for OPC reuse

遵循以下两个原则：(1)设计的版图面积最小；(2)两个单元的高度和宽度均相同。

如果我们将多路选择器作为一个单元，一个单独的反相器作为一个单元，两者在电路规模上差距较大，而为了保证两者的宽度相同，我们必须使两者的宽度都和较大单元的相同，这样带来的面积损失较大。多路选择器实际上可看成由四部分组成，两个反相器和两组传输门，每部分都由一个 nMOS 和一个 pMOS 组成，基于这种结构的特殊性，我们可以将两个标准单元这样规划：一个单元包含两个反相器(double_inv 单元)，另一个单元包含两组传输门(TG 单元)。这样，每个单元都包含 2 个 nMOS 和 2 个 pMOS，因此在面积上十分接近；而在逻辑功能上，double_inv 单元可以实现反相器和缓冲器的功能，如果将两个反相器的输入和输出分别相连，还可以实现双倍驱动能力的反相器。而多路选择器的功能可以由这两种单元组合来实现，其他逻辑功能则通过这两种标准单元之间的互连来实现。

我们根据 SMIC 90nm 的 DFM 设计规则，在 Cadence 的 Virtuoso 设计环境中对两个标准单元进行了

版图设计。我们同时注意避免了版图中容易出现工艺敏感点的图形，例如“L”形和“T”形，一方面可以减少 OPC 的数据量，另一方面也可以避免在实施移相掩模技术(phase-shifted mask, PSM)时出现相位冲突的情况。两个单元中的栅之间的距离保持相同，单元内部的接触孔也尽量保持在相同的水平线上。图 7 即为我们所设计的标准单元的版图及利用光学仿真软件仿真的结果(包含多晶硅层和金属 1 层)。

4 标准单元电气性能比较

为了验证我们设计的标准单元的实用性，我们根据 SMIC 90nm 的 DFM 设计规则，按照 Foundry 传统标准单元的电路结构设计了相应的版图。然后，我们通过 Hspice 仿真，将两种设计思路下相同的逻辑功能单元进行了电气性能分析，结果列于表 2 和表 3 中，精简标准单元库下的数据对传统标准单元库的数据做了归一化。

通过比较，我们可以看到在单元面积方面，NAND2, NOR2, AND2 和 OR2 的代价较大，而 XOR2, XNOR2 则有明显的面积优势。在延迟和功耗方面，只有 NAND2 和 NOR2 的性能损失比较严重，这是因为传统结构在实现与非门和或非门时有一定的优势，而基于多路选择器的结构在实现这两种简单逻辑时不够有效。而在实现其他逻辑功能，尤其是同或和异或时，基于多路选择器的结构稍有优势。

我们将传统标准单元和精简标准单元应用到 3 个 ISCAS85 的 benchmark 电路上，来验证在多种标准单元大量存在的情况下，精简标准单元的使用效率。实验结果列于表 4。

表 2 标准单元库组合逻辑性能比较

Table 2 Combinational logic performance in two standard cell libraries

逻辑类型	传统标准单元库				精简标准单元库			
	面积	延迟(IN1)	延迟(IN2)	功耗	面积	延迟(IN1)	延迟(IN2)	功耗
INV	1X	1X		1X	0.8333X	1X		1X
BUF	1X	1X		1X	1X	1X		1X
NAND2	1X	1X	1X	1X	2.5X	3.5997X	2.8266X	1.6384X
NOR2	1X	1X	1X	1X	2.5X	1.5031X	2.7934X	0.8801X
AND2	1X	1X	1X	1X	2.0833X	1.1540X	0.8741X	1.2268X
OR2	1X	1X	1X	1X	2.0833X	1.0718X	1.0047X	1.2480X
XOR2	1X	1X	1X	1X	0.7353X	0.9504X	0.9164X	1.0559X
XNOR2	1X	1X	1X	1X	0.7353X	1.0011X	0.9708X	1.0172X
MUX2	1X	1X	1X	1X	0.9375X	0.9448X	0.9256X	0.9645X

表 3 标准单元库时序逻辑性能比较

Table 3 Sequential logic performance in two standard cell libraries

逻辑类型	传统标准单元库					精简标准单元库				
	面积	建立时间	CLK-Q 时间	D-Q 时间	功耗	面积	建立时间	CLK-Q 时间	D-Q 时间	功耗
D-LATCH	1X	1X	1X	1X	1X	0.9375X	0.8181X	1.2652X	0.6438X	0.4615X
D-REG	1X	1X	1X		1X	0.9167X	2.0725X	0.9637X		0.0091X

表 4 标准单元库使用效率比较

Table 4 Efficiency comparison of two standard cell libraries

模块	门数	传统标准单元结构			精简标准单元结构		
		面积	延迟	功耗	面积	延迟	功耗
s35932	25366	1X	1X	1X	1.3152X	1.5495X	0.6481X
s38417	26078	1X	1X	1X	0.8557X	1.0046X	0.8171X
s38584	24619	1X	1X	1X	0.9090X	1.0012X	0.4875X

可见,在上述各种标准单元同时大量存在的情况下,其所构成的电路在面积和速度方面的损失都很小,在功耗方面显示出了巨大的优势,这主要是由于三个测试电路中都存在大量的寄存器,而基于 MUX2 的寄存器由于使用了较少数目的晶体管,并且由于其特有的开关特性,保证了其动态功耗要比传统标准单元中的寄存器小的多.同时,现存的传统综合器是不支持仅有反相器和 MUX2 的电路综合方式的,如果能够有适用于精简标准单元库的综合器,其构造电路的效率将进一步提高.

对基于精简标准单元库的 OPC 复用过程,我们需要保存两个方面的数据:(1)一个包含两个标准单元的不同 OPC 版本的原始数据库;(2)每个版图设计的 OPC 结果映射表,即每个位置上的精简标准单元应该由它的哪个 OPC 版本来代替的查找表.复用过程如图 8 所示.每个标准单元的每个 OPC 版本的 GDSII 文件约 5kB,因此原始数据库的总容量约为 66M,并且这个数据库一旦产生就不需要任何改动,任何用精简标准单元库构成的电路都可以应用这个数据库,所以产生这个数据库的时间可以不考虑在新版图的 OPC 过程中,而生成新版图映射表的时间才是真正有意义的.我们用 C 语言程序模拟了一个一万门电路的 OPC 映射表生成过程,并在一台装有 Linux 平台, Intel 2.4G 处理器和 512M 内存的电脑上运行.模拟结果显示,生成映射表的时间为 0.015s,生成的映射表数据文件大小为 27kB,而同样规模的全芯片 OPC 需要超过 20000s 的时间.所产生的 GDSII 文件超过 20M^[4].同时,产生映射表的时间和大小都是随着电路规模的增加而线性增长的.可见基



图 8 OPC 复用过程

Fig. 8 Block diagram of OPC reuse process

于精简标准单元库的 OPC 复用技术可以使全芯片 OPC 的处理时间和数据存储量都得到显著的减少.

5 结论

OPC 技术在现代 IC 掩模制作过程中的广泛应用使得 IC 设计的生产周期变长,掩模数据存储量急剧增大.本文建立了一套只有两种单元组成的精简标准单元库,由其实现传统标准单元库中的所有核心逻辑,并在此基础上提出了一种对标准单元的光学邻近校正结果进行复用的掩模复用新方法,其根本目的是为了降低传统 OPC 方法所带来的巨大代价,从而大大提高了芯片生产效率和掩模数据存储量.电气仿真结果表明,精简标准单元库中的单元在面积、速度、功耗方面与传统标准单元库相近,可以有效地实现各种大规模电路.

参考文献

- [1] Gennari F E. Linking TCAD and EDA through pattern matching. PhD Thesis in EECS, University of California, Berkeley, 2004
- [2] Gupta P, Heng F L, Lavin M A. Merits of cellwise model-based OPC. Proceedings of the SPIE, 2004, 5379: 182
- [3] Wang Xin, Pillof M, Tang Hongbo, et al. Exploiting hierarchical structure to enhance cell-based RET with localized OPC reconfiguration. Proceedings of the SPIE, 2005, 5756: 361
- [4] Pawlowski D M, Deng Liang, Wong M D F. Fast and accurate OPC for standard-cell layouts. Proceedings of the 12th Asia and South Pacific Design Automation Conference, 2007: 7
- [5] Maly W, Lin Y W, Marek-Sadowska M. OPC-free and minimally irregular IC design style. Proceedings of the 44th Design Automation Conference, 2007: 954
- [6] Wong A K K. Resolution enhancement techniques in optical lithography. Bellingham: SPIE Press, 2001
- [7] Tong K Y, Kheterpal V, Rovner V, et al. Regular logic fabrics for a via patterned gate array (VPGA). Proceedings of the IEEE 2003 Custom Integrated Circuits Conference, 2003: 53
- [8] Kheterpal V, Rovner V, Hersan T G, et al. Design methodology for IC manufacturability based on regular logic-bricks. Proceedings of the 42nd Design Automation Conference, 2005: 353
- [9] Ran Yajun, Marek-Sadowska M. Via-configurable routing architectures and fast design mappability estimation for regular fabrics. Proceedings of the 2005 IEEE/ACM International Conference on Computer-Aided Design, 2005: 25
- [10] Ran Yajun, Marek-Sadowska M. Designing via-configurable logic blocks for regular fabric. IEEE Trans Very Large Scale Integration (VLSI) Systems, 2006, 14(1): 1
- [11] Shannon C E. The synthesis of two-terminal switching function. Bell System Technical Journal, 1949, 39: 1023
- [12] Zimmermann R, Fichtner W. Low-power logic styles: CMOS versus pass-transistor logic. IEEE J Solid-State Circuits, 1997, 32(7): 1079

OPC Reuse Based on a Reduced Standard Cell Library

Jiao Hailong, Chen Lan[†], Li Zhigang, Yang Qinghua, and Ye Tianchun

(*Department of Common Technology, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

Abstract: This paper presents a method for reusing the results of standard-cell-based OPCs. For this purpose, a reduced standard cell library composed of an inverter and MUX2 is constructed to realize the core logic of a traditional standard cell library. This library is manufacturing-friendly, and the reuse of its OPC results can improve the efficiency of chip manufacturing greatly and highly reduce the need for large storage. The electrical simulation results of the library also show that its increase in area, delay, and power is minor compared with traditional standard cell libraries.

Key words: reduced standard cell library; OPC reuse; design for manufacturability; electrical simulation

EEACC: 2550G; 2570A

Article ID: 0253-4177(2008)05-1016-06

[†] Corresponding author. Email: chenlan@ime.ac.cn

Received 25 September 2007, revised manuscript received 10 January 2008