

一种 900MHz RFID 读卡器中的高性能 CMOS 频率综合器*

谢维夫[†] 李永明 张 春 王志华

(清华大学微电子学研究所, 北京 100084)

摘要: 实现了一个应用于 RFID 系统的低功耗、低噪声的锁相环频率综合器. 该频率综合器采用 UMC 0.18 μ m CMOS 工艺实现, 输入时钟为 13MHz, 经测试验证输出频率为 718~915MHz, 相位噪声为 -124dBc/1MHz, -101.13dBc/100kHz, 频率分辨率为 200kHz, 功耗为 54mW.

关键词: RFID; 锁相环; 频率综合器; 射频; CMOS

EEACC: 2570

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2008)08-1595-07

1 引言

射频识别技术 (radio frequency identification, RFID) 作为一种发展迅速的自动识别技术, 在物流管理、防伪、交通信息化、工业自动化以及军事等多个领域有着巨大的应用前景. 制约这种技术快速普及的瓶颈有射频标签的成本及收发机的工作稳定性等因素, 而高度集成的频率综合器有利于提高 RFID 系统整体性能, 减少片外元件, 从而降低成本、减少功耗. RFID 技术有多个使用频段, 被广泛使用的 125kHz 和 13.56MHz 频带技术已非常成熟, 此类读写器读写范围一般小于 1.2m, 带宽一般限制在几 kHz 内, 无法适应长距、高速读写器的要求. 目前业界最关注的是位于中高频段的 RFID 技术, 特别是 860~960MHz (UHF 频段) 和 2.45GHz 波段.

目前许多文献报道了如何优化频率综合器的参数以改善性能^[1~3]. 如降低相位噪声, 减少锁定时间等, 但许多均是频综作为单块集成芯片来设计, 在设计读卡器系统时再买入相应的频综芯片. 本文将频综集成到一块读写器芯片中综合考虑, 从而降低电路复杂度、减少面积、降低成本. 为了适应 UHF 频段 RFID 系统的应用以达到低噪声、低功耗的要求, 我们首先对如何优化功耗、噪声进行理论分析, 进而提出折中考虑 VCO、电荷泵各指标参数已达到最优设计的原则和方法, 然后从理论上设计了一个工作频率为 810~1010MHz (给 860~960MHz 的要求频率范围留出一定的裕度), 频率分辨率为 200kHz 的低功耗、低噪声频率综合器, 它集成了压控振荡器, 鉴频鉴相器, 电荷泵, 高速双模分频器和数字可编程分频器, 虽然最后测试频率有一定的偏差,

但其他性能很好地满足了便携式 RFID 设备对本振信号的要求.

2 设计

2.1 RFID 中的频率综合器的设计结构

射频识别技术是通过无线射频方式进行非接触的双向数据通信对目标加以识别. 一个典型的 RFID 系统主要由读写器、标签以及计算机系统部分组成^[4]. RFID 的工作原理如图 1 所示, 读写器在给标签发射信号同时, 要接收标签的数据, 并将数据传送到计算机系统进行处理. 频综用于产生 900MHz 本振信号给下一级混频器, 要求变频范围为 860~960MHz, 相位噪声要求至少 -100dBc/1MHz, 同时为适应温度、工艺、电源电压变化, 整个系统必须使用带隙基准电流源. 考虑到 RFID 系统主要用于便携式设备中, 因此设计一个满足上述指标要求的低功耗、低噪声频率综合器成为 UHF 频段 RFID 系统设计的关键.

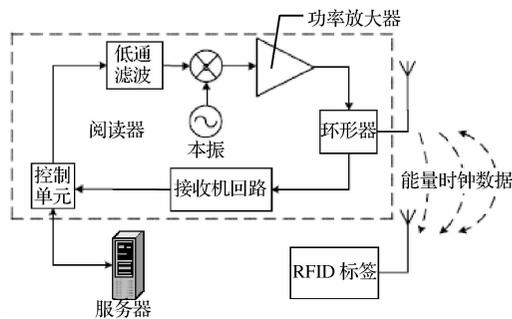


图 1 RFID 系统原理

Fig.1 Principle of RFID system

* 国家自然科学基金(批准号:60475018), 国家重大基础研究发展规划(批准号:G2000036508)和北京市科技发展项目(批准号:D0305003040111)资助项目

[†] 通信作者. Email: xwf05@mails.tsinghua.edu.cn

2007-12-16 收到, 2008-04-18 定稿

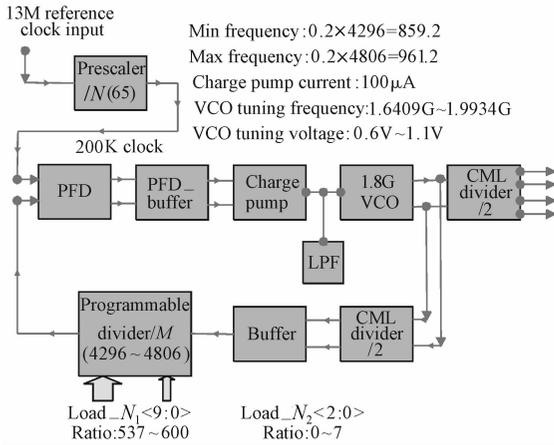


图 2 频率综合器的总体结构

Fig. 2 System structure of frequency synthesizer

图 2 给出了该频率综合器的系统结构,假设晶振频率 f_{ref} , 预分频器 (prescaler) 分频比是 N , 可编程分频器 (programmable divider) 分频比是 M , 则频率综合器的输出频率应为:

$$f_{\text{out}} = \frac{M}{N} f_{\text{ref}} \quad (1)$$

通过对分频器编程改变 M 的数值, VCO 可以输出所需要的各种频率, 频率分辨率为 f_{ref}/N .

输入采用 13MHz 晶体振荡器, 因此, N 值设计为 52. 为留出一定的频率裕度, 我们设计成 810 ~ 1010MHz 的输出范围, 因此 M 值可编程范围为 4050 ~ 5050. RFID 中为了消除射频场中存在的盲点而采用两路正交的混频结构^[5], 而 LCVCO 只有正反两个输出端, 因此我们设计一个中心频率 1.8GHz 的 VCO, 调频范围为 1620 ~ 2020MHz, 经过一个 CML 结构的 1/2 分频器来实现 900MHz 正交输出.

2.2 电路设计

压控振荡器是锁相环设计的核心模块, 其功耗与噪声水平直接决定了锁相环电路的功耗和噪声. 在 CMOS 工艺中, VCO 可以利用环形 (ring) 振荡器和 LC (inductance-capacitance) 振荡器两种来实现. ring 型的结构简单, 占用面积小, 但相位噪声差; LCVCO 虽然占用面积大, 但相位噪声比较优越, 因此我们采用 LCVCO. 在 LCVCO 的设计过程中我们先对关键参数进行分析再根据分析结果对设计进行反复优化. 2 分频器的设计有采用 TSPC 结构的或者静态锁存器结构的, 为了达到高速、低噪声的要求, 我们采用 CML 结构的 2 分频器. 电荷泵是决定频率综合器相位噪声的另一个重要指标, 我们首先从电荷泵对相位噪声的影响因素进行分析, 进而根据所得结论不断优化电荷泵结构和设计参数以减少对相位噪声的贡献.

2.2.1 1.8GHz LCVCO

首先, 振荡器要满足起振条件——小信号环路增益的虚部位于 s 坐标的右半平面. R_{tank} 是谐振电路等效阻抗.

$$g_m \geq \alpha/R_{\text{tank}} = \frac{\alpha r_s}{(\omega_0 L)^2} \quad (2)$$

$$R_{\text{tank}}(\omega_0) = 1/g_{\text{tank}} = Q_T \omega_0 L = \frac{(\omega_0 L)^2}{r_s} \quad (3)$$

(2) 式表明 VCO 电流必须大于某个值才能使得 MOS 管跨导满足起振条件.

其次, LC 振荡器有两种工作状态, 电流限制模式和电压限制模式^[6]. 在电流限制模式下, 输出信号幅度随电流增大而增大; 当幅度增大到一定程度, 受电源电压及 MOS 管工作状态的限制, 输出信号幅度基本不再变化, 电路进入电压限制模式.

$$V_{\text{tank}} = \begin{cases} I_{\text{bias}}/g_{\text{tank}} \\ V_{\text{limit}} \end{cases} \quad (4)$$

将能量公式 $E_{\text{tank}} = CV_{\text{tank}}^2/2$ 代入 (4) 式, 得到 (5) 式. 将 (4) 和 (5) 式联立, 得到 (6) 式.

$$V_{\text{tank}}^2 = 2E_{\text{tank}}/C = 2E_{\text{tank}}\omega_0^2 L \quad (5)$$

$$E_{\text{tank}} \propto I_{\text{bias}}^2/(Lg_{\text{tank}}^2) \quad (\text{仅限于电流限制模式}) \quad (6)$$

将 NCR (noise-to-carrier ratio) 作为衡量 LCVCO 噪声水平的指标^[7], 得到:

$$\langle v_n^2 \rangle \approx \frac{kT}{C} = kT\omega_0^2 L \quad (7)$$

再联立 (4), (6) 和 (7) 式, 得到:

$$\frac{\langle v_n^2 \rangle}{V_{\text{tank}}^2} \propto \begin{cases} Lg_{\text{tank}}^2/I_{\text{bias}}^2, & \text{current-limited} \\ L, & \text{voltage-limited} \end{cases} \quad (8)$$

由上式可以得出, 在电流限制模式下, 电流越大越能改善噪声水平, 但是这样会增加功耗, 因此只能通过反复优化, 在功耗与噪声水平之间折中. 另外, 减小电感值可以改善噪声水平, 但是电感值不能无限减小, 根据 (5) 式, 信号幅度随着电感值而呈正相关, 而后续电路要求 VCO 输出信号幅度有一个下限; 同时根据 (2) 式中起振条件所示, 电感值越小, 越需要更大的跨导来保证起振条件, 综上所述, 需要不断优化电感值, 以寻找一个尽可能小以改善噪声又能够满足最小信号幅度和起振条件的电感值.

第三, 根据 VCO 噪声理论^[8], 我们可以得出电流也有一个优化设计. 一旦超过这个值, 得到的就不仅仅是功耗的浪费, 甚至使得噪声性能更差.

$$PN \approx \frac{\bar{i}_n^2}{V_{\text{tank}}^2} \times \frac{R_{\text{tank}}^2}{4Q_T^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \\ \propto \frac{\eta g_m + 1/R_{\text{tank}}}{V_{\text{tank}}^2} \times \frac{R_{\text{tank}}^2}{Q_T^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (9)$$

(9) 式中用 $\eta g_m + 1/R_{\text{tank}}$ 来代替噪声电流源, 表明噪声主要来源于有源器件和 LC 环路的电阻损耗. 当电路处于电流限制模式时, (9) 式可以改写成:

$$PN \propto \frac{\eta g_m + 1/R_{\text{tank}}}{I_{\text{tank}}^2} \times \frac{1}{Q_T^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (10)$$

从 (10) 式也可以看出, 在电流限制模式时, 增大电流可以改善相位噪声. 但是一旦处于电压限制模式, 则得到 (11) 式:

$$PN \propto \frac{\eta g_m + 1/R'_{\text{tank}}}{V_{\text{max}}^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (11)$$

在 (11) 式中, 由于幅度过大使得有源器件进入线性区,

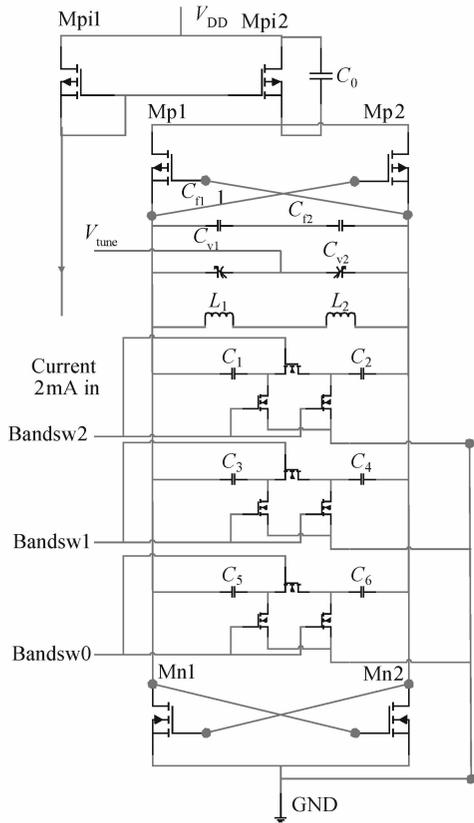


图 3 压控振荡器
Fig.3 Voltage-controlled oscillator

于是 $R'_{\text{tank}} < R_{\text{tank}}$, 此时电流的增加反而会使相位噪声变差, 因此最优设计应该是确定电流值得使电路工作在电流限制模式与电压限制模式的过渡点处。

本文采用的压控振荡器 (VCO) 电路如图 3 所示, 补偿 LC 回路能量损耗的互补交叉耦合对由两个 nMOS 管 Mn1, Mn2 及两个 pMOS 管 Mp1, Mp2 构成. L1 和 L2 采用 UMC 0.18 μm 1P6M CMOS RF 工艺的片上螺旋电感, 在实际设计过程中, 为了确定电路工作于电流限制与电压限制模式的分界点, 我们检测在不同电流值下的 VCO 输出幅度, 从而得到一组幅度-电流曲线, 如图 4 所示, 随着电流增加, 幅度增加越来越慢, 斜率不断变小, 我们设定斜率变为初始斜率 1/2 时为两种工作模式的过渡点, 于是得到 2.2mA 工作电流. 在此工作电流下, 测定在不同电感下 VCO 起振到 1.8GHz 时的相位噪声 (用固定电容来补偿电感的增减), 同时综合

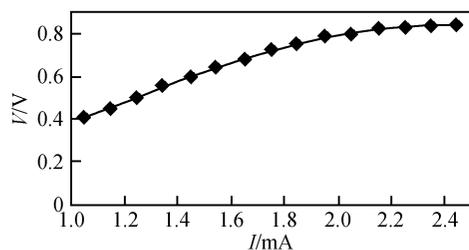


图 4 VCO 输出信号幅度与电流曲线
Fig.4 Output signal's amplitude versus current in VCO

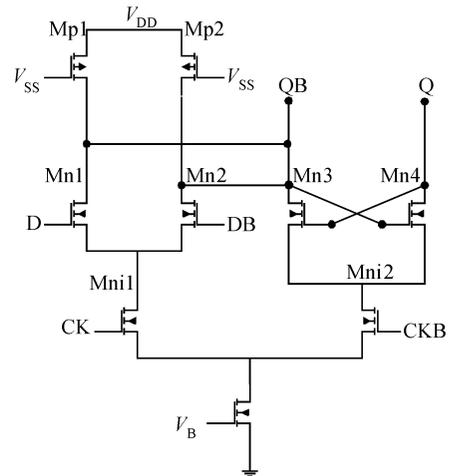


图 5 CML 结构的 D latch
Fig.5 D latch of CML structure

考虑 UMC 0.18 μm 工艺对电感参数的一些约束, 采用 2nH 左右电感, 然后再重复上述过程, 最后确定的电感值收敛在 2.089nH, 电流 2mA. 采用 3 位二进制 MIM 电容阵列来扩大 LCVCO 的频率调节范围. 为了减小高频 1/f 噪声对相位噪声的影响, Mp2 使用了长沟道 pMOS 管^[9]. 10pF 的滤波电容为 s 节点的高次谐波提供到交流地的低阻抗通道, 可以衰减尾电流源产生的高频噪声成分^[10,11], 同时由于比传统的 nMOS 互补耦合对 VCO 多了一组 pMOS 互补耦合, 因此输出振荡幅度增大了一倍, 同时差分输出波形更加对称, 良好的波形对称性可以降低振荡器输出相位噪声的转折频率, 提高相位噪声性能^[8]. 采用 CADENCE SPECTRE PNOISE, 经后仿分析显示该 VCO 的相位噪声为 -122.6dBc/1MHz.

2.2.2 2 分频器

目前业界广泛采用的 2 分频器均是基于锁存器结构的, 因此设计好一个边沿触发的锁存器是设计 2 分频器的关键. 锁存器设计有采用静态传输门锁存器结构, 此类边沿触发寄存器对时钟的 skew 敏感, 正时钟和负时钟同时为 0 或 1 时, 输出受输入的影响, 同时由于级联的门较多, 延迟时间较大, 无法达到高速的要求. TSPC 锁存器由于采用单相时钟, 其噪声性能不够理想. 本设计中, 我们采用 CML 结构的锁存器来设计 2 分频器, 如图 5 所示. 采用 CML 结构的锁存器, 其输入差分信号只需要高于 MOS 管的阈值电压就可以开启 MOS 管, 因此只需要较低的电压摆幅就可以完成功能, 功耗相对较低. 差分结构的共模抑制特性决定了电路噪声低、抗干扰能力强. 另外由于 CML 锁存器避免了过多门的使用, 减少了建立时间, 只要 MOS 管的速度能满足要求, 就可以实现高频下的工作. 将 CML 结构构成的 D latch 串联, 即构成 CML 结构的 D 触发器, 如图 6 所示. 将 CML 结构的 D 触发器反向输出端接回至数据输入端, 即构成 CML 结构的 2 分频器, 与其他结构的 2 分频器相比, 它具有摆幅小、抗干扰能力强、速度快、功耗低、噪声低的特点, 是现在高速 2 分频器设计的主流结构.

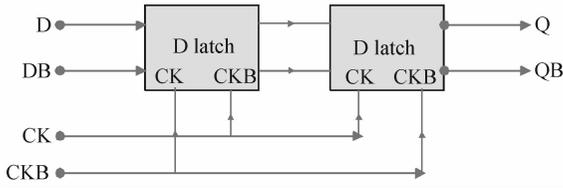


图 6 CML 结构的 D 触发器
Fig.6 D flip-flop of CML structure

2.2.3 电荷泵

当 PLL 处于锁定状态时, PFD 的两输入信号存在一个很小的静态相偏差, 此时, UP 与 DN 信号同时产生一些周期性的窄幅为脉冲, 使电荷泵的两个开关同时导通, 如果电荷泵电流匹配很好, 即 $I_{up} = I_{dn}$, 那么控制电压 V_{ctrl} 仍然保持不变, PLL 保持良好的锁定状态. 如果 CP 的电流不匹配, 控制电压 V_{ctrl} 将有微小抖动, 导致 PLL 的输出信号产生抖动和相位噪声. 由电荷泵开关的非理想特性导致的开关时间延迟和充放电电流的失配以及 PFD 的开通时间所引起的 PLL 的输出信号的相位偏差^[12]为:

$$\phi_c = 2\pi \times \frac{\Delta t_{on}}{T_{ref}} \times \frac{\Delta I}{I_{cp}} + 2\pi \times \frac{\Delta t_{on}}{T_{ref}} \times 2\pi \frac{\Delta t_d}{T_{ref}} \quad (12)$$

其中 Δt_{on} , T_{ref} , ΔI , ΔI_{cp} 和 Δt_d 分别表示 PFD 开通时间、参考时钟周期、充放电电流偏差、CP 电流和 CP 开关的延迟时间. (12) 式表明减少失配电流 ΔI 、电荷泵开关延迟时间 Δt_d 和 PFD 开通时间 Δt_{on} , 可以降低相位偏差 ϕ_c . 但是, 保持一定的 PFD 导通时间有利于克服 PFD 的死区. 所以只有尽可能减少失配电流和提高电荷泵开关速度来减少相位偏差 ϕ_c . 本设计中所用的电荷泵结构如图 7 所示. M0, M1 输入 100 μ A 电流, Mn1, Mn4 复制 M1 电流, Mp1 复制 Mp4 电流, 而 Mp4 电流等于 Mn4, 于是保证了 Mn1 电流等于 Mp1 电流. 加入共源共栅管使电流源呈高阻, 以减少输出电压的扰动对电流源的影响. 电容 C_{p1} , C_{n1} 的存在使得栅极电压的扰动对电流的影响也减少了, 后仿结果显示当充放电电流为 100 μ A 时, 同时打开 UP, DN 开关, 扫描 CP 的输出节点在 0.6~1.1V 变化时, 可观测到 CP 的漏电流 320 ~ -280nA 变化, 电流失配比在 0.3% 左右 (见图 8). 图 9 是 CP 的瞬态分析, 根据后仿真 PFD 结果显示 UP 与 DN 信号同时为高电平的脉宽约为 1ns (随后即复位为 0 开始新一轮鉴频鉴相), 于是设定 UP 与 DN 开关在 1ns 的脉宽内同时连通, 可以看到在这段时间内, 漏电流基本为 0, 只在 UP, DN 转换时有一些尖峰, 这是由于 CP 的电荷共享和时钟馈通造成, 但输出接上滤波器可以滤出其大部分尖峰.

2.2.4 可编程分频器

可编程分频器^[13]的设计见图 10, 设 N_1 , N_2 分频器均处于初始计数状态, 均输出高电平, 双模分频器按 $V + 1$ 分频, 当输入 $(V + 1)N_2$ 个时脉后, N_2 计数到 0, 输出低电平, 此时双模分频器按 V 分频, 与门屏蔽了 N_2 分频器的输入, 使得 N_2 分频器保持此状态. 再经过 $(N_1 - N_2)V$ 个周期, N_1 分频器计数到 0, 输出低电平,

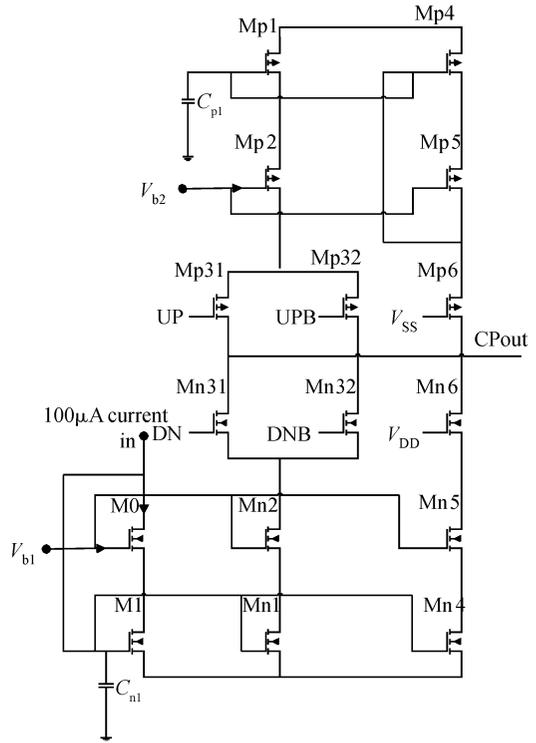


图 7 电荷泵
Fig.7 Charge pump

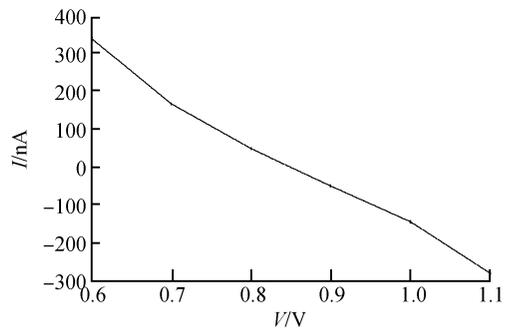


图 8 Charge pump 直流扫描
Fig.8 DC analysis of charge pump

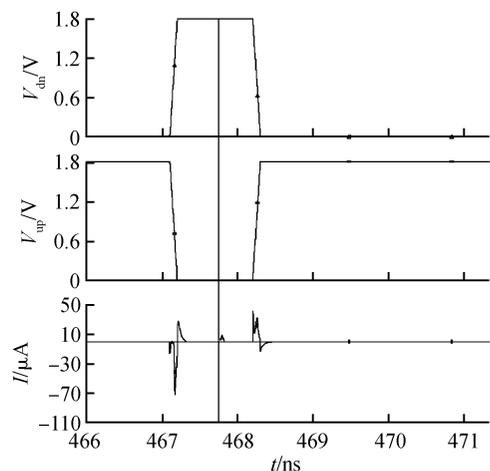


图 9 Charge pump 瞬态分析
Fig.9 TRAN analysis of charge pump

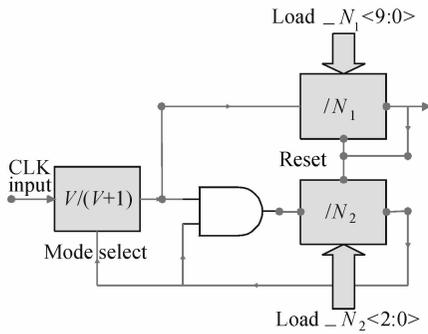


图 10 可编程分频器
Fig. 10 Programmable divider

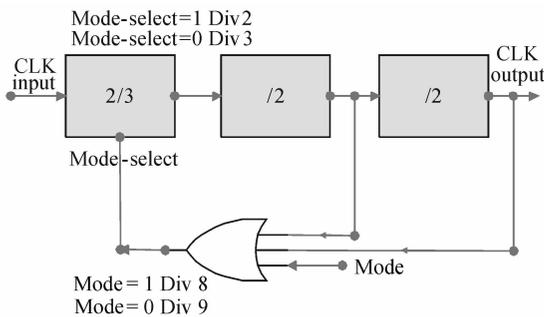


图 11 8/9 双模分频器
Fig. 11 8/9 dual-module divider

将自身及 N_2 分频器复位, 开始新一轮计数. 于是总分频比是:

$$(V + 1)N_2 + (N_1 - N_2)V = N_1 V + N_2 \quad (13)$$

在本设计中, 要求总分频比为 3440~3840, 设计 $V = 8$, 根据(13)式得到 N_1 的可编程范围 430~480, N_2 可编程范围 0~7. N_1, N_2 分频器通过数字综合布局布线生成, 8/9 双模分频器见图 11, 它由同步 2/3 双模分频器、2 分频器、逻辑控制器三部分组成. 当 Mode 信号为 1 时, 按 8 分频, 当 Mode 信号为 0 时, 按 9 分频. 2/3 双模分频器^[14, 15]结构见图 12, 它将或门设计在 D latch 中, 不但简化了电路设计, 而且避免了单独设计逻辑门带来的寄生参数的影响, 减少了速度的损失, 文献研究表明这种 D latch 构成的 D 触发器, 其工作速度至少可以提高 10%.

3 测试结果及分析

本设计采用 UMC 0.18 μ m/RF 工艺, 其版图设计

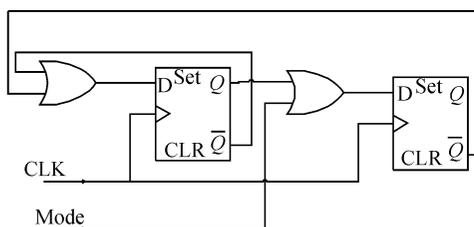


图 12 2/3 双模分频器
Fig. 12 2/3 dual-module divider

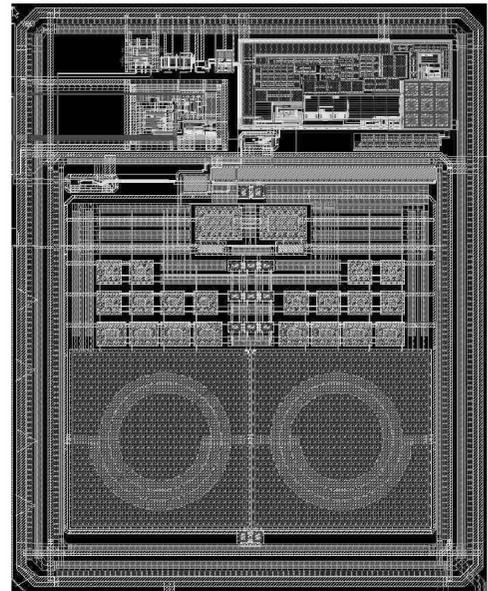


图 13 版图
Fig. 13 Layout

如图 13 所示, 该芯片总面积 0.8mm × 0.6mm, 带上 PAD 后也仅有 1.2mm × 1.0mm, 从图中可以看出两个电感占了很大的芯片面积. 该射频频率合成器使用 13MHz 晶振作参考频率源, 为得到大约 200kHz 的信道带宽, 在内部对该频率源进行 65 分频, 实际的参考频率是 200kHz, 通过 N_1 和 N_2 计数器可以调节该频率合成器的输出频率.

其测试结果如下: 图 14 是 VCO 的调谐曲线, 其工作频率实测为 1436~1830MHz, 与原设计值 1620~2020MHz 存在一定差距, 主要原因可能是后仿没有带 PAD, 而加上 PAD 后给实测电路带来了一定的寄生电容从而降低了工作频率范围; 当 VCO 粗调码选择为 000 时, 图 15(a) 是频率综合器输出 832.11MHz 的频谱, 此时滤波器上的电压维持在 0.3V 不变, 而 N_1 为 520(1000001000), N_2 为 2, 此时按理论计算的输出频率应为 $0.25 \times (8 \times 520 + 2) = 832.4$, 故可知频率综合器已锁定于 832.11MHz; 图 15(b) 显示相位噪声在 100kHz 时为 -101.13dBc/Hz, 图 15(c) 显示相位噪声在 1MHz 时为 -124dBc/Hz. 表 1 列示了选择不同的 N_1 计数器下锁定后的实测输出数据与理论值, 可以看到实验结果比较符合理论计算; 表 2 列示了选择不同的

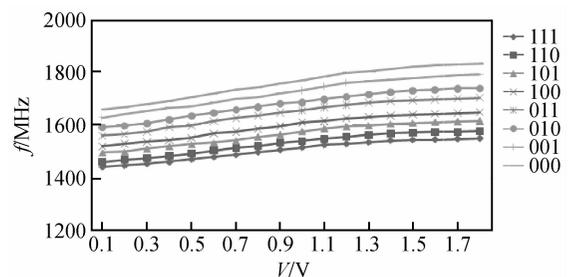
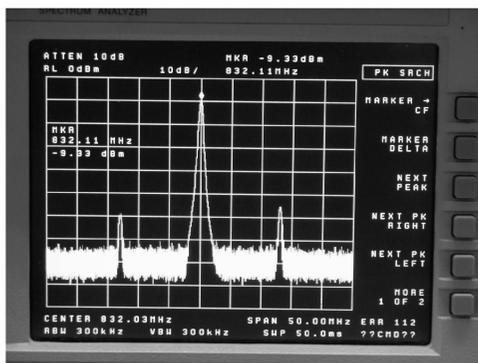
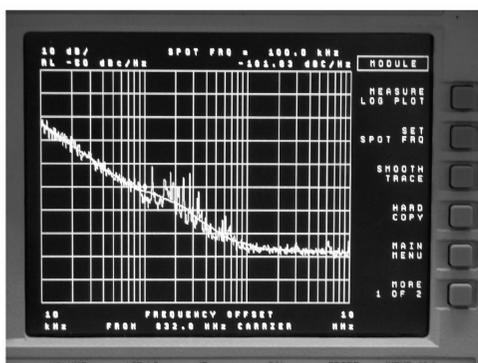


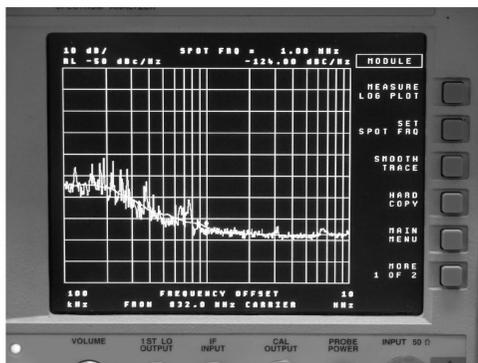
图 14 LCVCO 调谐曲线
Fig. 14 Tuning characteristic of LCVCO



(a)



(b)



(c)

图 15 (a) 锁定于 832.1MHz 的频谱; (b) 100kHz 频偏时的相位噪声; (c) 1MHz 频偏时的相位噪声

Fig.15 (a) Frequency spectrum locked in 832.1MHz; (b) Phase noise in 100kHz frequency offset; (c) Phase noise in 1MHz frequency offset

N_2 计数器下锁定后的实测输出数据与理论值, 可以看到输出几乎没有变化, 即 N_2 计数器无法调节分频比, 针对此差异, 有可能是鉴频鉴相器精度不够以致于无法分辨 200kHz 的频差, 也可能是 N_2 分频器内部出现差错, 导致固定的以某一分频比分频. 如果是前者, 那么在改变 N_2 分频比的时候, 频综输出应该是随机分布在 873MHz 附近, 而不可能是实验结果显示的均为 873.5MHz. 因此判定是由于原设计过程中的偶发因素造成了 N_2 计数器以一个固定的比率计数.

表 3 列示了在不同的 VCO 粗调码下的频率合成结果, 可以看到除去 N_2 分频比不能正常工作外, 此频率综合器能够实现从 718 到 915MHz 范围内的调频.

该频率综合器采用单电源供电, 电源电压为 1.8V 时, 测试电流为 30mA, 故估算功率大致为 54mW.

表 1 不同的 N_1 码下的频综输出

Table 1 Output of frequency synthesizer in different N_1

N_1 码 (十进制数)	N_2 码 (十进制数)	输出理论值 /MHz	输出测试值 /MHz	备注
1000000110(518)	110(6)	830.0	830.000	滤波器电压值 0.2V
1000000111(517)	110(6)	831.6	831.500	-
1000001011(523)	110(6)	838.0	838.000	-
1000001100(524)	110(6)	839.6	839.500	-
1000010001(529)	110(6)	847.6	848.000	-
1000010010(530)	110(6)	849.2	849.500	-
1000010110(534)	110(6)	855.6	856.000	-
1000010111(535)	110(6)	857.2	857.500	-
1000011000(540)	110(6)	865.2	865.500	-
1000011101(541)	110(6)	866.8	867.000	-
1000100010(546)	110(6)	874.8	875.000	-
1000100011(547)	110(6)	876.4	876.500	-
1000100110(550)	110(6)	881.2	881.500	-
1000100111(551)	110(6)	882.8	883.000	-
1000101100(556)	110(6)	890.8	891.000	-
1000101101(557)	110(6)	892.4	892.500	-
1000110010(562)	110(6)	900.4	900.500	-
1000110011(563)	110(6)	902.0	902.000	-
1000111001(569)	110(6)	911.6	911.500	-
1000111010(570)	110(6)	913.2	913.500	滤波器电压值 1.7V

表 2 不同的 N_2 码下的频综输出

Table 2 Output of frequency synthesizer in different N_2

N_1 码 (十进制数)	N_2 码 (十进制数)	输出理论值 /MHz	输出测试值 /MHz	备注
1000100001(545)	111(7)	873.4	873.600	-
1000100001(545)	110(6)	873.2	873.500	-
1000100001(545)	101(5)	873.0	873.550	-
1000100001(545)	100(4)	872.8	873.600	-
1000100001(545)	011(3)	872.6	873.600	-
1000100001(545)	010(2)	872.4	873.575	-
1000100001(545)	001(1)	872.2	873.600	-
1000100001(545)	000(0)	872.0	873.600	-

表 3 不同的 VCO 粗调码下的频综输出

Table 3 Output of frequency synthesizer in different VCO coarse tuning code

N_1 码 (十进制数)	N_2 码 (十进制数)	输出理论值 /MHz	输出测试值 /MHz	VCO 粗调码
1000000011(515)	110(6)	825.2	825.5	001
1000010001(529)	110(6)	847.6	848.0	001
1000100110(550)	110(6)	881.2	881.5	001
0111110100(500)	110(6)	801.2	801.5	010
1000000011(515)	110(6)	825.5	825.5	010
1000010001(529)	110(6)	847.6	848.0	010
0111110000(496)	110(6)	794.8	795.0	011
0111110100(500)	110(6)	801.2	801.5	011
1000000011(515)	110(6)	825.2	825.5	011
0111100100(484)	110(6)	775.6	776.0	100
0111110000(496)	110(6)	794.8	795.0	100

N_1 码 (十进制数)	N_2 码 (十进制数)	输出理论值 /MHz	输出测试值 /MHz	VCO 粗调码
0111110100 (500)	110(6)	801.2	801.5	100
0111011011 (475)	110(6)	761.2	761.5	101
0111110000 (496)	110(6)	794.8	795.0	101
0111110100 (500)	110(6)	801.2	801.5	101
0111001110 (462)	110(6)	740.4	740.5	110
0111011011 (475)	110(6)	761.2	761.5	110
0111100001 (481)	110(6)	770.8	771.0	110
0111000010 (450)	110(6)	721.2	721.5	111
0111001110 (462)	110(6)	740.4	740.5	111
0111011011 (475)	110(6)	761.2	761.5	111

4 结论

本文提出了应用于 RFID 系统的频率综合器的设计. 通过分析和仿真表明, CP 具有相当高的精度, 很好的充放电电流匹配, VCO 具有较好的相位噪声性能, 频率分辨率较高, 调节范围和精度能够基本适应我们的 RFID 系统的需要.

参考文献

- [1] Craninckx J, Steyaert M. A fully integrated CMOS DCS - 1800 frequency synthesizer. *IEEE J Solid-State Circuits*, 1998, 33: 2054
- [2] Ali A, Tham J L. A 900MHz frequency synthesizer with integrated LC voltage-controlled oscillator. *Proc IEEE INT Solid-State Circuits Conf*, 1996, 1: 390
- [3] Parker J F, Ray D. A 1.6GHz CMOS PLL with on-ship loop filter. *IEEE J Solid-State Circuits*, 1998, 33: 337
- [4] Cheah J, Kwek E, Low E, et al. Design of low-cost integrated

- 0.25 μ m CMOS Bluetooth SOC in 16.5mm² silicon area. *ISSCC Digest of Technical Papers Piscataway*, 2002, 90: 449
- [5] Zhao Hongxin, Zhou Jianyi, Hong Wei. Performance analysis and experiment of a microwave reflection tag identification system. *Journal of Southeast University (Natural Science Edition)*, 2001, 31(5): 7 (in Chinese) [赵洪新, 周建议, 洪伟. 微波反射式识别系统的性能分析和实验. *东南大学学报(自然科学版)*, 2001, 31(5): 7]
- [6] Hajimiri A, Lee T H. Design issues in CMOS differential LC oscillators. *IEEE J Solid-State Circuits*, 1999, 34(5): 717
- [7] Ham D, Hajimiri A. Concept and method in optimization of integrated LC VCOs. *IEEE J Solid-State Circuits*, 2001, 36: 896
- [8] Hajimiri A, Lee T H. A general theory of phase noise in electrical oscillators. *IEEE J Solid-State Circuits*, 1998, 33(2): 179
- [9] Muer B D, Borremans M, Steyaert M, et al. A 2-GHz low phase-noise integrated LCVCO set with flicker noise up-conversion minimization. *IEEE J Solid-State Circuits*, 2000, 35: 1034
- [10] Hegazi E, Sjolund H, Abidi A. A filtering technique to lower oscillator phase noise. *IEEE J Solid-State Circuits*, 2001, 36(12): 1921
- [11] Svelto F, Deantoni S, Castello R. A 1.3GHz low-phase noise fully tunable CMOS LC VCO. *IEEE J Solid-State Circuits*, 2003, 35(3): 356
- [12] Rhee W. Design of high performance CMOS charge pump in phase locked loops. *Proc IEEE Int Symp Circuits & Syst*, 1999, 1: 545
- [13] Best R E. *Phase-locked loops design, simulation and applications*. Beijing: Tsinghua Press, 2003
- [14] Lam C, Razavi B. A 2.6GHz/5.2GHz frequency synthesizer in 0.4 μ m CMOS technology. *IEEE J Solid-State Circuits*, 2000, 35(5): 788
- [15] Yang C Y, Dehng G K, Hsu J M, et al. New dynamic flip-flops for high-speed dual-modulus prescaler. *IEEE J Solid-State Circuits*, 1998, 33(10): 1568

CMOS Implementation of an RF PLL Synthesizer for Use in RFID Systems*

Xie Weifu[†], Li Yongming, Zhang Chun, and Wang Zhihua

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Abstract: An integrated RF PLL frequency synthesizer for use in RFID systems is presented. It integrates a voltage-controlled oscillator, phase frequency detector, charge pump, high-frequency dual-modulus divider, and digital programmable divider. The frequency synthesizer was implemented in a 0.18 μ m CMOS process. It uses a 13MHz crystal oscillator as input. The output range is from 860 to 960MHz, the phase margin is -123dBc/1MHz, the frequency step is 200kHz, and the change frequency is within 150 μ s.

Key words: RFID; PLL; frequency synthesizer; RF; CMOS

EEACC: 2570

Article ID: 0253-4177(2008)08-1595-07

* Project supported by the National Natural Science Foundation of China (No. 60475018), the National Key Basic Research and Development Program (No. G2000036508), and the Beijing Municipal Science & Technology Development Program (No. D0305003040111)

[†] Corresponding author. Email: xwf05@mails.tsinghua.edu.cn

Received 16 December 2007, revised manuscript received 18 April 2008