

采用改进电流调制功耗缩放的精度和速度 可编程流水线模数转换器

魏 琦 殷秀梅 杨 斌 杨华中[†]

(清华大学电子工程系 电路与系统教研室, 北京 100084)

摘要: 介绍了一个精度和速度可编程、但不需要改变运算放大器偏置电流的流水线模数转换器, 实现了 8~11bit 和 400k~40MSa/s 的程控范围. 提出了一种新颖的预充型开关运放, 在降低功耗的同时, 可以使运算放大器快速开启. 通过采用改进的电流调制功耗缩放技术、新颖的开关运放技术、采样保持电路消去技术和动态比较器, 大大降低了电路的功耗. 电路设计采用 1.8V 1P6M 0.18 μ m CMOS 工艺, 仿真结果表明: 在 11bit, 40MSa/s 性能条件下, 输入信号为 19.02MHz 时, 无杂散动态范围(SFDR)为 81dB, 信噪失真比(SNDR)为 67dB, 功耗为 29mW.

关键词: 流水线; 模数转换器; 开关运算放大器

EEACC: 2570D

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2008)05-1010-06

1 引言

高速低功耗模数转换器(analog to digital converter, ADC)是便携式设备的重要模块之一^[1~5]. 以往的 ADC 大多是针对某一个具体的速度和精度等指标进行优化, 但是随着软件无线电的发展以及多标准的融合, 我们希望 ADC 可以满足多种协议的要求, 适应不同的载波和信号带宽, 并且具有尽可能低的功耗, 以延长便携式设备的电池寿命. 精度、速度可编程 ADC 是解决该问题的一条重要途径. 随着 CMOS 工艺特征尺寸的不断减小, 工艺偏差越来越大, 精度、速度可编程 ADC 能够提高芯片的合格率. 不仅如此, 精度、速度可编程 ADC 还可以使射频前端的设计更加灵活.

已经报道的一些可编程 ADC^[1,2,6], 大多都是依靠调节运算放大器的偏置电流, 以达到同时降低采样速度和功耗的目的. 可是这样会显著降低晶体管的过驱动电压, 使晶体管工作在弱反型区. 工作在弱反型区的晶体管, 更容易受到噪声和工艺偏差的干扰, 使得芯片的合格率显著降低^[1,7].

作者采用改进的电流调制功耗缩放(current modulated power scaling, CMPS)^[1]等技术, 设计了电源电压为 1.8V 的 8~11bit 精度, 400k~40MSa/s 采样速度的流水线 ADC, 在采样精度和采样速度变化时, 均不需要改变运算放大器的偏置电流, 从而避免了晶体管工作在弱反型区的不利情况. 作者还提出了一种新颖的预充型开关运放, 使得运算放大器在节省功耗的同时可以快速地启动.

2 ADC 电路结构和采样精度可编程

图 1 是本设计的结构框图, 采用的是每级 1.5bit 的

流水线结构. 前面是 9 级流水线, 每级包括 1.5bit 的子量化器(sub-ADC)和一个倍乘数模转换器(multiplying DAC, MDAC), 最后一级是 2bit 并行 ADC. 译码器 decoder 根据输入的采样精度控制字(precision word)[1:0], 产生 EN[1:4]控制采样精度. EN[1]控制第 1 级流水线电路(stage1)是否工作, EN[2:4]控制第 2 级到第 4 级电路是否需要直接采样高速变化的模拟信号. 计数器(counter)根据输入速度控制字(speed word)[7:0]对全速输入时钟进行计数. 上电控制电路 power on/off control timing 根据输入速度控制字[7:0]和计数器当前的状态控制各级电路的工作时间和各级电路输入时钟的通断时刻. 因为第 10 级电路主要由动态比较器电路构成, 并不存在静态功耗, 所以上电控制信号 PD[1:9]只在前 9 级电路中存在.

由于前端的采样保持放大器(SHA)会引入更多的噪声并且消耗大量的功耗, 我们使用了文献[8,9]中采样保持电路消去技术. 文献[8,9]在没有采用采样保持电路的情况下, 均测试得到了 100dB 左右的 SFDR, 证明了这项技术的有效性. 为减小运放和比较器间采样路径的失配, 需要保持它们的 RC 参数值相等和版图的对称性.

流水线 ADC 的绝大部分功耗消耗在运放上面. 在 MDAC 中, 运放只需要在建立的半个周期内工作, 采样的半个周期内并不需要工作. 因此, 为降低功耗我们采用了开关运放技术^[1,10]. 在采样的半个周期将运放关闭, 建立的半个周期将运放开启, 以最大限度地节省功耗.

流水线型 ADC 的精度受限于前几级电路输出模拟残差信号的精度, 所以通常前几级电路的采样电容值和运放功耗都比较大, 以确保足够的精度; 而后面级电路

[†] 通信作者. Email: yanghz@tsinghua.edu.cn

2007-09-28 收到, 2007-12-04 定稿

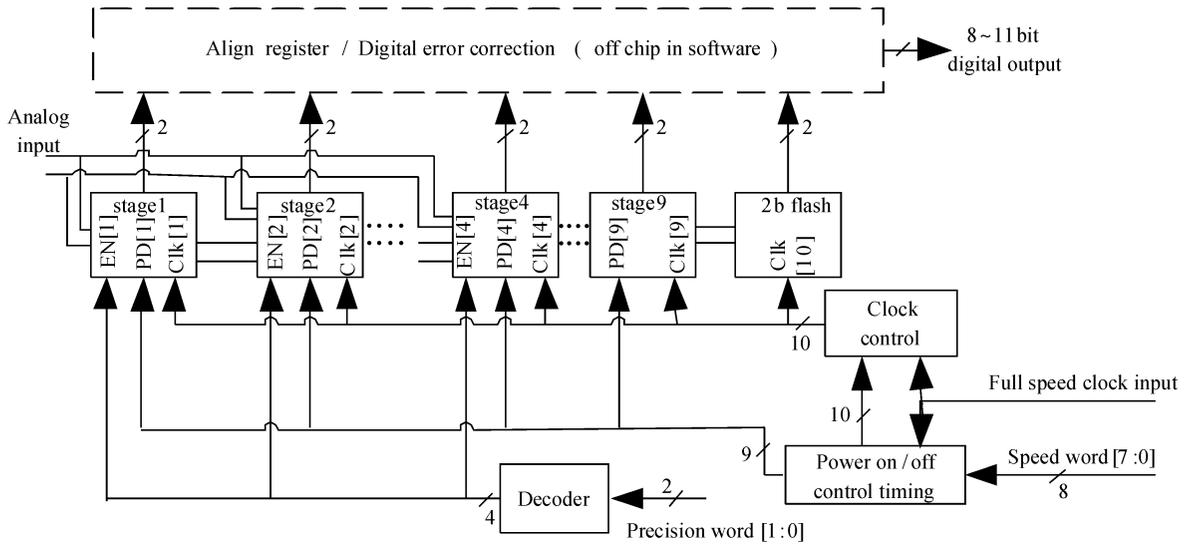


图 1 ADC 结构框图
Fig. 1 Block diagram of the ADC

中的采样电容值和功耗较低. 在低精度转换的应用时, 可以把前面的若干级关断, 用后面的级直接采样高速变化的模拟信号, 这样就能够以较低的精度进行转换, 实现精度可编程. 例如, 当采样精度为 11bit 时, 模拟输入信号由第 1 级流水线电路进入电路; 当采样精度为 10bit 时, 第 1 级电路被关闭, 输入高速模拟信号由第二级电路进行采样; 当采样精度为 9bit 时, 第 1 级和第 2 级电路被关闭, 输入信号由第 3 级电路进行采样; 当采样精度为 8bit 时, 前 3 级流水线电路被关闭, 输入信号由第 4 级进行采样. 采取上述的精度可编程方案, 不仅可以使得 ADC 的采样精度可以在 8~11bit 间变化, 而且尽可能地节省了功耗.

但这种方式下第 1 级到第 4 级流水线电路都有可能直接对高速变化的模拟输入信号进行采样. 需要前 4 级的输入信号带宽都足够大, 以使得所设计的 ADC 在不同的转换精度下, 都具有欠采样能力. 为了解决这个问题, 我们采用了改进的电路结构, 将在 4.1 中详细说明.

3 速度可编程

3.1 强反型区与弱反型区

模拟电路中的 MOS 晶体管通常需要工作在强反型区或饱和区, 过驱动电压通常会大于 $100\text{mV}^{[1,11]}$. 为了在降低采样速度的同时降低功耗, 文献[1, 2, 6]都采用了减小偏置电流的方式. 在文献[2]中, 为了实现 20kHz 到 20MHz 工作速度的变化, 运放的偏置电流甚至变化了 3 个数量级. 减小运放的偏置电流, 导致晶体管的过驱动电压显著降低, 往往会使晶体管工作在弱反型区. 工作在弱反型区的晶体管, 更容易受到噪声和工艺偏差的干扰, 使得合格率显著降低^[7]. 随着工艺的进步, 电源电压一直在不断降低, 为了在更低的电压下获得更大的

动态范围和信噪比, 模拟电路中的过驱动电压也在不断降低. 这就进一步加大了通过降低偏置电流的方式来改变电路功耗的难度.

3.2 改进的 CMPS 工作方式

文献[1]中的 CMPS 为避免晶体管工作在弱反型区提供了一种较好的思路. 可是文献[1]中 CMPS 使得流水线 ADC 的工作方式更类似于循环式 ADC. 同一时刻, 只有一级电路在工作; 如果第一级要想采样新的信号进行转换, 那么必须等到最后一级将上一个信号转换完成才可以. 这样大大降低了流水线 ADC 的转换速度, 使得能够程控的采样速度范围严重受到了制约. 例如, 对于含有 10 级流水线电路 ADC, 采用 CMPS 仅能使 ADC 能够工作在最高采样速度 f_{s0} 以及 $f_{s0}/10, f_{s0}/20$ 等频率上. 如果希望达到其他采样速度, 还必须配合偏置电流的变化, 并没有完全避免晶体管工作在弱反型区的不利情况. 因此, 本文提出了采用开关运放和时序电路控制来实现改进的 CMPS 工作方式, 使得流水线 ADC 不需要改变运算放大器的偏置电流, 就能够以最大采样速度的 $1/N$ (N 为任意整数) 工作.

本 ADC 采用改进的 CMPS 工作方式, 当需要 ADC 以最高的采样速度工作时, 每个时钟周期 ADC 都工作, 与普通的流水线型 ADC 类似; 当需要 ADC 以较低的采样速度工作时, 将 ADC 关闭若干时钟周期, 以达到节省功耗而不改变偏置电流的目的, 如图 2 所示. 图 2(a) 的波形是 ADC 每个周期都在转换数据, 以最快的采样速度 f_{s0} 进行工作, 每个周期运放都开启进行建立, 所以功耗较高; 图 2(b) 的波形是以 $f_{s0}/2$ 速度进行采样时的示意图, ADC 每 2 个时钟周期进行一次数据转换, 并不是每个周期都进行转换, 运放同样是每 2 个时钟周期建立一次, 所以功耗大约是上面那种工作方式的一半左右.

在本设计中, ADC 的采样速度由输入的 8 位速度

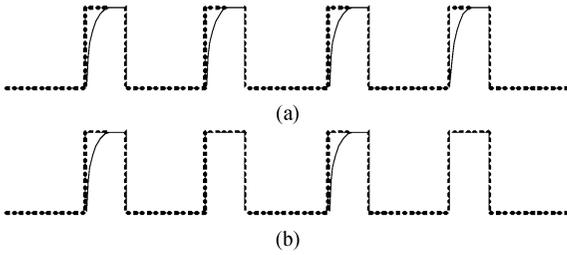


图 2 改进的 CMPS 原理 (a)以 f_{s0} 采样速度工作时运放的建立波形; (b)以 $f_{s0}/2$ 采样速度工作时运放的建立波形
 Fig.2 Principle of the improved CMPS (a) Amplifier setting waveform at sampling rate of f_{s0} ; (b) Amplifier setting waveform at sampling rate of $f_{s0}/2$

控制字 speed word [7 : 0] 确定. 由于采用了改进的 CMPS 工作方式, ADC 不需要改变偏置电流, 就能够以最大采样速度的任意 $1/N$ (N 为 $1 \sim 100$ 之间整数) 工作. 可以实现的工作速度最高为 $f_{s0} = 40\text{MSa/s}$, 最低工作速度 $f_{s0}/100 = 400\text{kSa/s}$.

4 电路实现

4.1 改进的倍乘数模转换器 (MDAC)

第 1 级电路中使用的 MDAC 与传统结构相同, 如图 3 所示.

对于第 2 级到第 4 级电路中的 MDAC, 可能存在两种工作模式, 一种是采样的精度比较高时, 前面的级电路已经将输入的模拟信号采样并且作了转换, 这种情况下所面对的信号是 Nyquist 率的信号, 所以输入信号的采样开关尺寸可以比较小; 另外一种情况是采样精度比较低时, 级电路需要直接面对高速变化的模拟信号, 这时采样网络的 RC 常数需要比较小, 采样开关需要足够大. 如果都使用大尺寸的开关, 当采样精度较高时, 会增加前级的负载, 造成不必要的功耗浪费. 所以, 我们对第 2 级到第 4 级电路中的 MDAC 电路进行了改进, 使其能够同时满足上述两种不同情况的需要. 改进的 MDAC 电路如图 4 所示, 在原有电路的基础上增加了采样开关 S3, S4. 当采样精度较高时, 本级电路面对的模拟信号只是 Nyquist 速度的尺寸较小的 S1, S2 工作, 此时 S3, S4 始终保持断开, 尽量减小输入高速模拟信号对采样信号的影响; 当本级电路需要采样高速变化的输入模拟信号时, S3, S4 工作, S1, S2 则保持关断. 图

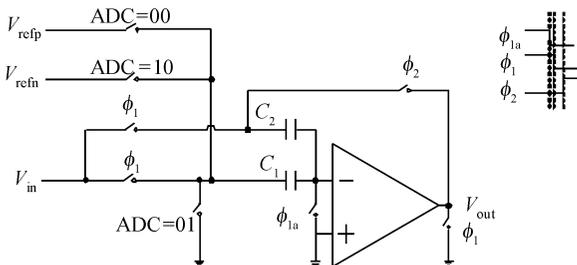


图 3 传统 MDAC 结构
 Fig.3 Structure of traditional MDAC

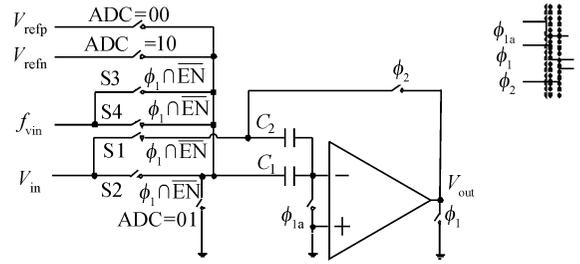


图 4 改进 MDAC 结构
 Fig.4 Structure of improved MDAC

4 中的 EN 信号由译码器 (decoder) 根据输入的采样精度控制字 (precision word) [1 : 0] 产生, 以确定哪组采样开关工作. 虽然增加的采样分支增加了电路的复杂性, 可是并没有显著地增加面积和功耗.

与 MDAC 类似, 比较器电路也同样需要改进, 增加一路采样高速模拟信号的分支.

4.2 快速开启的开关运放

文献 [1] 为快速上电工作的运放提供了一种新的思路, 如图 5 所示. 可是仍有一些缺点, 例如, 采用折叠式运放, 与套筒式的运放相比, 虽然增大了过一个过驱动电压的摆幅, 但是浪费了电流, 部分抵消了开关运放节省功耗的优点; 辅助运放采用了单端输出折叠式共源共栅 (folded cascode) 结构, 与全差分电路相比, 降低了电路的电源抑制比 PSRR, 更容易受到电源噪声干扰; 使用单端运放输出的另外一个缺点是需要使用 4 个辅助运放, 而使用全差分的运放只需要 2 个; 根据文献 [12], 为了使增益自举型共源共栅放大器 (gain-boosted cascode amplifier, GBCA) 不受零极点对的影响, 具有快速的建立特性, 辅助放大器应具有较大的相位裕度, 这在设计中往往需要通过增大辅助运放的电流来实现, 所以多出的两个折叠式共源共栅放大器的功耗不容忽视. 另外, 文献 [1] 中提到的开关运放虽然大大加快了单级运放的开关速度, 可是仍然受限于辅助运放摆率. 设 I 为辅助运放的偏置电流, ΔV 为 M2 由关断到开启栅极电压的

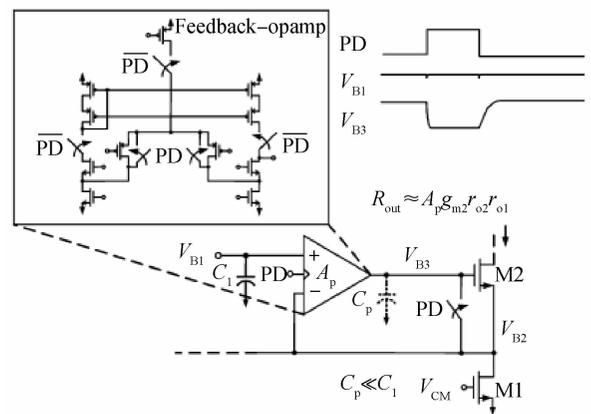


图 5 文献 [1] 中的快速开启运放
 Fig.5 Rapid power on operational amplifier proposed in Ref. [1]

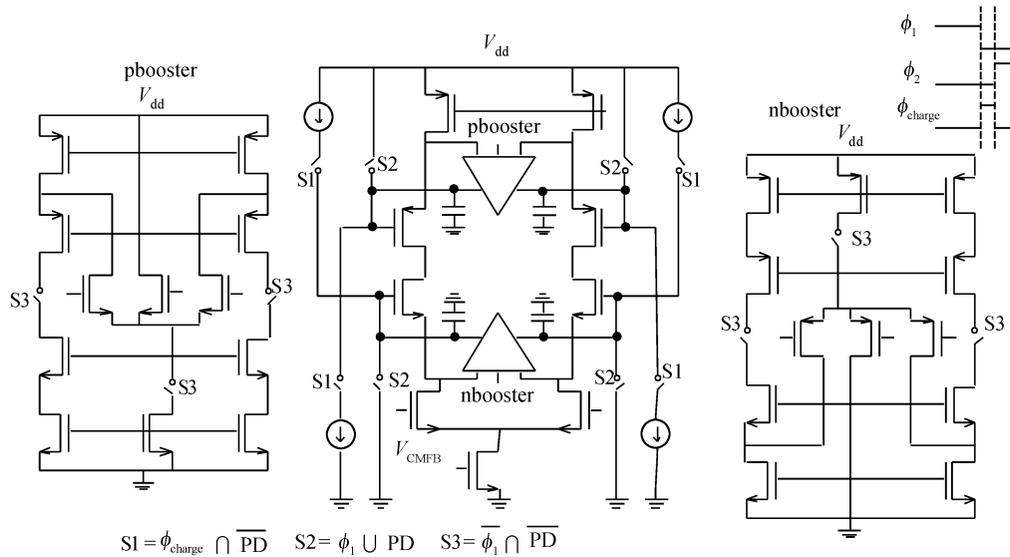


图 6 预充电型快速开关运放
Fig.6 Pre-charged fast switched operational amplifier

变化值, C 为 M2 栅极所有电容的和, 则充电时间至少为 $t = \Delta VC/I$. 在深亚微米工艺下, 为了获得较好的频率特性, 往往需要晶体管 M2 提供较大的跨导值, 这就使得 M2 的尺寸较大, 其栅电容和寄生电容也较大. 在某些设计中, 为了获得较好的频率特性, 甚至需要在 M2 的栅上加一些“补偿电容”, 以提高辅助运放的相位裕度. 所以, 虽然 C_p 远小于 C_1 , M2 栅极总电容 C 还是一个比较大的值, 如果需要减小时间 t , 那么只能增大辅助运放的偏置电流, 这样进一步增加了功耗.

为了解决上述问题, 我们对文献[1]中的开关运放进行了改进, 使其可以以更快的速度开启, 并且更节省功耗, 如图 6 所示. 使用套筒式的增益自举放大器 (telescopic GBCA), 与原有的折叠式增益自举放大器 (folded GBCA) 相比, 可以节省 50% 左右的电流. 可是套筒式运放的一个很大的缺点是减小了输出摆幅, 对于采用 1.8V 电压的本设计, 这一缺点更为突出. 通过精心的设计, 可以达到 1.6V_{p-p} 的输出摆幅, 满足本设计的需求.

为了解决对 M2 栅极充电 I/C 摆率受限问题, 采

用了“预充电荷”方法. 其工作原理如图 7 所示, 在运放需要工作的 ϕ_2 相前, 用一个电流源对 M2 的栅极进行预充, 从而使 M2 的栅极尽快地达到所期望的电压. 由于实际制造过程中工艺偏差和实际使用中环境变化的原因, 不可能在任何情况下都使 M2 的栅电压预充到所需要的值, 但是可以提前充上电路工作所需要的大部分电荷, 使 M2 栅极尽快稳定到所需要的电压, 从而加速运放的开启速度.

预充电流镜只在 ϕ_{charge} 很短一段时间工作, 而不需要在运放建立的整个 ϕ_2 相内进行充电, 所以功耗远低于用增大辅助运放偏置电流来提高充电速度的方法. 采用预充电型开关运放后, 在 40MSa/s 的采样率下, 可以节省约 32% 以上的功耗, 优于文献[1]中开关运放.

由于需要在上电的半个周期内迅速稳定共模, 所以需要的共模带宽非常大, 运放的共模反馈电路的设计也非常重要. 本设计中采用了基于文献[13]中的经典共模反馈 (common-mode feedback, CMFB) 电路, 如图 8 所示. 其中 V_{OUTP} 和 V_{OUTN} 是运算放大器的正输出端和负

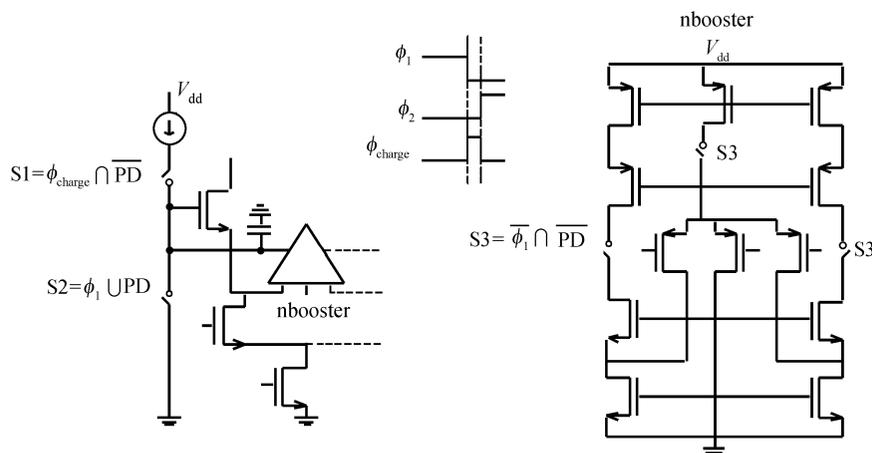


图 7 预充电型快速开关运放原理
Fig.7 Principle of pre-charged fast switched operational amplifier

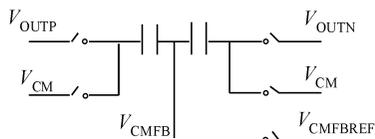


图 8 文献[13]中的共模反馈电路

Fig.8 CMFB circuit proposed in Ref.[13]

输出端, V_{CM} 为参考共模电平, $V_{CMFBREF}$ 为共模反馈参考电平, V_{CMFB} 为反馈到运算放大器的共模电压。

5 仿真结果

本设计采用 1.8V 0.18 μ m 1P6M 带 MIM 电容的 CMOS 工艺。仿真结果表明, 在 40MSa/s 采样频率下, 当输入信号为 19.02MHz 时, 其 SNDR 为 67dB, SFDR 为 81dB, 此时总功耗为 29mW, 动态性能如图 9 所示。仿真工艺角为 SS, 温度为 80 $^{\circ}$ 。本设计在不同采样精度和采样频率下的无杂散动态范围以及信噪失真比仿真结果如表 1 所示, 功耗和性能总结分别如表 2 和表 3 所示。

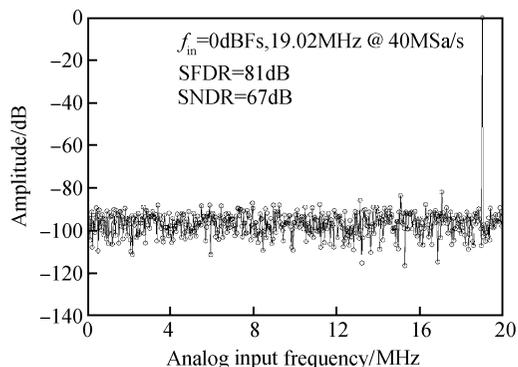


图 9 ADC 动态性能

Fig.9 Dynamic performance of the ADC

表 1 ADC 无杂散动态范围/信噪失真比 ($f_{in} = 19.02\text{MHz}$)Table 1 ADC SFDR/SNDR ($f_{in} = 19.02\text{MHz}$)

	5MSa/s	40MSa/s
8bit	56.4/48.5dB	61.8/49.1dB
9bit	68/54.4dB	68.6/55dB
10bit	72.9/60.6dB	73.7/61.2dB
11bit	78.9/66.7dB	81/67dB

表 2 ADC 功耗总结

Table 2 ADC power summary

	1MSa/s	4MSa/s	20MSa/s	40MSa/s
8bit	3.4mW	5.3mW	14.1mW	18mW
9bit	3.7mW	6.1mW	15.9mW	20.5mW
10bit	4.1mW	7mW	18.8mW	24.8mW
11bit	4.5mW	7.4mW	20.7mW	29mW

表 3 ADC 性能总结

Table 3 ADC performance summary

工艺	1.8V 0.18 μ m CMOS
分辨率程控范围	8~11bit
满量程输入范围	1.6V _{p-p}
采样速度程控范围	400k~40MSa/s

6 结论

本设计实现了一个 1.8V 电源电压 8~11bit 精度, 400k~40MSa/s 采样速度的流水线 ADC。由于使用了改进的 CMPS 技术, 在所有工作模式下, ADC 都不需要改变运放的偏置电流就可以实现采样精度和速度的调节。采用了 SHA 消去技术、预充型开关运放、动态比较器和优化采样电容等技术, 降低了 ADC 的功耗。提出了新颖的预充型开关运放, 使得运算放大器可以更加快速地开启, 并且在 40MSa/s 的采样率下, 可以节省约 32% 的功耗, 优于文献[1]中的开关运放电路。仿真结果表明, 当采样精度为 11bit, 采样速度为 40MSa/s, 19.02MHz 输入信号时, 无杂散动态范围 (SFDR) 为 81dB, 信号与噪声失真比 (SNDR) 为 67dB, 功耗为 29mW。为了进一步验证文中提出的技术, 已经开始使用 HJTC 0.18 μ m 工艺对本文提出的可编程 ADC 进行流片和芯片测试。

参考文献

- [1] Ahmed I, Johns D A. A 50-MSps (35mW) to 1-kSps (15 μ W) power scalable 10-bit pipelined ADC using rapid power-on opamps and minimal bias current variation. IEEE J Solid-State Circuits, 2005, 40: 2446
- [2] Gulati K, Lee H S. A low-power reconfigurable analog-to-digital converter. IEEE J Solid-State Circuits, 2001, 36(11): 1900
- [3] Xie Lei, Li Jian, Deng Huan, et al. A high performance low power 10bit 30MS/s pipelined ADC. Chinese Journal of Semiconductors, 2007, 28(3): 453 (in Chinese) [谢磊, 李建, 邓焕, 等. 一个高性能低功耗 10 位 30MS/s 流水线 ADC 转换器. 半导体学报, 2007, 28(3): 453]
- [4] Bo Xia, Valdes-Garcia A. A 10-bit 44-MS/s 20-mW configurable time-interleaved pipeline ADC for a dual-mode 802.11b/Bluetooth receiver. IEEE J Solid-State Circuits, 2006, 41(3): 530
- [5] Jung Y J, Jeong H, Song E, et al. A 2.4GHz 0.25 μ m CMOS dual-mode direct-conversion transceiver for Bluetooth and 802.11b. IEEE J Solid-State Circuits, 2004, 39(7): 1185
- [6] Hernes B, Briskemyr A, Andersen T N, et al. A 1.2V 220MS/s 10bit pipeline ADC implemented in 0.13 μ m digital CMOS. IEEE Int Solid-State Circuits Conf (ISSCC) Dig Tech Papers, 2004: 256
- [7] Enz C C, Vittoz E A. CMOS low-power analog circuit design. Proc IEEE Int Symp Circuits and Systems (ISCAS), ch 1.2, Tutorials, 1996: 79
- [8] Yun C, Gray P R, Nikolic B, et al. A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR. IEEE J Solid-State Circuits, 2004, 39(12): 2139
- [9] Ali A M A, Dillon C, Sneed R, et al. A 14-bit 125MS/s IF/RF sampling pipelined ADC with 100dB SFDR and 50fs jitter. IEEE J Solid-State Circuits, 2006, 41(8): 1846
- [10] Waltari M, Halonen K A I. 1-V 9-bit pipelined switched-opamp ADC. IEEE J Solid-State Circuits, 2001, 36(1): 129
- [11] Binkley D M, Hopper C E, Tucker S D, et al. A CAD methodology for optimizing transistor current and sizing in analog CMOS design. IEEE Trans Comput-Aided Des Integr Circuits Syst, 2003, 22(2): 225
- [12] Ahmadi M M. A new modeling and optimization of gain-booster cascode amplifier for high-speed and low-voltage applications. Circuits and Systems II, 2006, 53(3): 169
- [13] Razavi B. Design of analog CMOS integrated circuits. New York: McGraw-Hill, 2000

A Novel Sampling Precision and Rate Programmable Pipeline ADC with Improved Current Modulated Power Scaling

Wei Qi, Yin Xiumei, Yang Bin, and Yang Huazhong[†]

(Circuits and Systems Laboratory, Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: A conversion-precision and sampling-rate programmable pipeline analog-to-digital converter (ADC), without adjusting the bias current of operational amplifiers, is presented in this paper. This ADC achieves a conversion-precision of 8 to 11bits and a sampling-rate from 400k to 40MSa/s. To increase the power-on speed and reduce the power consumption, a novel pre-charged switched operational amplifier is proposed. The power can be significantly reduced by adopting an improved current modulated power scaling (CMPS) technique, the proposed switched operational amplifier, a SHA-less technique, and a dynamic comparator. The ADC is designed in a 1.8V 1P6M 0.18 μ m CMOS process. Simulation results indicate that the ADC exhibits a spurious free dynamic range (SFDR) of 81dB and a signal-to-noise and distortion ratio (SNDR) of 67dB. Programmed at 11bits and 40MSa/s, the ADC consumes 29mW when a 19.02MHz sine signal is fed-in.

Key words: pipeline; ADC; switched operational amplifier

EEACC: 2570D

Article ID: 0253-4177(2008)05-1010-06

[†] Corresponding author. Email: yanghz@tsinghua.edu.cn

Received 28 September 2007, revised manuscript received 4 December 2007