

# 多晶硅薄膜晶体管自加热效应温度分布的有限元模拟\*

杨震宇 王明湘<sup>†</sup> 王槐生

(苏州大学微电子学系, 苏州 215021)

**摘要:** 采用有限元方法模拟了 n 型 MILC 低温多晶硅薄膜晶体管在直流自加热应力下器件的温度分布. 通过对器件沟道温度分布的稳态及瞬态模拟, 研究了器件功率密度、衬底材料类型和器件宽长等关键因素的影响. 确认了改善器件自加热退化的有效途径, 同时有助于揭示多晶硅薄膜晶体管自加热退化的内在机制.

**关键词:** 有限元分析; 温度分布; 薄膜晶体管; 自加热退化; 稳态及瞬态模拟

**PACC:** 7340Q; 7360F

**中图分类号:** TP211<sup>+</sup>. 51

**文献标识码:** A

**文章编号:** 0253-4177(2008)05-0954-06

## 1 引言

低温多晶硅薄膜晶体管(TFT)是实现像素矩阵和外围驱动一体化平板显示的核心器件<sup>[1]</sup>. 由于制作于非导热的玻璃基板上, 器件工作在开态时存在由电流焦耳热引起的自加热效应(SH effect)<sup>[2~6]</sup>. 一方面, 类似于 SOI 器件, 该效应导致器件输出电流的减小<sup>[5]</sup>; 另一方面, 它还是多晶硅 TFT 器件性能退化的主要机制之一<sup>[2~4]</sup>. 在 SH 效应中, 沟道的温升是导致器件性能变化/退化的最关键因素, 然而, 准确测量器件沟道的实际温度分布, 是研究 SH 效应的难点<sup>[3,6]</sup>. 目前采用的实验方法如红外<sup>[3]</sup>和热电阻<sup>[6]</sup>测温仅能作粗略的间接测量, 无法反映出沟道温度分布的特点. 有限元分析(FEA)提供了模拟器件 SH 效应下温度分布的一个有效途径<sup>[3,4]</sup>. 通过考虑器件在 SH 应力下的边界条件和热交换物理模型, 有限元模拟可以直接给出多晶硅 TFT 器件的内部温度分布, 从而有助于揭示器件自加热退化的机制.

作者利用 FEA 研究了 n 型金属诱导横向结晶(MILC)多晶硅 TFT<sup>[1]</sup>在典型 SH 应力偏置下稳态及瞬态的温度分布, 观察了应力偏置、器件尺寸和结构对沟道温升和分布的影响, 对于探讨 SH 退化机制和通过器件设计如何降低 SH 效应提供了依据.

## 2 多晶硅薄膜晶体管的制备和自加热退化现象

使用顶栅自对准的 MILC 低温多晶硅工艺<sup>[1,4]</sup>, 首先在氧化硅片上淀积一层 50nm 的非晶硅, 接着定义有源区. 再连续淀积一层 100nm 的栅氧和 300nm 的非晶硅, 光刻出栅图形. 开诱导孔并淀积 Ni, 通过 550°C 24h 的退火可同时完成栅的 MIC 和沟道的 MILC, 最后除去残余的 Ni. 接着对栅、源漏进行自对准 P 离子注入,

注入分两次完成, 每次剂量为  $2 \times 10^{15} \text{cm}^{-2}$ , 能量分别为 90 和 120keV, 通过 3h 620°C 的退火激活注入杂质, 最后完成金属化工艺. TFT 的剖面结构如图 1 所示.

图 2 是 n 型 MILC 多晶硅 TFT ( $W/L = 10/6 \mu\text{m}$ ) 在典型 SH 应力条件 ( $V_g = 35\text{V}$ ,  $V_d = 18\text{V}$ ) 下转移特性 ( $V_{ds} = 0.1\text{V}$ ) 随应力时间的退化, 通常表现为  $I_{on}$  下降,  $I_{off}$  上升,  $V_T$  变大和亚阈值摆幅的劣化. 研究表明<sup>[2~4]</sup> 器件退化是由于在较高沟道温度下 Si/SiO<sub>2</sub> 界面及晶

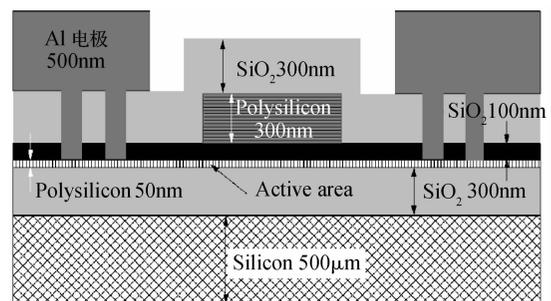


图 1 TFT 器件模型剖面示意图

Fig. 1 Schematic illustration of the cross-section of a TFT

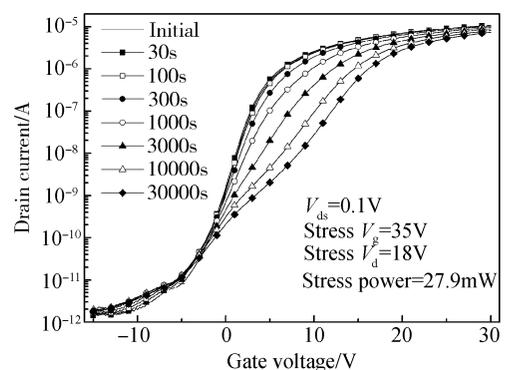


图 2 SH 应力条件下 n 型 TFT 转移特性的退化

Fig. 2 Transfer characteristic degradation of an n-channel MILC TFT under SH stress

\* 国家自然科学基金资助项目(批准号:60406001)

<sup>†</sup> 通信作者. Email: Mingxiang\_wang@suda.edu.cn

2007-09-30 收到, 2007-12-01 定稿

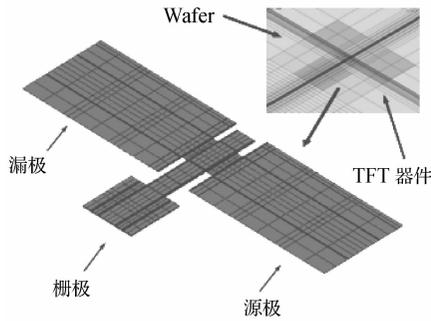


图 3 TFT 有限元热分析的单器件模型

Fig.3 Single device finite element model used for TFT's thermal analysis

粒间界面处亚稳的 Si-H 键断裂后产生大量悬挂键使得沟道区界面态密度增加. 获得应力下沟道温度的准确分布对分析 SH 效应将很有意义. 本文针对不同应力条件下的多个 n 型 MILC TFT 器件, 分别做了稳态及瞬态温度模拟, 分析了功率密度加载、衬底材料特性和器件长宽比对沟道温度分布的影响.

### 3 有限元热分析模型的建立

利用商用有限元分析软件 ANSYS, 对每种器件长宽建立一个三维有限元单器件模型, 如图 3 所示. 单个器件位于直径 10cm 的硅圆片或 Corning 玻璃基板中央, 计算单元选用 SOLID-70, 虽然模型包含整个基板, 但仅在器件所在的微小体积内计算网格需要细分. 为了研究不同功率密度加载的影响, 对于硅圆片上器件的 11 种 SH 电应力条件, 分别作了稳态模拟, 瞬态模拟则选取其中之一的典型条件. 对于玻璃上器件, 选取了一典型电应力条件分别进行了稳态和瞬态模拟. 所述的热分析模型和对应的电应力加载条件如表 1 所示, 其中的器件阈值电压  $V_T$  和开态电流  $I_D$  根据  $W/L = 10\mu\text{m}/6\mu\text{m}$  器件的测量值列出. 热分析中各组成材料的热学属性如表 2 所示, 模型详细考虑了 Si,  $\text{SiO}_2$  和 Corning 1737 材料属性的温度依赖关系.

表 1 不同  $W/L$  和基板材料热分析模型的电应力加载条件  
Table 1 Electrical stress conditions simulated in the thermal analysis models with different  $W/L$  and substrate types

基板	热分析模型	SH 电应力加载条件				瞬态模拟
		$V_D/V$	$V_G/V$	$V_T/V$	$I_D/\text{mA}$	
Silicon wafer	$(W/L)/\mu\text{m}$ A1:10/6 B1:20/6 C1:40/6 D1:100/6 E1:200/6	18	30	5.1	1.17	
		16	35	4.7	1.42	
		20	30	4.6	1.25	
		18	35	4.8	1.41	
		18	35	4.55	1.55	有
		17	35	5.3	1.74	
		20	35	4.7	1.58	
		24	30	5.9	1.35	
		18	35	4.9	1.83	
		22	30	4.05	1.51	
		Saturation:10/6	25	30	4.85	1.39
Corning 1737	A2~E2 10/6~200/6	8.5	20	4.55	0.485	有

表 2 FEA 热分析模型中各组成材料的热学属性

Table 2 Thermal parameters of different materials used in simulation

材料	密度/( $\text{g}/\text{m}^3$ )	比热容/( $\text{J}/(\text{kg}\cdot\text{K})$ )	热导率/( $\text{W}/(\text{m}\cdot\text{K})$ )			
Al	2700	900	237			
Polysilicon (非掺杂 <sup>[7,8]</sup> )	2330	716.2	15			
Polysilicon (掺杂 <sup>[7,8]</sup> )	2330	716.2	45			
Si <sup>[9]</sup>	2330	700	27°C	156		
			127°C	105		
			227°C	80		
			327°C	64		
SiO <sub>2</sub> <sup>[10]</sup>	2200	1000	27.71°C	1.3		
			59.7°C	1.35		
			93.62°C	1.39		
			129.2°C	1.42		
			151.3°C	1.47		
			177.9°C	1.5		
Corning 1737 glass <sup>[11]</sup>	2540		23°C	707.6	23°C	0.91
			50°C	736.9	50°C	0.95
			100°C	795.5	100°C	1.03
			200°C	891.8	200°C	1.14
			300°C	971.3	300°C	1.22

器件的自加热效应来源于开态下沟道反型层中电流产生的焦耳热. 因此器件沟道反型层(典型厚度  $t$  为 5nm)为热分析模型中的生热源, 沿沟道方向某线元  $y \rightarrow y + dy$  处的发热功率  $dP$  为:

$$dP = I_D^2 dR = \frac{I_D^2 dy}{W\mu C_{ox}(V_G - V_y - V_T)} \quad (1)^{[12]}$$

式中  $dR$  是沟道线元  $dy$  的电阻;  $\mu$  是沟道载流子迁移率;  $V_y$  是沟道  $y$  处电压;  $C_{ox}$  是单位面积栅电容. 由于从沟道源端至漏端  $V_y$  逐渐从  $V_s = 0$  增加至  $V_D$ , 沟道电阻  $dR$  和发热功率  $dP$  也相应增加. 表 1 中所列的 12 种电应力条件均对应器件工作的线性区(其中饱和条件为线性与饱和区的临界), 沿沟道方向  $V_y$  的变化较为平缓, 发热功率  $dP$  从沟道源端至漏端可近似为线性增加. 而沟道源漏两极处发热功率密度则分别为:

$$\text{源端: } P_S = \frac{2I_D V_D}{WLt} \times \frac{(V_G - V_D - V_T)}{(2V_G - V_D - 2V_T)}$$

$$\text{漏端: } P_D = \frac{2I_D V_D}{WLt} \times \frac{(V_G - V_T)}{(2V_G - V_D - 2V_T)}$$

考虑一般器件工作时的应力条件, 可将基板的底面固定为室温 27°C, 其余各个换热表面均设为空气自然对流, 自然对流系数取典型值  $7.5\text{W}/(\text{m}\cdot\text{K})$ <sup>[13]</sup>.

### 4 器件沟道温度分布

首先以  $W/L = 10\mu\text{m}/6\mu\text{m}$ , 典型 SH 应力加载条件下(表 1 第 5 组,  $P = 27.9\text{mW}$ )硅衬底上模型为例, 研究器件沟道温度分布的特点. 如图 4 所示, SH 应力下器件沟道出现显著的温升. 其温度分布在沟道宽度方向上是对称的, 而在沟道长度方向上, 高温区明显偏于漏极

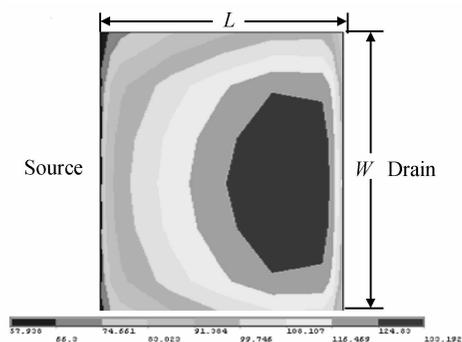


图 4 27.9mW 加载下  $W/L = 10/6\mu\text{m}$  硅衬底模型的沟道温度分布  
Fig.4 Channel temperature distribution simulated in  $W/L = 10/6\mu\text{m}$  TFT model on Si substrate with stress power = 27.9mW

一侧. 最高温度点位于沟道中央靠近漏端约  $133^\circ\text{C}$ . 显然, 这是因为漏极一侧沟道电阻及发热功率密度较高的缘故.

图 5 给出了该器件经过沟道反型层中最高温度点分别沿沟道长度、宽度和厚度方向的温度分布曲线. 从图中可看出, 从沟道源端至漏端, 沟道温度迅速增加, 并在漏端附近形成高温区; 而在源漏两极处, 由于沟道外侧的散热, 温度迅速降低, 形成较大的温度梯度 ( $62\text{K}/\mu\text{m}$ ). 宽度方向的温度分布严格对称, 其边缘的温度梯度 ( $15\text{K}/\mu\text{m}$ ) 远小于沟道长度方向, 可知源漏金属化是器件重要的横向散热通道. 在纵向上, 底部氧化层的温度梯度 ( $319\text{K}/\mu\text{m}$ ) 远大于沟道上方栅氧处 ( $78\text{K}/\mu\text{m}$ ), 这说明纵向热传导是以器件底部散热为主. 考虑到经沟道纵向的散热面积  $W_L$  远大于横向散热面积  $W_t$ , 所以经硅衬底的热传导是 SH 应力下器件最主要的散热通道.

对比图中器件在线性区和饱和时的温度分布, 可以明显看出, 器件饱和时从源至漏沟道温度分布更加陡峭, 沟道温度峰值位置距离漏端仅约  $0.5\mu\text{m}$ , 较线性区时更偏于漏端. 峰值温度较线性区时显著增加, 同时注意到, 峰值温度的增加并非仅由器件功率增加导致, 而是由于器件饱和时功率密度的分布更集中于漏端. 研究沟道横向和纵向的温度梯度, 可以发现器件饱和时, 沟道漏端高温区的散热由漏端横向散热和从沟道上表面散热的比例相对增加了. 当然, 经硅衬底的热传导仍是其最主要的散热通道.

在表 1 第 5 组 SH 电应力加载条件下, 不同  $W/L$  的硅衬底器件在沟道长度和宽度方向上的温度分布如图 6 所示. 尽管各器件具有相同的功率密度加载, 模拟表明器件宽度  $W$  对沟道温升有显著影响. 随着  $W/L$  增加, 沿沟道长度方向各器件的温度分布特点完全一致, 但沟道温升依次提高. 而在沟道宽度方向上, 不仅沟道温升更显著, 其温度分布的高温区明显扩展且变得平坦. 这表明器件  $W$  越大, 沟道区中央部分的横向散热就越困难, 导致在相同的功率密度加载下,  $W/L$  较大的器件沟道温升更显著.

图 7 给出了不同  $W/L$  的硅衬底器件, 在表 1 所列的 10 种应力条件下, 沟道最高温度随器件功率密度的

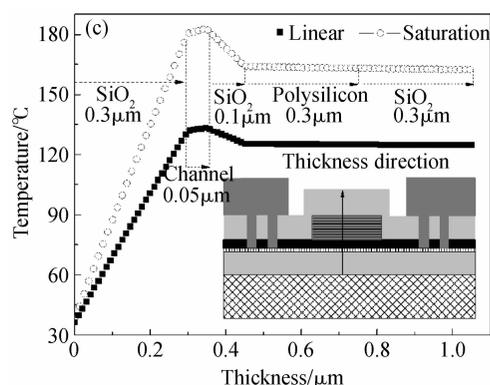
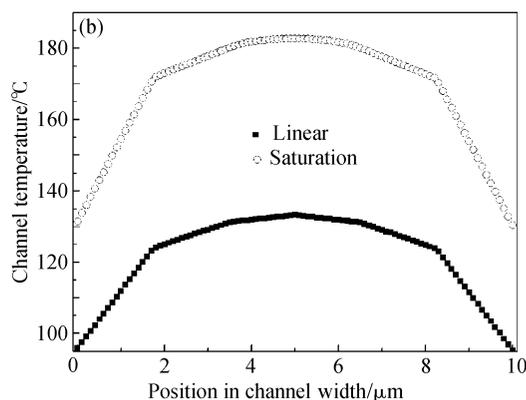
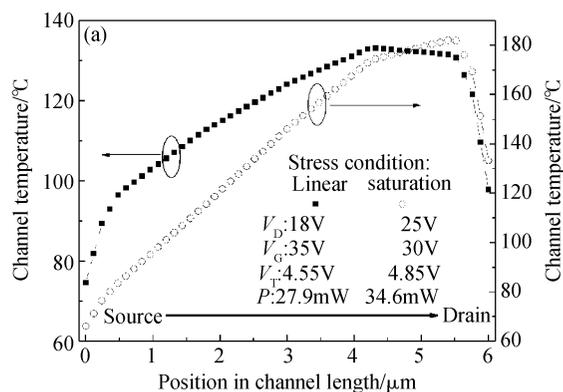


图 5  $W/L = 10\mu\text{m}/6\mu\text{m}$  的硅衬底在线性区和饱和时, 经过沟道最高温度点: (a) 沿沟道长度方向, (b) 沿沟道宽度方向, (c) 沿厚度方向从底层  $\text{SiO}_2$  至器件表面的温度分布曲线

Fig.5 Channel temperature distribution crossing the peak temperature point in linear and saturation region simulated in  $W/L = 10/6\mu\text{m}$  TFT model on Si substrate: (a) along channel length direction, (b) along channel width direction, and (c) along thickness direction from the bottom  $\text{SiO}_2$  to the device surface

变化. 显然, 沟道最高温升随 SH 功率密度的增加而增加, 不同  $W/L$  的器件均呈现类似的线性依赖关系. 值得注意的是, 随着  $W/L$  的增加, 该依赖关系的斜率渐次增加, 这表明大  $W/L$  器件具有更大的单位面积热阻, 其沟道的温升对于器件功率的增加更为敏感. 显然, 这与图 6(b) 中大  $W$  器件沟道区的横向散热更困难的观察是一致的. 如前文所述, 器件饱和时, 由于功率密度的分布更集中于漏端, 该条件下的沟道峰值温度显著偏离了线性区的趋势线.

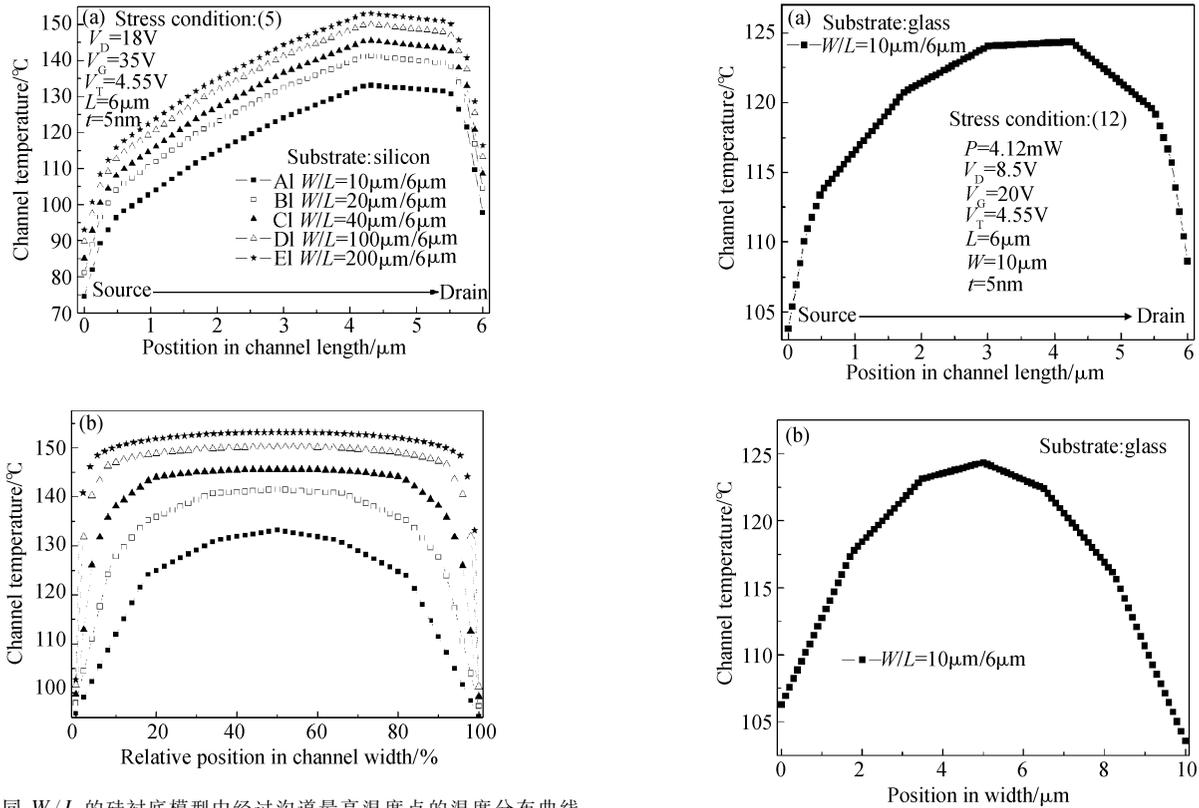


图 6 不同  $W/L$  的硅衬底模型中经过沟道最高温度点的温度分布曲线 (a)沿沟道长度方向;(b)沿宽度方向沟道相对位置

Fig.6 Channel temperature distribution crossing the peak temperature point simulated in TFT models on Si substrate with different  $W/L$  (a) Along channel length direction; (b) Along the relative position in channel width

### 5 衬底材料的影响

在很多应用中, TFT 器件常制备于玻璃基板上, 利用  $W/L = 10\mu\text{m}/6\mu\text{m}$  的玻璃衬底器件模型模拟典型 SH 应力条件(表 1 第 12 组,  $P = 4.1\text{mW}$ ), 观察衬底材料对沟道温度分布的影响. 图 8 给出了该器件经过沟道反型层中最高温度点分别沿沟道长度、宽度和厚度方向的温度分布曲线.

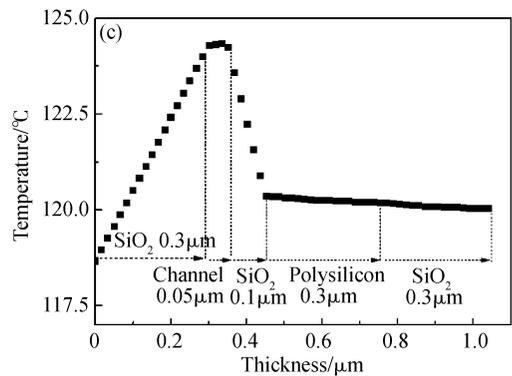


图 8  $W/L = 10\mu\text{m}/6\mu\text{m}$  的玻璃衬底模型中经过沟道最高温度点的温度分布曲线 (a)沟道长度的温度分布曲线;(b)沟道宽度方向的温度分布曲线;(c)底层  $\text{SiO}_2$  至顶部方向的温度分布曲线

Fig.8 Channel temperature distribution crossing the peak temperature point simulated in  $W/L = 10\mu\text{m}/6\mu\text{m}$  TFT model on glass substrate (a) Along channel length direction; (b) Along channel width direction; (c) Along thickness direction from the bottom  $\text{SiO}_2$  to the device surface

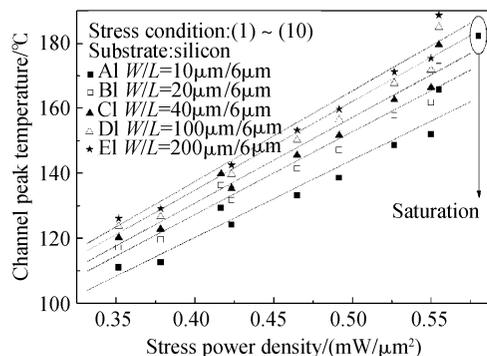


图 7 不同  $W/L$  硅衬底模型中沟道最高温度与功率密度的关系

Fig.7 Channel peak temperature dependent on stress power density simulated in TFT models on Si substrate with different  $W/L$

很明显, 相比于硅衬底器件, 玻璃衬底器件只需小得多的功率密度加载(约 1/7)就能产生相当的沟道温升. 显然, 玻璃的低导热率严重阻碍了焦耳热从器件底面的散失, 从而导致沟道的高温. 沿沟道长度方向, 器件高温区同样偏向漏极一侧, 沿沟道宽度方向, 温度也基本呈对称分布. 比较器件边缘沿两个方向的温度梯度, 和硅衬底器件相似, 横向的散热仍以沟道长度方向为主, 衬底的变化对器件横向散热影响不大. 从纵向温度分布观察, 底层  $\text{SiO}_2$  处的温度梯度仅为  $19\text{K}/\mu\text{m}$ , 与图 5 相比, 玻璃衬底器件的底部散热仅为 1/17, 而栅氧

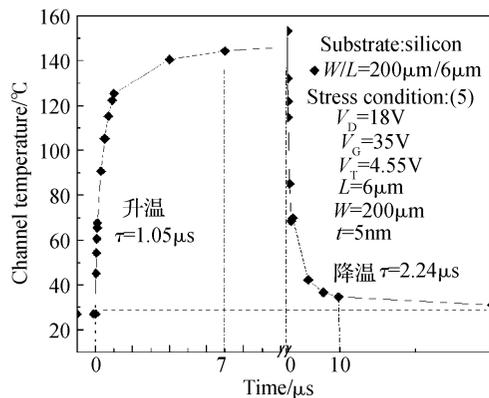


图 9  $W/L = 200\mu\text{m}/6\mu\text{m}$  的硅衬底器件升温 and 降温的瞬态温度曲线  
Fig.9 Transient rising and falling temperature curves simulated in TFT model with  $W/L = 220\mu\text{m}/6\mu\text{m}$  on Si substrate

处温度梯度则约  $40\text{K}/\mu\text{m}$ , 因此对于玻璃衬底器件, 由于底部散热受阻, 器件自上表面的热传导成为其更主要的散热渠道. 衬底材料的改变直接导致了纵向散热机制的显著变化.

## 6 瞬态温度模拟

利用瞬态温度模拟可以分析沟道的升降温过程. 在  $t = 0$  时刻, 模型中施加或者去除发热功率的加载, 并利用 ANSYS 的时间积分选项就可进行瞬态升温或降温模拟. 在表 1 所示的两组 SH 应力条件下, 分别对硅和玻璃衬底器件做了瞬态热模拟. 图 9 给出了  $W/L = 200\mu\text{m}/6\mu\text{m}$  的硅衬底器件中稳态沟道最高温度点随发热功率的加载和去除的瞬态温度曲线. 可以看出器件升温 and 降温都是一个非常快速的过程. 引入时间常数  $\tau$ , 描述沟道的升降温过程:

$$T(t) = T_{\infty} - (T_{\infty} - T_0)e^{-t/\tau} \quad (2)$$

式中  $T_0$  升温时为室温, 降温时为器件初始高温;  $T_{\infty}$  升温时为稳态最高温度, 降温时为室温;  $\tau$  是与器件材料和结构相关的时间常数. 经拟合得到器件升降温时间常数仅为 1.05 和  $2.24\mu\text{s}$ . 升降温时间常数的差别可能与器件结构材料在室温和高温下的热导率差别有关.

图 10 给出了硅和玻璃衬底器件降温时间常数与沟道宽度的关系. 很明显, 两种衬底上器件的  $\tau$  都随着  $W$  的增大而大致呈线性增加. 显然, 这与大  $W/L$  器件的热容较大有关. 值得注意的是, 玻璃衬底器件的  $\tau$  值远大于硅衬底器件 (约为后者的 60 倍), 这同样体现出由于玻璃衬底的低热导率而导致的器件散热性能的严重劣化.

最后, 我们就模拟的误差分析做一点讨论. 比较分析表明, 由于数值计算收敛时的随机性所导致的计算误差是可以忽略的, 多次计算的沟道温度相差小于  $0.2^{\circ}\text{C}$ . 一个可能的误差来源应与模拟所用材料热参数的准确性有关. 文献中单晶 Si,  $\text{SiO}_2$  和 Corning 玻璃的热参数及其温度依赖关系比较统一. 而多晶硅的热导率仍属于当前的研究前沿, 并可能依赖于特定多晶硅薄膜

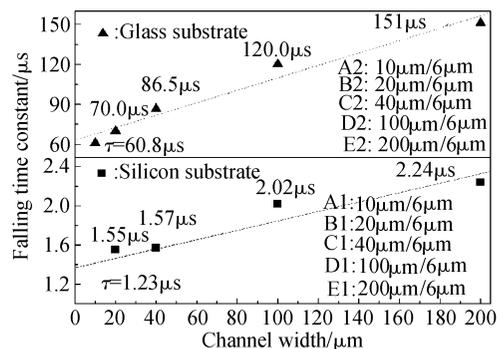


图 10 硅或玻璃衬底上不同  $W/L$  器件的降温时间常数  $\tau$  值随  $W$  的变化

Fig.10 Falling time constant  $\tau$  dependent on  $W$  from TFT models with different  $W/L$  on Si or glass substrate

的晶粒尺寸、形状和掺杂等因素<sup>[7,8]</sup>. 对于 MILC 多晶硅的热导率并无具体报道. 根据文献中关于重掺杂多晶硅的不同热导率<sup>[7,8]</sup> 分别模拟表明, 采用不同的热导率对沟道温度的模拟结果影响有限, 约为  $2^{\circ}\text{C}$  以内. 另外, 本文的有限元建模采用单器件模型, 这适用于当前多晶硅 TFT 的大多数应用. 但是, 当多个 TFT 器件高密度相邻并同时处于 SH 工作条件时, 应注意到单器件模型会低估实际器件的沟道温升.

## 7 结论

SH 应力下器件沟道的温度分布有如下的特点: (1) 器件高温区沿沟长方向偏于漏极一侧, 沟宽方向则位于中央; (2) 相同功率密度加载下, 器件高温区随器件宽度的增加而展宽, 宽长比小的器件温升较小; (3) 沟道发热主要由器件底部散失, 高导热的衬底材料能够大幅降低器件沟道温度; (4) 器件的升降温是一个相当快速的瞬态过程, 其时间常数大致随器件宽度线性增加.

为降低器件的自加热效应, 应考虑如下的因素: 降低器件工作的功率密度, 采用高热导衬底, 尽量降低单器件的宽长比, 而玻璃上器件应考虑如何改善器件上表面的散热. 通过有限元模拟器件稳态和瞬态的温度分布, 还有助于对自加热退化机制的揭示.

## 参考文献

- [1] Wang Wen, Meng Zhiguo, Guo Haicheng. High performance metal-induced unilaterally crystallized polycrystalline silicon thin film transistors: technology and applications. Chinese Journal of Liquid Crystals and Displays, 2002, 17(5): 323 (in Chinese) [王文, 孟志国, 郭海成. 高性能金属诱导单向横向晶化多晶硅薄膜晶体管技术和应用. 液晶与显示, 2002, 17(5): 323]
- [2] Inoue S, Ohshima H, Shimoda T. Analysis of degradation phenomenon caused by self-heating in low-temperature-processed poly-Si thin film transistors. Jpn J Appl Phys, 2002, 41: 6313
- [3] Fuyuki T, Kitajima K, Yano H, et al. Thermal degradation of low temperature poly-Si TFT. Thin Solid Films, 2005, 487: 216
- [4] Wang Huaisheng, Wang Mingxiang, Yang Zhenyu, et al. Stress power dependent self-heating degradation of metal induced laterally crystallized n-type polycrystalline silicon thin film transistors.

- IEEE Trans Electron Devices, 2007, 54(12): 3276
- [ 5 ] Jomaah J, Ghibaudo G, Balestra F. Analysis and modeling of self-heating effects in thin-film SOI MOSFETs as a function of temperature. Solid State Electron, 1995, 38: 615
- [ 6 ] Sameshima T, Sunaga Y, Kohno A. Measurements of temperature distribution in polycrystalline thin film transistors caused by self-heating. Jpn J Appl Phys, 1996, 35: 308
- [ 7 ] Cahill D G, Ford W K, Goodson K E, et al. Nanoscale thermal transport. J Appl Phys, 2003, 93(2): 793
- [ 8 ] McConnell A D, Uma S, Goodson K E. Thermal conductivity of doped polysilicon layers. J Microelectromechanical System, 2001, 10(3): 360
- [ 9 ] Glassbrenner C J, Slack G A. Thermal conductivity of silicon and germanium from 3K to the melting point. Phys Rev, 1964, 134: A1058
- [ 10 ] Cahill D G. Thermal conductivity measurement from 30 to 750K: the  $3\omega$  method. Rev Sci Instrum, 1990, 61(2): 802
- [ 11 ] Corning Incorporated, Corning 1737 AMLCD Glass Substrates Material Information, 2002, 8, MIE: 101
- [ 12 ] Sze S M, Kwok K Ng. Physics of Semiconductor Devices. America: John Wiley & Sons, 2007
- [ 13 ] Tummala R R. Fundamentals of microsystems packaging. New York, America: McGraw-Hill, Publisher, 2001

## Finite Element Analysis of Temperature Distribution of Polysilicon TFTs Under Self-Heating Stress\*

Yang Zhenyu, Wang Mingxiang<sup>†</sup>, and Wang Huaisheng

(Department of Microelectronics, Soochow University, Suzhou 215021, China)

**Abstract:** The temperature distribution of typical-sized n-type polycrystalline silicon thin film transistors under self-heating (SH) stress is studied by finite element analysis. From both steady-state and transient thermal simulation, the influence of device power density, substrate material, and channel width on temperature distribution is analyzed. This study is useful for understanding the mechanism of self-heating degradation, and to find approaches to effectively alleviate the SH effect in device operation.

**Key words:** FEA; temperature distribution; thin film transistor; self-heating degradation; steady-state and transient simulation

**PACC:** 7340Q; 7360F

**Article ID:** 0253-4177(2008)05-0954-06

\* Project supported by the National Natural Science Foundation of China (No. 60406001)

<sup>†</sup> Corresponding author. Email: Mingxiang\_wang@suda.edu.cn

Received 30 September 2007, revised manuscript received 1 December 2007