

Band III 锁相环型频率综合器的实现

阴亚东[†] 陈 杰 王海永

(中国科学院微电子研究所, 北京 100029)

摘要: 使用 0.18 μm 1.8V CMOS 工艺实现了 Band III 频率综合器, 除压控振荡器(VCO)的调谐电感和锁相环路的无源滤波器外, 其他模块都集成在芯片中. 使用 SPI 总线实现 VCO 子频带的选择、电荷泵和 VCO 工作电流的配置等功能, 使用改进的频带切换电路加快了频带切换. 测试结果表明该频率综合器工作时的总功耗为 34mW, 提供的频率范围为 143~271MHz; 波段 III 内偏离中心频率 10kHz 处的相位噪声低于 -83dBc/Hz, 100kHz 处的相位噪声低于 -104dBc/Hz, 参考频率附近杂散低于 -70dBc; 与普通频带切换电路相比使用新的频带切换电路明显节省了频带切换时间.

关键词: 频率综合器; 锁相环; 开关切换电容阵列; 压控振荡器; 频带切换电路

EEACC: 2570D

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2008)06-1216-07

1 引言

本文所设计的是基于 0.18 μm 1.8V CMOS 工艺的波段 III 频率综合器, 可以用于 T-DMB 调谐器中为调谐器提供本振信号, 也可以应用于 DSP 的时钟产生. 除 VCO 的调谐电感和锁相环路的无源滤波器外, 其他所有模块都集成在芯片中.

2 频率综合器的总体结构和主要特性

图 1 为频率综合器的总体结构图. 频率综合器由包含频带切换电路的锁相环路、带开关切换电容阵列的压控振荡器、参考时钟分频器、SPI 总线和参考电压源等

模块构成. 其中 VCO 的子频带和工作电流、锁相环路中鉴频鉴相器(PFD)输出的复位重合脉冲宽度以及电荷泵(CP)的充放电电流, 都可以通过 SPI 总线调整, 从而使频率综合器的输出噪声和 PLL 控制环路的频率特性达到最优化.

波段 III 频率综合器输出的频率范围至少达到 174~250MHz, 这就要求 VCO 必须能工作在很宽的调谐范围. 如果使用单一的变容二极管(varactor)来产生宽频范围, LC 型 VCO 频率电压增益 K_{VCO} 变得很大, 导致 VCO 输出中产生很强的杂散干扰和很差的相位噪声. 为了解决这个矛盾, 可以通过在 LC 谐振网络中添加开关切换电容阵列(SCA), 把宽调谐范围分成若干个调谐频率范围有一定重叠的调谐子带, 在总的调谐范围不变的情况下, 各个子带范围内的 K_{VCO} 将变得

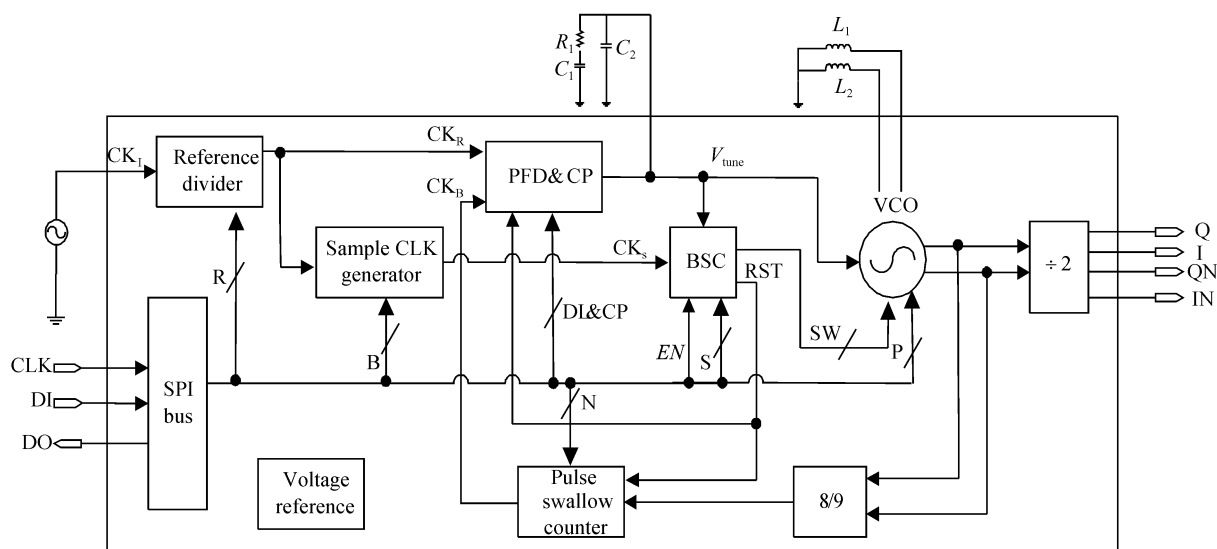


图 1 频率综合器的整体结构

Fig. 1 Block diagram of the frequency synthesizer

[†] 通信作者. Email: yatn@163.com
2007-10-22 收到, 2007-12-26 定稿

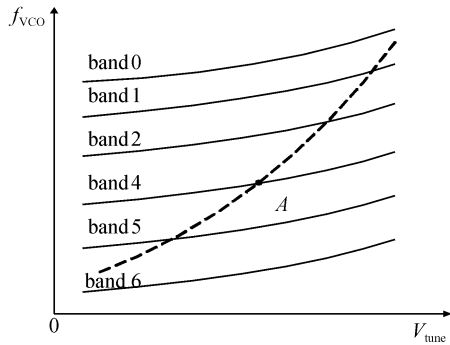


图2 单一频带和多子频带 VCO 调谐曲线示意图

Fig.2 Tuning curves of the single band VCO and multi sub-bands VCO

很小^[1].图2为单一频带和多子频带 VCO 调谐曲线示意图,其中虚线表示单一频带时的情况,实线组表示多子频带时的情况,曲线的斜率表示 VCO 的频率增益 K_{VCO} (Hz/V) 的大小.从图中可以看出在工作点 A 处,实线 band4 上的斜率明显要比虚线的小.

为了保证 VCO 工作在正确的子频带上,PLL 环路需要增加频带切换电路 (band-switching circuit, BSC) 来切换 VCO 的频带,结果增加了 PLL 的稳定时间^[2].本文改进了普通的频带切换电路,当发生频带切换时, BSC 产生与参考时钟 CK_R 同步的信号 RST 用于复位 PFD 和环路分频器,从而消除了 PFD 先前积累的相位误差,最终减少了频带切换时间.

本设计中 VCO 产生 2 倍于波段 III 的频率,然后经过 2 分频后产生 4 路正交互补的波段 III 信号.由于 T-DMB 数字电视调谐器主要用于手机等手持设备,这就要求芯片必须具有低功耗、高度集成和易于控制等特点.在频率综合器中功耗主要集中于 VCO 和双模预分频器 (DMP) 等高速器件,为了尽可能地减低功耗,本设计采用了许多方法.对于使用 CMOS 工艺的 VCO 而言,较大的 VCO 输出振幅有利降低自身的相位噪声和混频器的噪声系数 (NF),但是这必然消耗很大的功率.为了灵活实现两者之间的折中,本设计利用 SPI 总线对 VCO 的工作电流进行现场配置和更改;在满足调谐器接收所需灵敏度的情况下,调整并最小化 VCO 工作电流从而达到最小功耗.锁相环路中的 DMP 采用工艺库中自带的逻辑单元实现;而为了尽量减少提供给混频器的正交本振信号之间的相位不匹配,仍采用了源耦合逻辑 (SCL) 结构锁存器的分频器对 VCO 输出进行 2 分频.

虽然使用片外电容和变容二极管等调谐器件可以大幅度地提高 VCO 的噪声性能,但是增加的片外器件会给手持设备的电路设计带来很大的麻烦.基于此方面的考虑,除 VCO 中的调谐电感和锁相环路中的无源滤波器外,本次设计中其他模块全部集成在芯片中.

3 频率综合器主要模块的设计

3.1 带开关切换电容阵列的压控振荡器

图3为 VCO 的电路结构图,图3(a)为 VCO 电路

结构图,采用交叉耦合结构,实线框中所示为片外电感;图3(b)为 VCO 中开关切换电容阵列 (SCA) 电路结构图.

由于 pMOS 的闪烁噪声比 nMOS 低, VCO 采用了 pMOS 作为交叉耦合管以减少相位噪声.利用可编程的电流源为 VCO 提供工作电流,实现了 VCO 振幅的可控性;为了减少电流源的闪烁噪声对 VCO 相位噪声的影响,电流源采用了长沟道的 pMOS 管作为输出管; VCO 的开关和电流值的大小可以通过 SPI 总线进行设置.

采用具有权重的 4 bits 开关切换电容阵列把 VCO 的谐振范围分成了 16 个子频带,电路结构如图3(b)所示.每组阵列单元由 3 个 nMOS 开关和 2 个 MIM 电容构成,其中两个 nMOS 管导通时把电容短接到地以构成谐振回路,另外一个则把两电容相互短接,提高输出波形的对称性^[3].通过对 nMOS 开和关的操作把电容加载在 LC 谐振回路或者从中剥离, VCO 便进行了频带切换.由于 nMOS 管的导通电阻将减小 LC 谐振网络的 Q 值,而 nMOS 管的寄生电容也会降低 VCO 的最高谐振频率.为了尽可能地减少开关管对 VCO 的影响,使用沟道最短的 nMOS 管做为开关管,同时尽可能地增加宽度.

LC 谐振回路中的变容二极管由 MIM 电容交流耦合到谐振回路中,同时使用 $0.5V_{DD}$ 的电压对变容管进行偏置.如图3(a)中所示, C_1, C_2 为变容管, C_3, C_4 为隔直电容.为了保证 16 个子带能够覆盖整个谐振范围,要求相邻子频带之间有足够交叠,变容管的电容可变范围 ΔC_{var} 要大于 SCA 中的最小电容单元 C_{LSB} .考虑到工艺偏差,本设计中 $\Delta C_{var} \geq 1.5C_{LSB}$.

3.2 频带切换电路 (band-switching circuit, BSC)

为了使 VCO 能够切换到正确的子频带,需要在 PLL 环路中增加频带切换电路,其电路结构如图4所示.频带切换电路由门限电压比较电路、逻辑比较控制电路和可加减计数器.门限电压比较电路把环路滤波器输出的调谐电压 V_{tune} 与门限电压 V_{TH} 和 V_{TL} ($V_{TH} > V_{TL}$) 进行比较,当 $V_{tune} > V_{TH}$, 比较逻辑控制电路的输出 up 高电平有效,在采样时钟 CK_S 上升沿到来后计数器加 1; 同样,当 $V_{tune} < V_{TL}$ 时,计数器减 1; 当 $V_{TH} > V_{tune} > V_{TL}$ 时,计数器维持不变;计数器输出改变,则 VCO 频带发生切换^[4].

当发生频带切换时逻辑比较控制电路将产生与 CK_S 同步的 RST 信号用于复位 PFD 和环路分频器,从而消除了 PFD 先前积累的相位差,最终加快了频带的切换和锁相环的稳定.

门限电压范围 ($V_{TH} - V_{TL}$) 的设置需要考虑多种因素,门限电压范围决定 V_{tune} 的动态范围,动态范围越宽则 VCO 相邻子频带更易相互交叠;动态范围越窄则电荷泵中的充电和放电两路电流源失配越小, VCO 输出频谱中的参考频率附近的杂散越小. V_{TH} 和 V_{TL} 由片内的电压参考源提供分别设置为 1.5 和 0.2V. 采样时

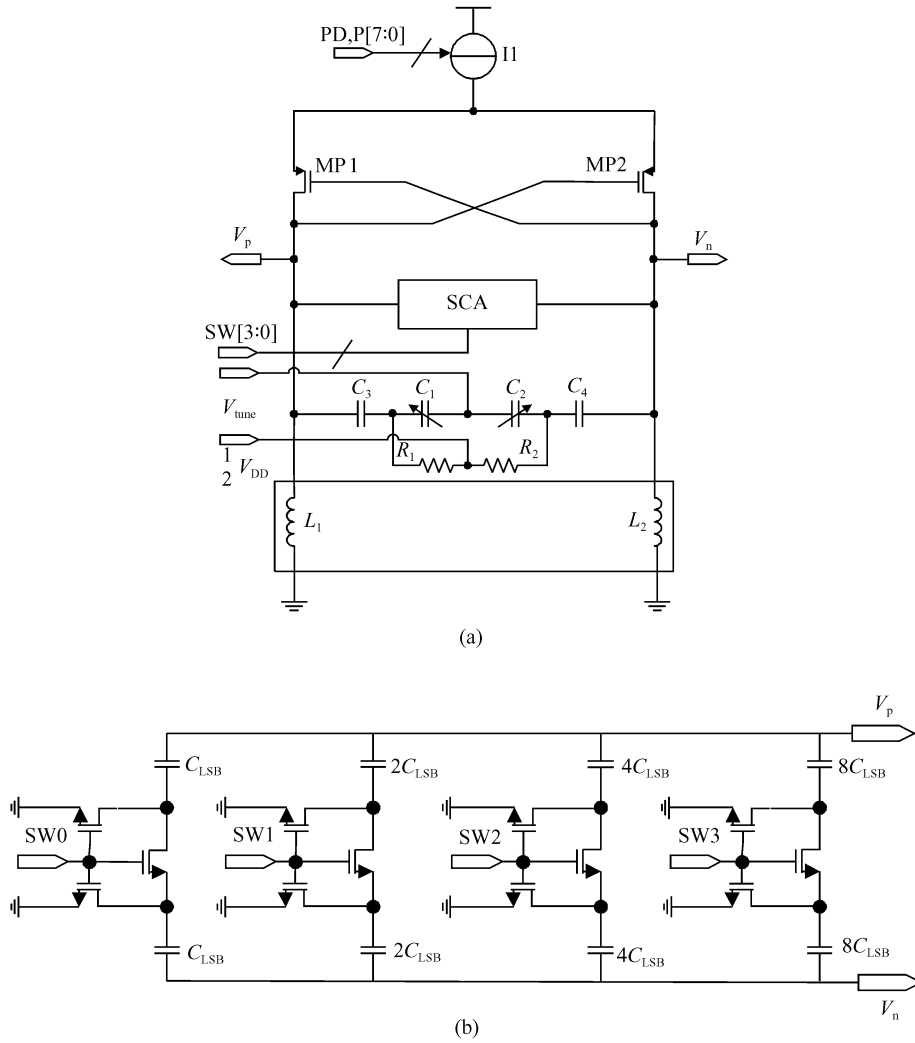


图 3 (a) VCO 电路结构图; (b) 开关切换电容阵列结构图
Fig.3 (a) Schematic of VCO; (b) Schematic of SCA

钟 CK_s 由片内的采样时钟发生器 (sample clock generator) 将参考时钟 CK_R 分频所得, 分频器的分频系数 B 可由 SPI 总线改变. 使能端 EN 可以使能控制 RST, 当 EN 为高电平时, RST 正常工作; 当 EN 低电平时, RST 被屏蔽, 不能产生复位脉冲.

同时可以通过 SPI 总线直接把所希望的子频带数

加载到计数器输出上, 从而使频率综合器的应用更加灵活.

3.3 双模预分频器 (DMP) 和 2 分频器

图 5 为双模预分频器 (DMP) 和 2 分频器的电路结构图. 图 5(a) 为 8/9 分频 DMP 电路结构, 由工艺库提

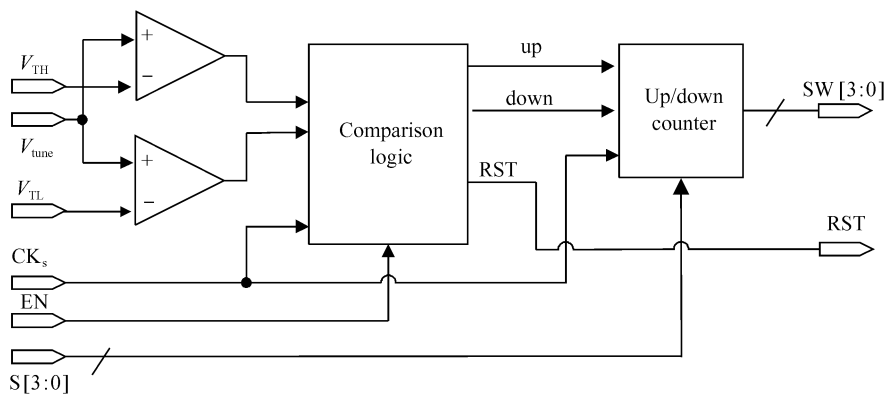


图 4 频带切换电路结构图
Fig.4 Schematic of band-switching circuit

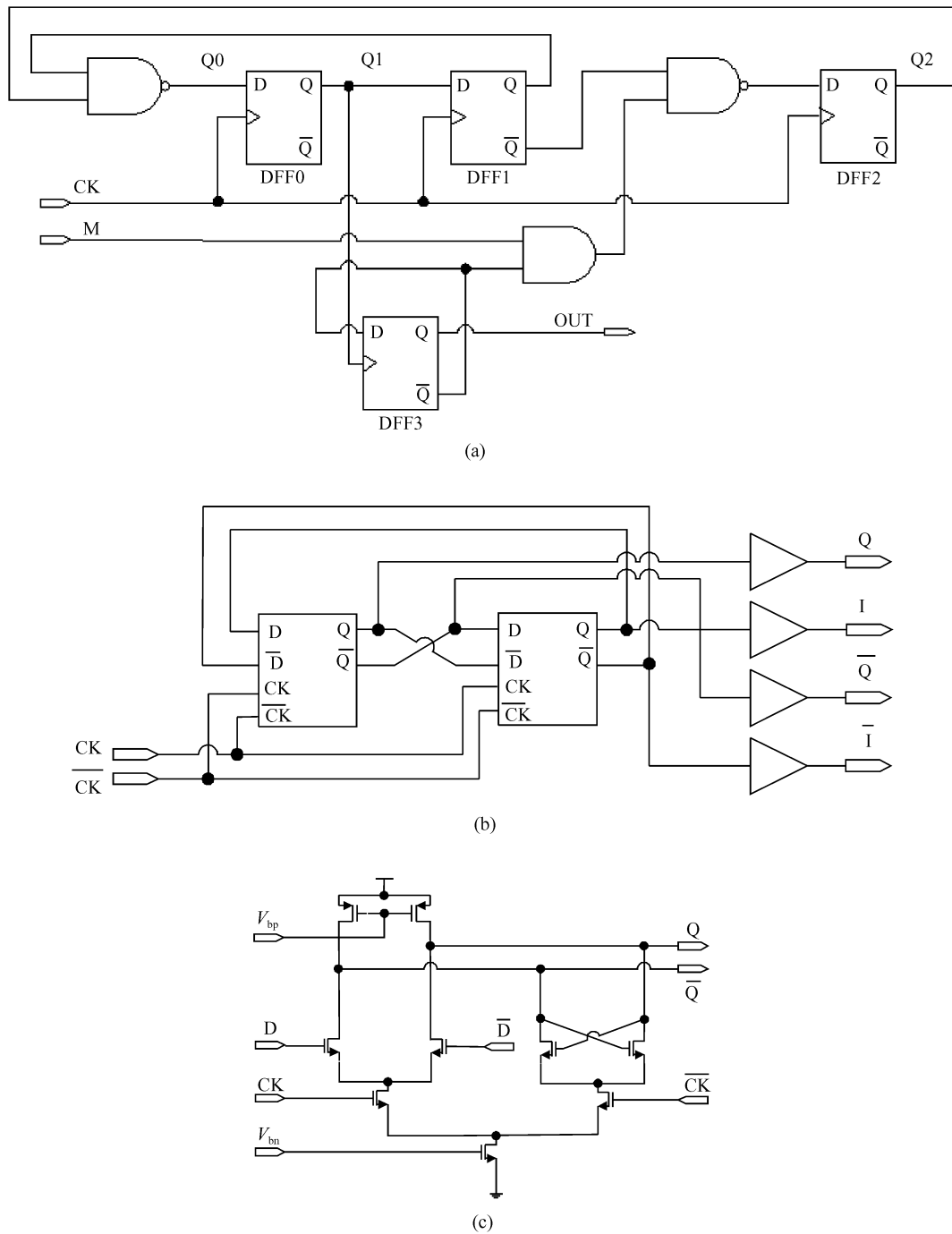


图 5 (a) 8/9 分频 DMP 电路结构; (b) 2 分频器的电路结构; (c) SCL 结构锁存器的电路结构
 Fig.5 (a) Schematic of dual modulus prescaler; (b) Schematic of divider; (c) Schematic of SCL latch

供的逻辑单元构成;图 5(b)为使用源耦合逻辑(source coupled logic, SCL)结构锁存器^[5]构成的 2 分频电路;图 5(c)为 SCL 结构锁存器电路图。

由于 0.18 μm CMOS 工艺的 MOS 管本征频率已经非常高,工艺库提供的逻辑单元已经完全满足工作频率小于 GHz 的中小规模逻辑电路的设计要求了.与使用 SCL 锁存器的 DMP 相比,本设计中的 DMP 功耗小、电路简单。

使用 SCL 锁存器构成的 2 分频电路对 VCO 输出进行分频,不仅产生波段 III 频率范围内的本振信号,同时还能提供相位匹配很好的 4 路正交本振信号.增加输

出缓冲器不仅可以防止信号衰减,还能有效地隔离混频器产生的干扰。

3.4 鉴频鉴相器和电荷泵

图 6 为鉴频鉴相器(PFD)和电荷泵(CP)的电路结构示意图.为了消除电荷泵的“死区”并尽可能的减少 PLL 锁定时 CP 上下支路导通的时间,在 PFD 内部复位信号的逻辑路径上串联一个延迟时间可编程的延迟模块(DEL),使得 PFD 输出端的复位重合脉冲宽度可在 2~16ns 内变化,测试时通过调整延迟时间,能够使得复位重合脉冲宽度达到最佳.PFD 产生 DW/DN, UP/UN

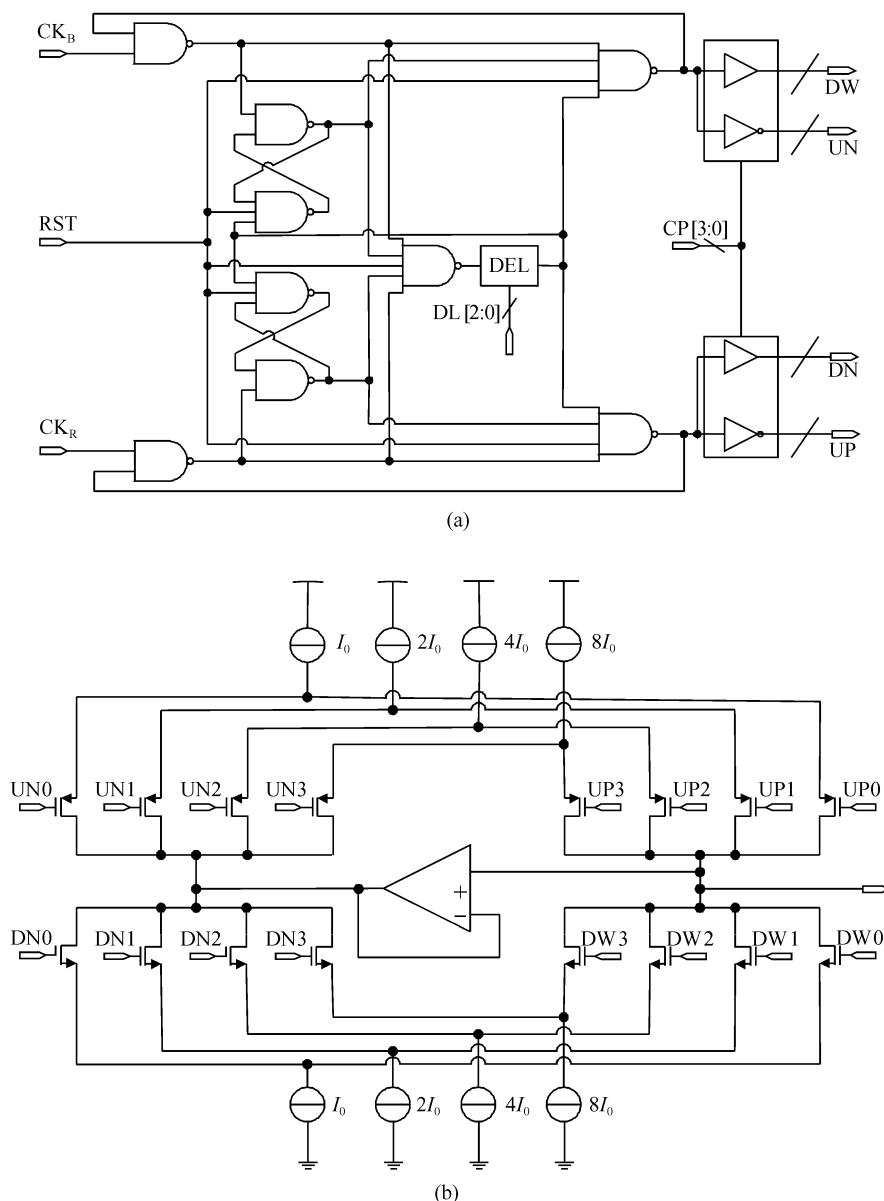


图 6 (a)鉴频鉴相器结构图;(b)电荷泵结构图

Fig.6 (a) Schematic of PFD;(b) Schematic of charge pump

两组互补的输出,每组中的每路输出又包括了4支分输出,对应电荷泵中4路充/放电流支路.PFD增加了外部复位端RST,可以对PFD进行异步复位.

电荷泵具有4路充/放电支路,其充/放电电流可编程.通过SPI总线改变寄存器CP[3:0]的值开启或屏蔽PFD输出端的相应分支路,可以改变电荷泵工作电流.如设置CP[3:0]=0001,则PFD的4路输出中的最低位DW0/UP0, DN0/UN0正常工作,其他位输出被钳制为无效工作电平,此时的工作电流最小为0.15mA,通过设置CP的值,电荷泵工作电流可在0.15~2.3mA的范围内变化.

4 测试结果与分析

本次设计使用0.18 μm 1.8V CMOS工艺进行流片验证,测试中采用的输入参考时钟为512kHz,环路带宽

约为10kHz,电荷泵电流设置为0.15mA,频带切换电路的采样时钟周期设置为40 μs .图7为频率综合器部分的芯片照片,频率综合器部分的芯片面积不超过2mm².当频率综合器工作时消耗的总电流为18.7mA,其中VCO核心电路消耗8mA,SCL分频器和输出缓冲器消耗6mA,DMP消耗1.5mA,其他电路消耗3.2mA.

图8为测试得到的VCO调谐特性曲线,调谐范围为287~542MHz,则经过2分频后频率范围达到144~271MHz,VCO的频率增益 K_{VCO} 不超过30MHz/V;同时从图中可以看到,在0.2~1.5V的调谐电压范围内,各子波段都能够很好地重叠.

图9为使用RIGOL的DS1102C示波器观察到的频带切换时调谐电压 V_{unc} 的瞬态响应曲线,测试中频带切换电路连续切换5个频带;图9(a)为频带切换控制端EN为低电平同步复位RST信号被屏蔽时的情况;

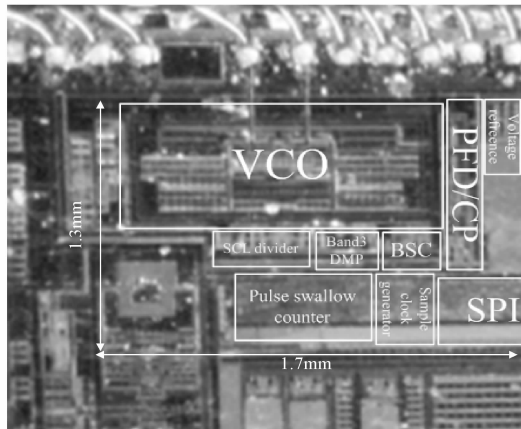


图 7 频率综合器的芯片照片

Fig.7 Die photograph of the frequency synthesizer

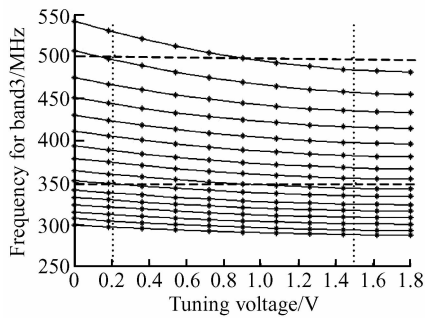


图 8 VCO 调谐特性曲线测试结果

Fig.8 Measured VCO tuning characteristics

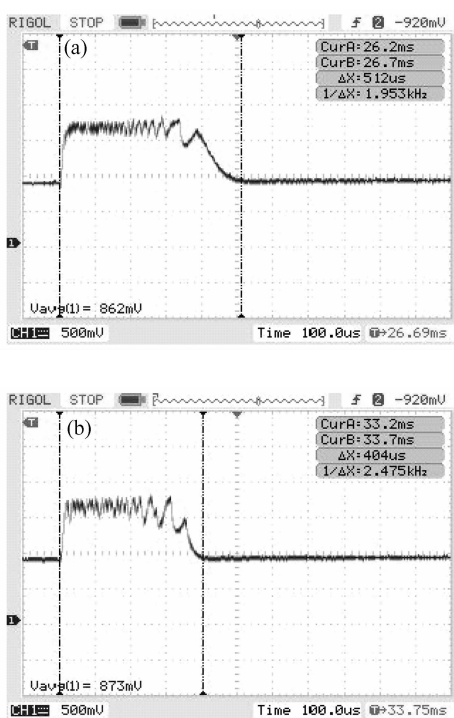


图 9 频带切换时调谐电压瞬态响应曲线 (a) 同步复位信号 RST 被屏蔽; (b) 同步复位信号 RST 正常工作

Fig.9 Measured transient curves of the tuning voltage when synthesizer's switching band (a) When the RST is off; (b) When the RST is on

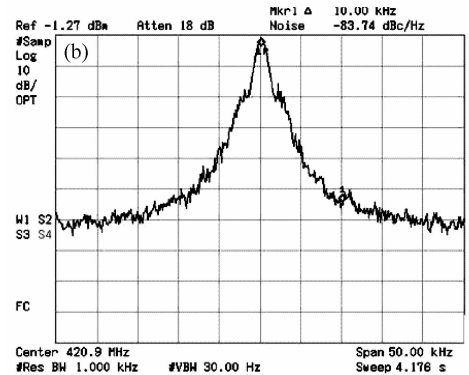
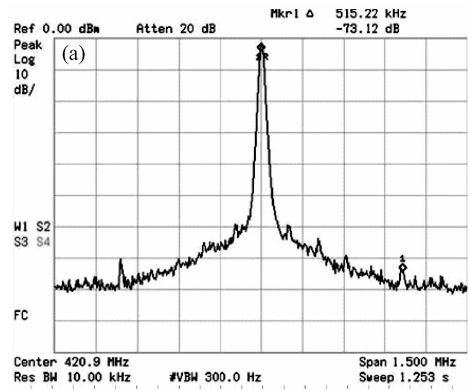


图 10 频率综合器工作在 421MHz 时 VCO 的输出频谱特性 (a) 1.5MHz; (b)50kHz

Fig.10 Measured output spectrum of frequency synthesizer at 420MHz (a) 1.5MHz span; (b) 50kHz span

图 9(b)为 EN 为高电平 RST 信号正常工作的情况. 可以看出未使用同步复位时, 频带切换时间需要 $512\mu\text{s}$; 而使用同步复位后, 频带切换时间只需要 $404\mu\text{s}$, 节省了 $108\mu\text{s}$ 的频带切换时间. 图 10 为当 VCO 工作在 421MHz 时, 使用 agilent 公司的 N9320A 频谱分析仪测试得到的结果, 从图 10(a)中可以看到此时参考频率 (512kHz) 上的杂散小于 -70dBc ; 在偏离中心频率 10kHz 和 100kHz 处相位噪声分别为 $-83.74\text{dBc}/\text{Hz}$, 和 $-104.0\text{dBc}/\text{Hz}$.

表 1 从芯片工艺、面积、电路性能、功耗和集成度等方面对比了本文设计的频率综合器和其他报道过的芯片. 本设计在满足 T-DMB 接收机所要求噪声性能的情况下, 达到了较高的集成度和较小功耗, 完全可以应用于手机等手持设备中.

5 结论

本文所设计的是基于 $0.18\mu\text{m}$ 1.8V CMOS 工艺波段 III 的频率综合器, 可以用于 T-DMB 调谐器中为调谐器提供本振信号, 也可以应用于 DSP 的时钟产生. 除 VCO 的调谐电感和锁相环路的无源滤波器外, 其他所有模块都集成在芯片中. 使用 SPI 总线可以实现 VCO 子频带的选择, 以及 VCO 和电荷泵工作电流的配置等功能, 使用改进的频带切换电路加快了 PLL 的频带切换和锁定. 测试结果表明频率综合器工作正常, 完全能够为调谐器提供满足要求的本振信号.

表 1 频率综合器的比较

Table 1 Summary of the frequency synthesizer performance and comparison

	工艺	芯片面积 /mm ²	功耗 /mW	频率范围 /MHz	Phase noise /(dBc/Hz)	Reference spur/dBc	集成度*
文献[6]	3V BiCMOS	-	-	362~434 341~445	-80@1kHz	-	较低
文献[7]	0.25 μ m CMOS	2.0 \times 0.8	53.5	75~220 210~480 470~830	-90@10kHz -115@100kHz	-90	低
文献[8]	0.35 μ m SiGe BiCMOS	\approx 4	103	1460~1880	-84@10kHz -122@1MHz	-	高
本文	0.18 μ m CMOS	<2	33.7	288~542 (band III)	-83.7@10kHz -104@100kHz	-73	较高

* 集成度以芯片所需外接的片外器件数量而定.集成度高的芯片只需要外接环路滤波器;集成度较高的芯片需外接单个谐振元件和滤波器;集成度较低的芯片需外接一套谐振组件(包括电感、电容和变容二极管)和滤波器;集成度低的芯片需外接多套谐振组件和滤波器.

参考文献

- [1] Kral A, Behbanhani F, Abidi A A. RF-CMOS oscillators with switched tuning. Custom Integrated Circuits Conference, 1998, 26(1):555
- [2] Lin T H, Kaiser W J. A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop. IEEE J Solid-State Circuits, 2001, 36(3):424
- [3] Berny A D, Niknejad A M, Meyer R G. A 1.8-GHz LC VCO with 1.3-GHz tuning range and digital amplitude calibration. IEEE J Solid-State Circuits, 2005, 40(4):909
- [4] Tiebout M. Low power low phase noise differentially tuned quadrature VCO design in standard CMOS. IEEE J Solid-State Circuits, 2001, 36(7):1018
- [5] Brynjolfson I, Zilic Z. A new PLL design for clock management applications. Proc of IEEE Int Symposium of Circuits and Systems, 2001:814
- [6] Takeuchi H, Okanobu T, Fujimaki K. A single-chip RF front-end for the digital sound broadcasting. IEEE Trans Consumer Electronics, 2001, 47(3):450
- [7] Chen Zuotian, Wu Xuan, Tang Shoulong, et al. CMOS implementation of a wideband low phase noise PLL frequency synthesizer. Chinese Journal of Semiconductors, 2006, 27(10):1838 (in Chinese)[陈作添, 吴焜, 唐守龙, 等. 宽带低相位噪声锁相环型频率综合器的 CMOS 实现. 半导体学报, 2006, 27(10):1838]
- [8] De Foucauld E, Billiot G, Mounet C. A BiCMOS upconverter with 1.9GHz multiband frequency synthesizer for DVB-RCT application. Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting, 2005:244

A Band III PLL Frequency Synthesizer

Yin Yadong[†], Chen Jie, and Wang Haiyong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A band III PLL Frequency Synthesizer is integrated in a 0.18 μ m 1.8V CMOS process, except for the tuned inductor and loop filter. Some functions such as selecting the sub-band of the VCO, configuring the currents of the charge pump and VCO etc. can be performed by using the SPI bus. An improved band-switching circuit is adopted to save band-switching time. As the measurement results show, the total power of the frequency synthesizer is 34mW; the frequency range of frequency synthesizer's output is 143~271Mhz. The phase noise in band III can reach -83dBc/Hz@10kHz, -104dBc/Hz@100kHz and the reference spur is less than -70dBc. This new band-switching circuit can save band-switching time in comparison with the normal one.

Key words: frequency synthesizer; PLL; switched-capacitor array; VCO; band-switching circuit
EEACC: 2570D

Article ID: 0253-4177(2008)06-1216-07

[†] Corresponding author. Email: yatn@163.com

Received 22 October 2007, revised manuscript received 26 December 2007