

便携应用 DC-DC 轻负载高效率的实现

袁 冰^{1,2,†} 来新泉² 李演明¹ 叶 强² 王红义² 贾新章¹

(1 西安电子科技大学微电子学院, 西安 710071)

(2 西安电子科技大学电路 CAD 所, 西安 710071)

摘要: 提出了一种新颖的 DC-DC 环路控制结构. 轻负载时芯片自动进入省电模式, 通过检测反馈电压使其在待机状态与固定峰值状态切换工作, 平均静态功耗以及开关功耗大大减小, 提高了轻负载效率, 延长了便携应用电池的使用时间. 内部同步整流消除了肖特基二极管的使用, 进一步提高了效率. 该结构在 0.5 μm CMOS 工艺的降压型 DC-DC 中进行了投片验证. 输入电压 3.6V, 输出电压 1.8V 条件下, 待机状态静态电流仅为 25 μA , 0.1mA 负载下效率高达 62%, 最高效率为 96%.

关键词: 降压 DC-DC 变换器; 效率; 轻负载; 省电模式; 待机状态

EEACC: 1280; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2008)06-1198-06

1 引言

随着微电子技术的迅猛发展, 电源管理类芯片已广泛应用于通信网络、计算机以及汽车电子等诸多产品领域. 与 LDO 线性稳压器相比, 开关型集成变换器由于具有很高的效率使得它在应用中逐渐成为首选的电源管理方案, 尤其是电流模 PWM 型 DC-DC, 它具有瞬态响应好, 带载能力强等优点^[1,2], 因此受到了越来越多的青睐. 近年来手机、数码相机、MP3、PDA、笔记本电脑等便携式产品迅速普及, 在此类电池供电环境中, 电池提供的能量有限, 负载经常需要在很宽范围内变化, 而大多数芯片由大负载转入轻负载时, 电源效率急剧下降, 严重影响了电池的使用时间^[3,4]. 这就对电源设计工程师们提出了新的挑战. 尤其在某些对噪声较为敏感的应用环境中, 由于无法采用 PFM 模式, 目前多数设计使芯片在轻负载时进入 DCM (discontinuous conduction mode) 工作, 这在一定程度上提高了轻负载效率, 但并不令人满意.

作者基于广为采用的 PWM 控制结构, 利用 0.5 μm CMOS 工艺设计实现了一款能够在全负载范围内维持高效率的单片电流模降压型 DC-DC. 重负载时芯片工作在 PWM 模式, 片内同步开关管消除了肖特基二极管的使用, 提高了效率. 轻负载时自动进入省电模式, 通过检测反馈电压使其在待机状态与固定峰值状态切换工作, 使得平均静态功耗以及开关功耗大大减小, 轻负载效率得到明显提高, 延长了便携应用电池的使用时间. 同时 2.5~5.5V 的输入电压范围使其非常适用于单锂电电池供电应用. 电路实现中, 采用了一种新颖的复合比较器, 简化了电路设计, 进一步减小了静态损耗.

2 控制结构与工作原理

2.1 功耗分析

图 1 所示为采用同步整流技术的典型降压 DC-DC 变换器简化框图^[5], 其中标识了各个器件的寄生参数. 对于电流模式 PWM 控制 DC-DC 而言, 效率可以表示为输出功率与输入功率之比, 引起功率损耗的因素有很多, 主要可以分为: 静态损耗、导通损耗和开关损耗. 静态损耗指由芯片静态电流 (I_s) 引起的功耗; 导通损耗包括电感 ESR (effective series resistance) 和电容 ESR 引起的损耗, 电流在开关管 (MP) 以及同步管 (MN) 上引起的损耗以及 RMS 电流引起的损耗; 开关损耗主要由驱动电路在开关动作时对 MP, MN 寄生电容的充放电引起. 在中等负载以及重负载时, 主要的功率损耗为导通损耗, 因此对于低电压低电流的便携式应用而言, 采用陶瓷电容、低 DCR 的电感以及同步整流技术可以有效提高效率. 而在轻负载时, 导通损耗明显降低, 此时静态损耗以及开关损耗成为影响效率的主要因素. 传统

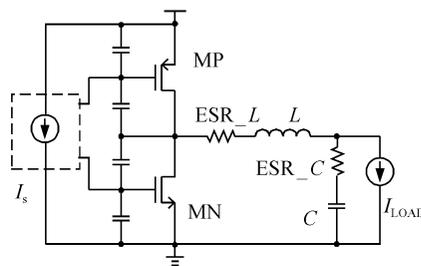


图 1 典型降压 DC-DC 变换器控制框图

Fig. 1 Typical control diagram of DC-DC buck converter

† 通信作者. Email: yuanbing1983@126.com; byuan@mail.xidian.edu.cn
2007-10-22 收到, 2007-12-23 定稿

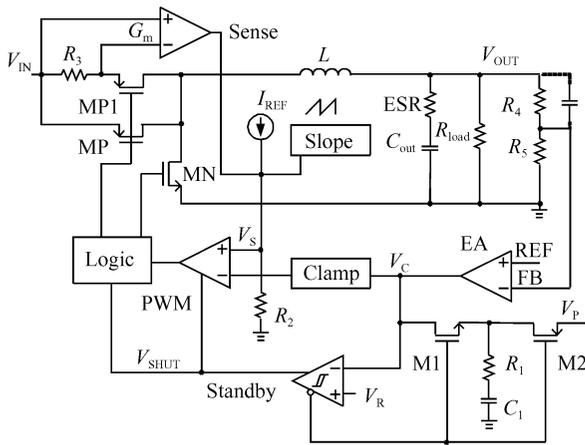


图 2 本文作者设计的 DC-DC 变换器结构框图

Fig.2 Block diagram of the proposed DC-DC converter

PWM 控制方式轻负载时进入 DCM 模式工作,同 CCM (continuous conduction mode) 相比较,虽然反灌电流的控制减小了导通损耗,由于静态损耗与开关损耗没有明显的变化,因此并不能有效提高轻负载效率.

本文提出了一种新颖的 PWM 控制结构以提高轻负载效率,随着负载的减小芯片自动进入省电模式,通过检测反馈电压使其在待机状态与固定峰值工作两种状态间反复切换.在待机状态,大部分模块停止工作,静态电流降低到正常工作的 1/10,开关损耗降为零,此时输出电流仅由输出电容来提供.随着输出电压的下降,芯片被再次唤醒进入工作状态,此时工作的峰值电流被固定在设定的门限值,大小与负载电流无关.在省电模式下,负载的大小决定了工作状态与待机状态的长短,负载越大,工作时间越长,直至待机状态消失.省电模式大大降低了平均静态损耗与开关损耗,使轻负载效率得到明显提高.

2.2 控制结构

图 2 所示为本文作者设计的电流模降压 DC-DC 结构框图.同传统 PWM 控制结构相比,作者提出的省电模式环路增加了箝位模块 (Clamp) 以及待机判决器 (Standby).

输出电压 V_{OUT} 经过分压后输入到误差放大器 EA 的反相输入端,误差放大器的同相输入端接芯片内部带隙基准电压 REF^[6,7]. R_1, C_1 为内部补偿网络.电流比较器 (PWM) 的同相端为叠加电平 V_S ,通常由采样电流、斜坡电流与一个基准电流信号叠加后流入电阻产生:

$$V_S = I_{sense} R_2 + I_{slope} R_2 + I_{REF} R_2 \quad (1)$$

其中 第一项反映了电感电流的大小, I_{sense} 由电阻 R_3 采样和跨导运放放大;第二项为斜坡补偿部分,随着占空比的增大而增大,用于保证电流环路的稳定;第三项产生一个固定基础电平,为 PWM 比较器输入端提供一个合适的直流工作点^[8]. PWM 的反相端为峰值控制信号,由误差放大器输出 V_C 经过箝位模块 (Clamp) 产生.当 V_S 超过控制信号时输出数字信号关断 MP 来控制变

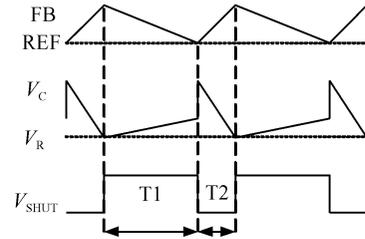


图 3 省电模式波形图

Fig.3 Waveforms of power save mode operation

换器的峰值电流以及占空比. Clamp 有一个高门限 V_H 以及低门限 V_L ;在一般情况下,误差信号 V_C 处于箝位电路限制的高低电平之间,不进行限幅箝位,电感电流的峰值由 V_C 决定.为了防止电流过大损坏芯片内部开关管 MP,箝位电路会限制输入到 PWM 反相端的最高电平,当 V_C 超过上箝位电平时,电感电流峰值就由 V_H 决定,不随 V_C 的升高而增大.下箝位电平 V_L 是本文针对轻负载时的省电模式设计的,当 V_C 低于箝位电路下箝位电平时,电感电流峰值就由 V_L 决定,不随 V_C 的降低而减小.

在轻负载时,反馈机制会使得 V_C 很低,对应电感电流很小,为了提高芯片工作效率,作者提出的省电模式使芯片间歇工作,在待机状态与固定峰值工作两种状态间反复切换,即以较大的电流工作一段时间,当输出电压升高到一定值时,芯片进入待机状态,停止输出,直到输出电压低于一定值时再恢复工作.图 3 所示为省电模式下工作波形示意图. T1 为待机状态, T2 为箝位工作状态.下箝位作用就是在轻负载时,保证 V_C 不会过小,输出电流相对负载电流较大,使输出电压以及 FB 电压逐渐升高, V_C 继续下降,当 V_C 低于一个门限电平 V_R 时, Standby 会输出 V_{SHUT} 信号关断开关管 MP,以及振荡器 (OSC)、斜坡补偿 (Slope)、逻辑控制 (Logic)、过温关断、过压关断等大部分模块,控制芯片进入极低功耗的待机状态.下箝位电平对应的电感电流峰值可以表示为:

$$I_{CL} = \frac{1}{K_{sample}} \left(\frac{V_L}{R_2} - I_{slope} - I_{REF} \right) \quad (2)$$

$$K_{sample} \approx \frac{R_{ON} R_3 G_m}{R_{ON1} + R_3} \quad (3)$$

其中 K_{sample} 为电流采样比例常数; R_{ON}, R_{ON1} 分别为开关管 MP 以及匹配晶体管 MP1 的导通电阻; G_m 为采样放大器的跨导.随着负载电流的减小,电感电流峰值减小,当 $I_{peak} < I_{CL}$ 时,芯片就会自动进入省电模式工作,且在工作状态,峰值电流固定为 I_{CL} .

省电模式工作虽然能够大幅提升轻负载工作效率,但也存在一个弊端.由于待机状态的存在,使得输出电压以及 FB 的纹波变大.为了尽可能地减小纹波,本文在补偿网络的一端增加了开关管 M1, M2.在芯片进入待机状态后,由于误差放大器的输出级需要驱动较大的补偿电容 C_1 ,因此会使得 V_C 的上升较慢,延迟增大, FB 的纹波变大.而增加 M1 后,由于其仅在 V_{SHUT} 为低电平时导通,因此在待机状态, V_C 与 R_1, C_1 的连接断

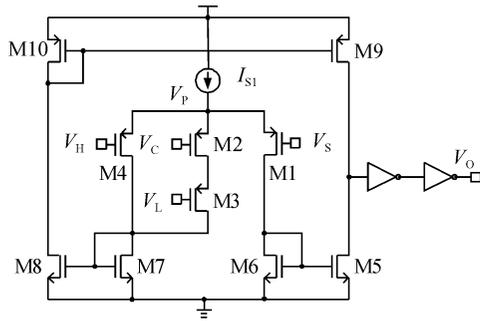


图4 复合比较器电路图

Fig.4 Schematic of multiplex comparator

开,EA作为比较器工作,当 $FB < REF$ 时, V_C 迅速变高,退出待机状态,如图3所示.增加M2的目的是为了使T1向T2的转换过程更加平稳.在待机状态,M2导通,补偿网络连接内部基准电压 V_P ,由于 V_P 与下箝位电平接近,因此在恢复至箝位状态工作时,电容电压变化较小,实现了平稳过渡.

3 电路实现

3.1 箝位以及PWM比较器

如上所述,与传统结构相比,作者提出的结构需要增加高低箝位模块,来限制误差放大器的输出信号,这就增大了芯片面积以及系统功耗.为减小工作电流,提高效率,简化设计,本文提出了一种复合比较器^[8],同时完成了高低箝位以及PWM比较器的功能(图2中Clamp,PWM模块),即实现了“ $V_S \geq \text{Min}(\text{Max}(V_L, V_C), V_H)$ ”的功能.复合比较器电路结构如图4所示,其中, $(W/L)_{1\sim4} = 80\mu\text{m}/1\mu\text{m}$, $(W/L)_{6,7,9,10} = 5\mu\text{m}/5\mu\text{m}$, $(W/L)_{5,8} = 15\mu\text{m}/5\mu\text{m}$.正常工作状态 $I_{S1} = 10\mu\text{A}$,进入待机状态后降为250nA,减小了功耗.没有降为零是考虑到微电流的存在可以使芯片退出待机状态后迅速恢复工作.考虑到 $V_L < V_H$,比较器的工作状态可描述如下:

若 $V_C < V_L$,则M2导通,M4截止,M1和M3构成差分对进行比较,实现了低箝位电压与叠加电平的比较功能,当 V_S 达到 V_L 时 V_O 输出高电平,关断MP;若 $V_L < V_C < V_H$,则M3导通,M4截止,M1和M2构成差分对进行比较,当 V_S 达到 V_C 时 V_O 输出高电平,关断MP;若 $V_C > V_H$,则M2截止,M1和M4构成差分对进行比较,实现了高箝位电压与叠加电平的比较功能,当 V_S 达到 V_H 时 V_O 输出高电平,关断MP.

同典型结构相比,这种复合比较器由于两边差分对不完全对称,因此会存在失调误差.最大误差发生在 $V_C = V_L$ 时,此时要求实现的 V_S 翻转门限为 $V_{Sth} = V_C = V_L$,而实际电路中翻转门限 V_{Sth} 可以在M6和M7电流相等的条件下得到^[8~10]:

$$V_{Sth} = V_P - |V_{THP}| - \sqrt{\frac{I_{S1}}{\mu_P C_{OX} (W/L)_{1\sim4}}} \quad (4)$$

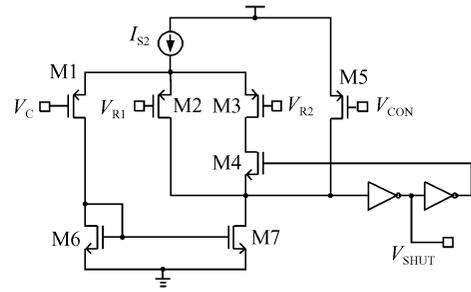


图5 待机判决器电路图

Fig.5 Schematic of standby comparator

其中 V_P 为M1/M2/M4的源极电压,如图4所示; V_{THP} 为pMOS的阈值电压; μ_P 为pMOS中空穴的迁移率; C_{OX} 为单位面积的栅氧化层电容.此时,由于M2与M3串联,等效沟道长度加倍,因此 V_C 可以表示为:

$$V_C = V_P - |V_{THP}| - \sqrt{\frac{2I_{S1}}{\mu_P C_{OX} (W/L)_{1\sim4}}} \quad (5)$$

则此时的翻转门限误差 Δ_{max} 为:

$$\Delta_{max} = V_{Sth} - V_C = (\sqrt{2} - 1) \sqrt{\frac{I_{S1}}{\mu_P C_{OX} (W/L)_{1\sim4}}} \quad (6)$$

由上式可见,为了减小 Δ_{max} 可以减小 I_{S1} 或增大 $(W/L)_{1\sim4}$,但减小 I_{S1} 会减小比较器输出的压摆率,因此可以适当增大 $(W/L)_{1\sim4}$.在DC-DC工作中,由于反馈环路可以实时调整 V_C ,达到一种动态平衡,所以比较器的门限漂移不会带来明显的影响.另外,高低箝位在实际应用中也不要求非常精确,因此复合比较器很容易满足实际要求.同时在电路实现中,可以在M3的栅极增加一个电容到地,同时与 V_L 之间用开关管隔离.当进入待机状态后,断开M3栅极与 V_L 的连接,使电容上电压即M3栅极电压得以保持,有助于退出待机时平稳恢复工作.

3.2 待机状态判决器

芯片在轻负载工作时,通过检测反馈电压来自动进入省电模式;而何时进入与退出待机状态是通过一个电压迟滞比较器对误差放大器的输出信号进行检测实现的.通过切换门限电平完成了电压迟滞.图5所示为待机状态判决器的电路图.其中, $(W/L)_{1\sim3} = 20\mu\text{m}/1\mu\text{m}$, $(W/L)_{4,5,8} = 10\mu\text{m}/0.5\mu\text{m}$, $(W/L)_{6,7} = 10\mu\text{m}/5\mu\text{m}$, $I_{S2} = 2\mu\text{A}$. V_{R1} , V_{R2} 为内部基准电压,且 $V_{R2} < V_{R1} < V_L$. V_{CON} 为使能控制信号,正常工作时为高电平,出现过压过温等特殊情况下为低电平. V_{SHUT} 为输出信号,为高电平表示芯片进入待机状态,关闭芯片的大部分模块;为低电平表示退出待机状态,进入箝位工作状态.考虑到 $V_{R1} > V_{R2}$,比较器的工作状态可描述如下:

若 $V_C < V_{R2}$,则M1导通, V_{SHUT} 输出高电平,进入待机状态,M4截止,M1和M2构成差分对进行比较,只有当 V_C 达到 V_{R1} 时 V_{SHUT} 输出低电平,退出待机状态;若 $V_{R2} < V_C < V_{R1}$,由于M4状态未知,则 V_{SHUT} 与前一

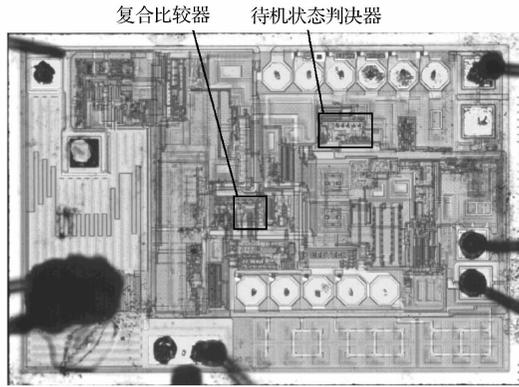


图 6 实现 DC-DC 变换器的显微照片

Fig. 6 Micrograph of the achieved DC-DC converter

状态保持一致;若 $V_{R1} < V_C$, 则 M1 截止, V_{SHUT} 输出低电平, 退出待机状态, M4 导通, M1 和 M3 构成差分对进行比较, 只有当 V_C 低于 V_{R2} 时 V_{SHUT} 输出高电平, 进入待机状态. 由以上逻辑可以看到, 电路实现了高门限 V_{R1} 、低门限 V_{R2} 的迟滞比较器功能.

4 测试结果与讨论

作者提出的结构已经应用于一款电流模 PWM 型单片 DC-DC 中, 芯片已经基于韩国 Hynix 0.5 μ m CMOS 工艺采用 Cadence 和 Hspice 等软件在工作站上完成电路和版图设计, 并进行了投片. 本文实现的 DC-DC 将开关管、同步管、电流检测电路、软启动电路以及频率补偿网络全部集成在芯片内部, 同时采用陶瓷电容, 大大节省了 PCB 面积. 输入电压可以为 2.5~5.5V, 非常适于单锂离子电池供电系统. 高达 96% 的效率以及低漏失工作的实现使得便携应用中的电池寿命进一步延长. 经常温测试, 输入电压 3.6V、输出电压 1.8V、负载电流 50~600mA 变化时, 对应的输出电压负载调整率为 0.5%. 50mA 负载条件下, 输入电压 2.5~5V 变化对应的线性调整率为 0.9%, 600mA 负载条件下为 0.3%. 指标均已达到市场同类产品需求. 图 6 为该芯片的显微照片, 裸片面积为 878 μ m \times 1313 μ m, 复合比较器及待机状态判决器位置如图所示. 图 7(a) 所示为输入电压 3.6V、输出电压 1.8V、负载电流 500mA 时的常温软启动波形, 图 7(b) 所示为负载电流 50mA 条件下的省电模式波形. REF 为利用 Model-34A 型号的 PicoProbe 观察的片内基准电压信号. 可见当 FB 低于 REF 时, 芯片进入箝位工作状态, 电感电流峰值固定. 随着 FB 的逐渐增大, 经过几个周期后进入待机状态, 芯片的大部分功能模块全部关断, 开关管和同步管也不会导通, 电感电流停止输出, FB 电压逐渐下降, 如此往复.

表 1 所示为输入电压 3.6V 常温条件下, 本文结构与传统 DCM 控制方式(EUP3408)、轻负载 PFM 模式(TPS62000)的特性指标对比. 图 8 所示为输入电压 3.6V/5V 输出电压 1.8V 时, 相同条件下 3 种芯片的效率对比曲线. 具体负载下的数据可见表 2. 图 9 所

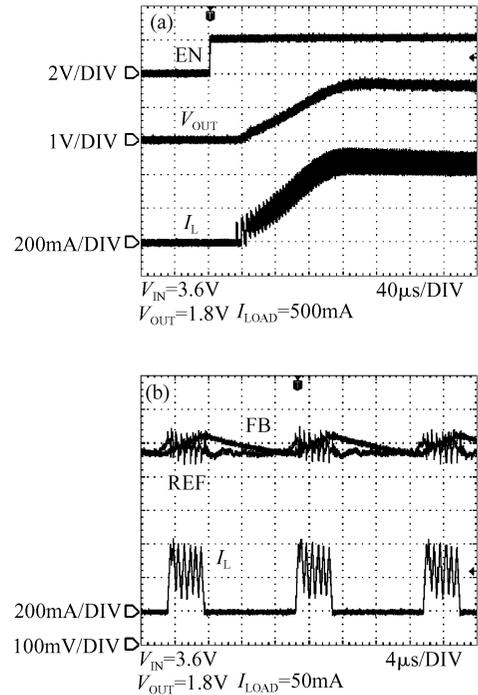


图 7 测试波形 (a)软启动; (b)省电模式

Fig. 7 Measured waveforms (a) Soft start; (b) Power save mode

表 1 芯片特性对比总结

Table 1 Performance comparison summary of chip

Characteristics	EUP3408	TPS62000	Proposed
Inductor(off-chip)/ μ H	2.2	10	2.2
Input capacitor/ μ F	4.7	10	4.7
Output capacitor/ μ F	10	10	10
Oscillator frequency/MHz	1.5	0.75	1.5
Shutdown current/ μ A	<1	<1	<1
Maximum load current/mA	800	600	600
Quiescent current/ μ A	270	50(PFM)	25(Standby)
High side switch on resistance/ Ω	0.28	0.28	0.28
Low side switch on resistance/ Ω	0.30	0.28	0.30

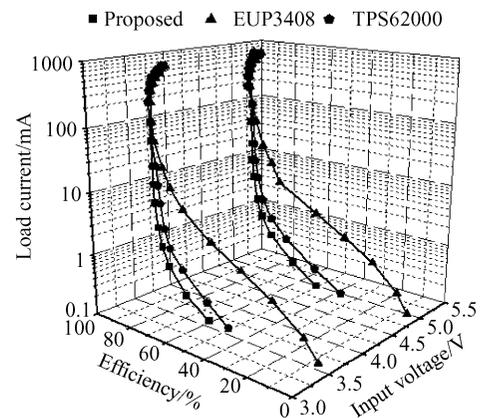


图 8 测试效率对比

Fig. 8 Comparison of measured efficiency

表 2 效率特性对比

Table 2 Efficiency comparison summary

Load current/mA	Efficiency/%		
	EUP3408	TPS62000	Proposed
0.1	9	51	62
0.5	31	75	84
1	46	82	88
5	75	87	90
10	81	88	91
50	88	91	91
100	91	91	92

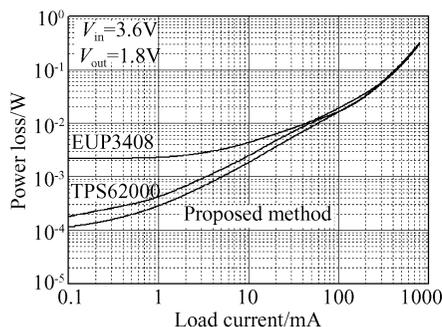


图 9 功率损耗对比

Fig.9 Comparison of power loss

示为不同负载下测得的功率损耗曲线。

由此可见,在大负载时 3 种芯片的效率及功率损耗几乎相等;而在轻负载时,本文芯片待机状态静态电流仅为 $25\mu\text{A}$,约为 EUP3408 的 10%,TPS62000 的 50%;功率损耗明显低于 DCM 结构,与 PFM 结构相当.且在 1mA 以下的超轻负载条件下,本文结构实现的效率略优于 PFM 结构, 0.1mA 负载下的效率可达 62%.同时,由于本文结构在固定峰值状态下,振荡器的频率固定,不随输入输出电压变化,因此与 PFM 相比对外围电路的影响相对较小^[11].然而,本方法在提高轻负载效率的同时牺牲了输出电压纹波,图 10 所示为本文结构与传统全负载 CCM 模式的纹波对比.可见在轻负载省电模式下,纹波偏大,约为 50mV 左右,随着负载电流的增大,误差电压不受下箝位电平控制后,纹波降为 8mV .经市场调研,凌特以及研诺科技均存在输出纹波

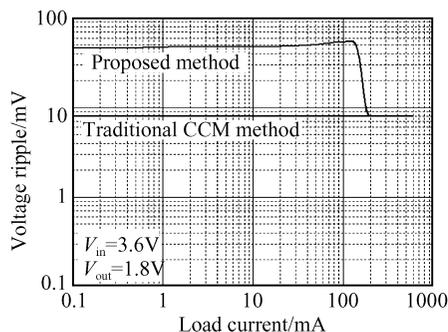


图 10 输出电压纹波对比

Fig.10 Comparison of output voltage ripple

100mV 左右的同类产品热销,在很多应用中,轻负载条件下对效率的要求要胜于输出纹波.当然,增大输出电容以及优化反馈网络可以进一步减小纹波,而由此可能引起环路稳定性问题,相关研究成果将在后续论文中进行报道.

5 结论

针对便携式应用 PWM 控制电流模 DC-DC 变换器,提出了一种有效提高轻负载效率的省电模式结构,并在 $0.5\mu\text{m}$ CMOS 工艺线上进行了投片验证.该结构通过在待机状态与固定峰值两种状态间反复切换工作,大大降低了轻负载时的平均静态损耗以及开关损耗,实现了全负载范围内的高效率,延长了电池的使用时间,利于便携式应用.电路结构简单,易于实现,对其他 DC-DC 以及数模混合电路的设计具有借鉴作用.

参考文献

- [1] Yuan Bing, Lai Xinquan, Wang Hongyi, et al. The design of a start-up circuit for BOOST DC-DC converter with low supply voltage. ASICON 2005 6th Int Conf on ASIC Proc, Shanghai, IEEE Press, 2005; 512
- [2] Chen Dongpo, He Lenian, Yan Xiaolang. A current-mode DC-DC buck converter with high stability and fast dynamic response. Chinese Journal of Semiconductors, 2006, 27(10): 1742
- [3] Zhou Siyuan, Rincon-Mora G A. A high efficiency, soft switching DC-DC converter with adaptive current-ripple control for portable applications. IEEE Tran Circuits Syst II, 2006, 53(4): 319
- [4] Liu Lianxi, Yang Yintang, Zhu Zhangming. A high efficiency PWM/PFM dual-mode DC/DC switching regulator. Research & Progress of SSE, 2006, 26(2): 209 (in Chinese) [刘帘曦, 杨银堂, 朱樟明. PWM/PFM 双模调制的高效率 DC/DC 开关电源. 固体电子学研究进展, 2006, 26(2): 209]
- [5] Gildersleeve M, Forghani-Zadeh H P, Rincon-Mora G A. A comprehensive power analysis and a highly efficient, mode-hopping DC-DC converter. 2002 IEEE Asia-Pacific Conference on ASIC, 2002; 153
- [6] Seago J. OPTI-LOOP architecture reduces output capacitance and improves transient response. Linear Application Note76, 1999
- [7] Lee C F, Mok P K T. A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique. IEEE J Solid-State Circuits, 2004, 39(1): 3
- [8] Wang Hongyi, Lai Xinquan, Li Yushan. Reducing the slope compensation effect on the load capacity of DC-DC converters. Chinese Journal of Semiconductors, 2006, 27(8): 1484 (in Chinese) [王红义, 来新泉, 李玉山. 减小 DC-DC 中斜坡补偿对带载能力的影响. 半导体学报, 2006, 27(8): 1484]
- [9] Erickson R W, Maksimovic D. Fundamentals of power electronics. 2nd ed. Secaucus, NJ, USA: Kluwer Academic Publishers, 2000
- [10] Razavi B. Design of analog CMOS integrated circuits. McGraw-Hill, 2000
- [11] Wang Haiyong, Li Yongming, Chen Hongyi. System architecture design and research of a DC/DC switch mode power supply for portable electronics system. Research & Progress of SSE, 2002, 22(2): 164 (in Chinese) [王海永, 李永明, 陈弘毅. 便携式电子系统的 DC/DC 开关电源系统结构设计和研究. 固体电子学研究进展, 2002, 22(2): 164]

High Efficiency Realization of a DC-DC Converter at Light Loads for Portable Applications

Yuan Bing^{1,2,†}, Lai Xinquan², Li Yanming¹, Ye Qiang², Wang Hongyi², and Jia Xinzhang¹

(1 *School of Microelectronics, Xidian University, Xi'an 710071, China*)

(2 *Institute of Electronic CAD, Xidian University, Xi'an 710071, China*)

Abstract: A novel control structure for a DC-DC converter is presented. At light loads, the chip enters power save mode automatically and works in fixed peak current mode with standby intervals by detecting the feedback voltage. It reduces the average quiescent and switching power loss greatly, which increases efficiency at light loads and extends battery life in portable systems. Internal synchronous rectification eliminates the need for a Schottky diode and increases efficiency further. A DC-DC buck converter with the proposed structure has been fabricated with a $0.5\mu\text{m}$ CMOS process for validation. Under the condition of 3.6V input and 1.8V output, the quiescent current in the standby state is only $25\mu\text{A}$. The measured efficiency for a 0.1mA load current is up to 62% and the maximum efficiency is 96%.

Key words: DC-DC buck converters; efficiency; light loads; power save mode; standby state

EEACC: 1280; 2570D

Article ID: 0253-4177(2008)06-1198-06

† Corresponding author. Email: yuanbing1983@126.com; byuan@mail.xidian.edu.cn

Received 22 October 2007, revised manuscript received 23 December 2007