

# 高压 MOSFET 直流特性宏模型的建立与参数优化\*

许佳宜<sup>1</sup> 石艳玲<sup>1,†</sup> 任 铮<sup>2</sup> 胡少坚<sup>2</sup> 万星拱<sup>2</sup> 丁艳芳<sup>1</sup> 赖宗声<sup>1</sup>

(1 华东师范大学信息学院电子系, 上海 200062)

(2 上海集成电路研发中心, 上海 201203)

**摘要:** 分析了 SPICE BSIM3 模型对高压双扩散漏 MOSFET(HV double diffuse drain MOSFET)模拟过程中产生的较大偏差,有针对性地提出一种由 nMOSFET, MESFET, 二极管等常规 SPICE 器件组成的高压晶体管宏模型. 该宏模型结构简单、使用方便,能准确描述 HVMOS 的  $I-V$  特性. 为了提高该模型的可缩放性(scalability),将 MESFET 阈值电压对体电压的敏感因子  $K_1$  进行优化,提取了不同沟道尺寸( $W/L$ )下  $K_1$  取值的半经验公式,使该宏模型能够适用于不同尺寸的晶体管,大大提高了它的实用价值. 该尺寸可缩放宏模型(scalable macromodel)能应用于基于 SPICE 模型的各种通用 EDA 软件.

**关键词:** 高压双扩散漏 MOS 晶体管; MESFET; 尺寸可缩放宏模型; SPICE 模型

**PACC:** 7340Q EEACC: 2530F; 2560B; 2560P

**中图分类号:** TN386.1 **文献标识码:** A **文章编号:** 0253-4177(2008)08-1561-05

## 1 引言

近年来,高压器件集成电路工艺的发展以及高压晶体管与低压模块兼容工艺的进步,使得高压晶体管越来越广泛地应用于各种功率集成电路,如驱动电路、接口电路等,因而对高压 MOS 晶体管的深入研究热情日益高涨. 高压双扩散漏 MOSFET(HV double diffused drain MOSFET, HV DDDMOSFET)就是该类器件中比较典型的一种,其实现工艺简单且与传统 CMOS 工艺兼容,在提高耐压的同时节约了成本,一般工作电压在 14~35V 左右<sup>[1]</sup>,能满足耐压要求不高的高压电路需求,如 LCD 驱动电路、电源芯片管理电路等.

随着 HVMOSFET 和高压器件工艺的发展,人们对器件模型提出了更高的要求. 然而,目前应用最为广泛的常规 MOSFET 模型 BSIM3v3<sup>[2]</sup>在对 HVDDDMOSFET 进行模拟时存在明显偏差:高压下的源漏电流模拟值远大于实际测量值,这给电路设计仿真带来很多不便. 针对 HVMOSFET 的特点,人们提出了各种建模方法<sup>[3~5]</sup>,但至今尚未有业界公认的、适用于通用 EDA 软件的标准 HVMOSFET 模型. 作者针对 HV DDDMOS 晶体管提出了基于 BSIM3 的尺寸可变宏模型(scalable macromodel),在模拟不同宽长比的 HVMOSFET 时都能获得较为理想的结果,且宏模型子电路中的器件直接采用 SPICE 模型中的常规器件,因此能够方便地应用于各种基于 SPICE 模型的仿真器和 EDA 软件,有较强的实用性与兼容性.

## 2 HV DDDMOSFET $I-V$ 模型的提出

图 1 为常规低压(low-voltage, LV)MOSFET 与 HV DDDMOSFET 的剖面图对比,可以看出 HVMOSFET 的栅氧更厚、阱区更深,其 n 阱结深  $D_{jwell}$  约为  $2.5\mu\text{m}$ ,  $T_{ox}$  达到了 36nm,而低压 MOS 晶体管分别只有  $1.7\mu\text{m}$  和 7nm. 而且高压管在原有重掺杂源漏区周围包裹了一层轻掺杂扩散区,其形状、结深都与常规低压 MOSFET 中的 LDD(lightly doped drain)结构有很大差异,且掺杂浓度比 LDD 要低 1~2 个数量级,所以当电压升高时,轻掺杂区可以承担较大压降,使 DDDMOSFET 更耐压.

正是由于轻掺杂源漏区的存在,BSIM3 模型对 DDDMOSFET 的  $I-V$  特性描述产生了偏差. 图 2 是宽长比为  $20\mu\text{m}/1.2\mu\text{m}$  的 14V-HVMOSFET 的  $I-V$  曲线,图中实线为测量曲线,虚线为 BSIM 模型仿真曲线. 对比测量值与仿真值发现:当  $V_{gs}$  大于 6V 时,  $I_{ds}$  随  $V_{gs}$  增大速率明显变缓.

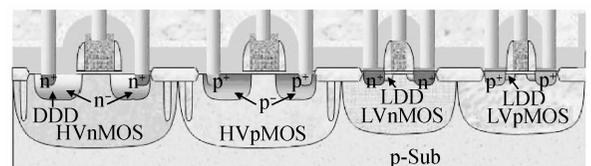


图 1 HV DDDMOSFET 与 LV MOSFET 的器件结构  
Fig.1 Structure of HV DDDMOSFET & LV MOSFET

\* 国家自然科学基金(批准号:60676047,60606010),上海市科委启明星计划(批准号:075007033,04QMX1419,07QB14018)及上海-应用材料研究与发  
展基金(批准号:0522)资助项目

† 通信作者. Email: ylshi@ee.ecnu.edu.cn

2007-11-02 收到,2008-03-25 定稿

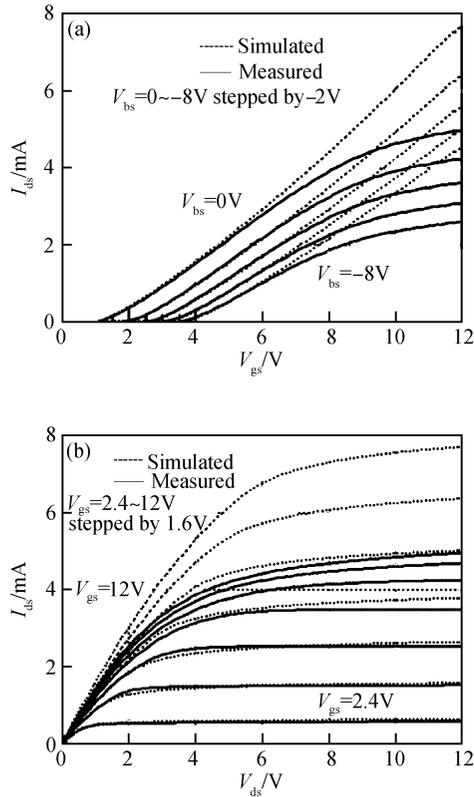


图 2 沟道宽长比为  $20\mu\text{m}/1.2\mu\text{m}$  的 14V-HVMOS  $I_{\text{ds}}-V_{\text{gs}}$  及  $I_{\text{ds}}-V_{\text{ds}}$  曲线 (a)  $V_{\text{ds}}=12\text{V}$ ,  $V_{\text{bs}}=0\sim-8\text{V}$ ; (b)  $V_{\text{bs}}=0\text{V}$ ,  $V_{\text{gs}}=2.4\sim12\text{V}$

HVMOSFET 的耐压结构决定了它具有特殊的饱和机制. 在高压 MOSFET 中, 存在 3 种饱和机制: 本征 MOS 管的沟道夹断、本征 MOS 管沟道载流子速度饱和和轻掺杂区的电流饱和. 这 3 种机制并不是完全独立的, 在同一时刻可能发生其中的两种机制.

当  $V_{\text{gs}}$  很低时, DDDMOSFET 的饱和首先由沟道夹断引起.  $V_{\text{gs}}$  为中等电压时, 饱和首先由沟道速度饱和引起, 此时的  $I_{\text{ds}}$  与  $V_{\text{gs}}$  呈线性关系. 在以上两种情况下, 不排除当  $V_{\text{ds}}$  非常大时, 轻掺杂区的饱和与原有沟道饱和重叠发生, 毕竟高压管的大部分源漏电压是由轻掺杂区承担. 当  $V_{\text{gs}}$  很高时, 轻掺杂区先于沟道饱和, 具体状态为升高的  $V_{\text{ds}}$  电压大部分降落于轻掺杂漏区, 并未直接加到沟道区, 轻掺杂区饱和时沟道还处于线性区, 由于此时沟道未真正饱和, 所以称之为准饱和和效应 (quasi-saturation effect)<sup>[3,6]</sup>. 此时  $I_{\text{ds}}$  不再由沟道控制, 而是由轻掺杂区的电流决定, 因此当  $V_{\text{gs}}$  进一步升高时,  $I_{\text{ds}}$  随  $V_{\text{gs}}$  的上升并不显著.

从图 2(b) 可以看出,  $V_{\text{gs}}$  为  $2.4\sim7.2\text{V}$  的  $I_{\text{ds}}$  曲线与  $V_{\text{gs}}$  呈线性关系, 说明 MOS 管沟道载流子速度饱和<sup>[7]</sup>. 随着  $V_{\text{gs}}$  的继续上升  $I_{\text{ds}}$  变化很小, 对应模拟值 (未考虑轻掺杂区饱和) 则继续升高, 说明  $I_{\text{ds}}$  不再由  $V_{\text{gs}}$  决定, 而是由于轻掺杂区的饱和而饱和, 即出现了准饱和和效应. 当轻掺杂区饱和之后, 升高的  $V_{\text{ds}}$  电压几乎全部降落在此区域, 而沟道区的压降几乎不变. 这与普通

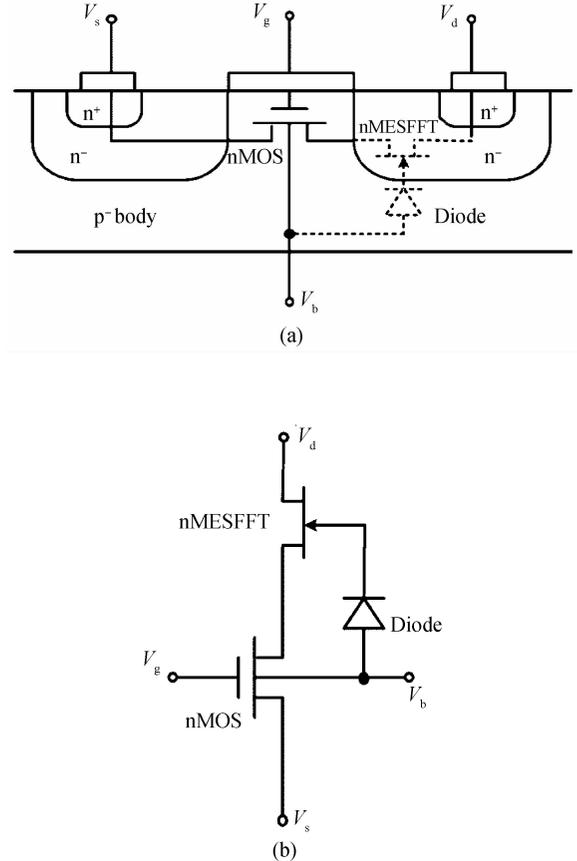


图 3 高压 MOS 晶体管的宏模型示意图 (a) 宏模型对应于 DDDMOSFET 的原理图; (b) 宏模型对应的子电路图

Fig. 3 Schematic of HV macromodel for HV DDDMOSFET (a) HV DDDMOSFET cross-section with corresponding macro-model module; (b) Sub-circuit of the HV macromodel

MOSFET 沟道夹断饱和时的电压分布情形比较相似.

针对 HV DDDMOSFET 轻掺杂源漏的特点, 作者提出了一种有效表征 HVMOSFET 准饱和效应的宏模型, 模型结构如图 3 所示. 它由常规 nMOSFET, MESFET 和二极管组成. 模型中的 MESFET 具有模拟轻掺杂区饱和的作用, 二极管则模拟衬底电压对扩散区的调制作用.

考虑到 DDDMOSFET 中常规的沟道饱和与准饱和同时存在, 需要在宏模型中分别对它们进行控制, 尤其是轻掺杂区的饱和. 而轻掺杂区的饱和主要受  $V_{\text{ds}}$  影响, 其行为与结型场效应晶体管非常相似, 因此考虑使用 MESFET 对轻掺杂区进行模拟.

### 3 宏模型尺寸可变特性的优化

为了使提出的宏模型适用于不同沟道尺寸的 HV-MOSFET, 必须进一步优化模型参数. 根据 BSIM3 模型, 随着沟道长度的缩短, MOSFET 的阈值电压会降低, 但阈值电压对衬底偏置的敏感性会减弱<sup>[2]</sup>. 使用模型对测试数据进行参数拟合时发现, 相同参数条件下, 长沟道器件  $I-V$  曲线能够拟合, 而短沟道器件  $I_{\text{ds}}$  模拟值大于实际值. 考虑到 DDDMOSFET 的  $I_{\text{ds}}$  主要由轻

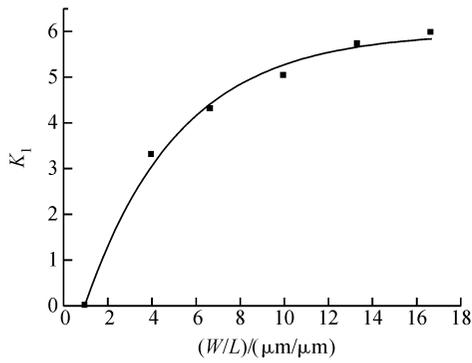


图 4 参数  $K_1$  与  $W/L$  的函数曲线

Fig.4 Exponential curve of  $K_1$  versus channel width/length ( $W/L$ )

掺杂区控制,而轻掺杂区电流受到衬底偏置影响,故而针对模拟轻掺杂区的 MESFET 进行参数优化.

在 SPICE 模型<sup>[8]</sup>中, MESFET 的  $I_{ds}$  表达式为:

$$I_{ds} = \frac{BETAeff}{(1 + UCRIT \times V_{gst})} V_{gst}^{VGEXP} (1 + LAMBDA \times V_{ds}) \tanh(ALPHA \times V_{ds}) + I_{dsubthreshold} \quad (1)$$

其中  $UCRIT$  为迁移率衰退临界电场 (critical field for mobility degradation), 它反映的是电压  $V_{gst}$  (见等式(3))对载流子迁移率的影响程度. 而轻掺杂区并不在栅氧下方, 其迁移率主要受  $V_{ds}$  控制. 所以在对模拟轻掺杂区的 MESFET 进行参数设定时, 只考虑  $V_{ds}$  对其迁移率退化的影响, 故  $UCRIT$  设为默认值 0, 进而公式 (1) 可以表示为:

$$I_{ds} = [BETAeff \times V_{gst}^{VGEXP} (1 + LAMBDA \times V_{ds}) \tanh(ALPHA \times V_{ds})] + I_{dsubthreshold} \quad (2)$$

其中  $BETAeff$  为有效电导参数 (efficient transconductance parameter);  $V_{gst}^{VGEXP}$  是栅压指数 (gate voltage exponent);  $LAMBDA$  是沟道长度调变参数 (channel length modulation parameter);  $ALPHA$  是饱和因子 (saturation factor), 其中  $V_{gst}$  为:

$$V_{gst} = V_{gs} - V_{tc} = V_{gs} - [V_{TO} + GAMDS \times V_{ds} + K_1 (V_{bs})] \quad (3)$$

其中  $V_{tc}$  是有效阈值电压;  $V_{TO}$  是阈值电压;  $GAMDS$  是漏电压导致的阈值电压降低系数 (threshold voltage lowering coefficient induced by drain voltage);  $K_1$  是阈值电压对体电压的敏感因子 (threshold voltage sensitivity to bulk node).

上文已经提到, 我们需要通过调节不同尺寸下衬底偏置对轻掺杂漏区电流的影响来拟合器件的曲线, 故选择调节 MESFET 的参数  $K_1$  来实现. 由公式 (3) 可知,  $K_1$  上升则  $V_{tc}$  增大,  $V_{gst}$  减小, 又由公式 (2),  $V_{gst}$  的减小使  $I_{ds}$  减小. 因此针对沟道长度不断缩小的晶体管, 可以通过增大  $K_1$  来降低  $I_{ds}$ , 即通过控制 MESFET 的沟道电流来控制 DDDMOSFET 的电流.

针对不同沟道宽长比 ( $W/L$ ), 通过调节 MESFET 的参数  $K_1$  的方法, 能较好地拟合 HV MOSFET 宏模型的仿真曲线与测量曲线. 将不同尺寸器件拟合时的  $K_1$  取值进行归纳分析, 得到了  $K_1$  随  $W/L$  变化的关系曲线, 如图 4 所示. 根据此曲线提取的函数为:

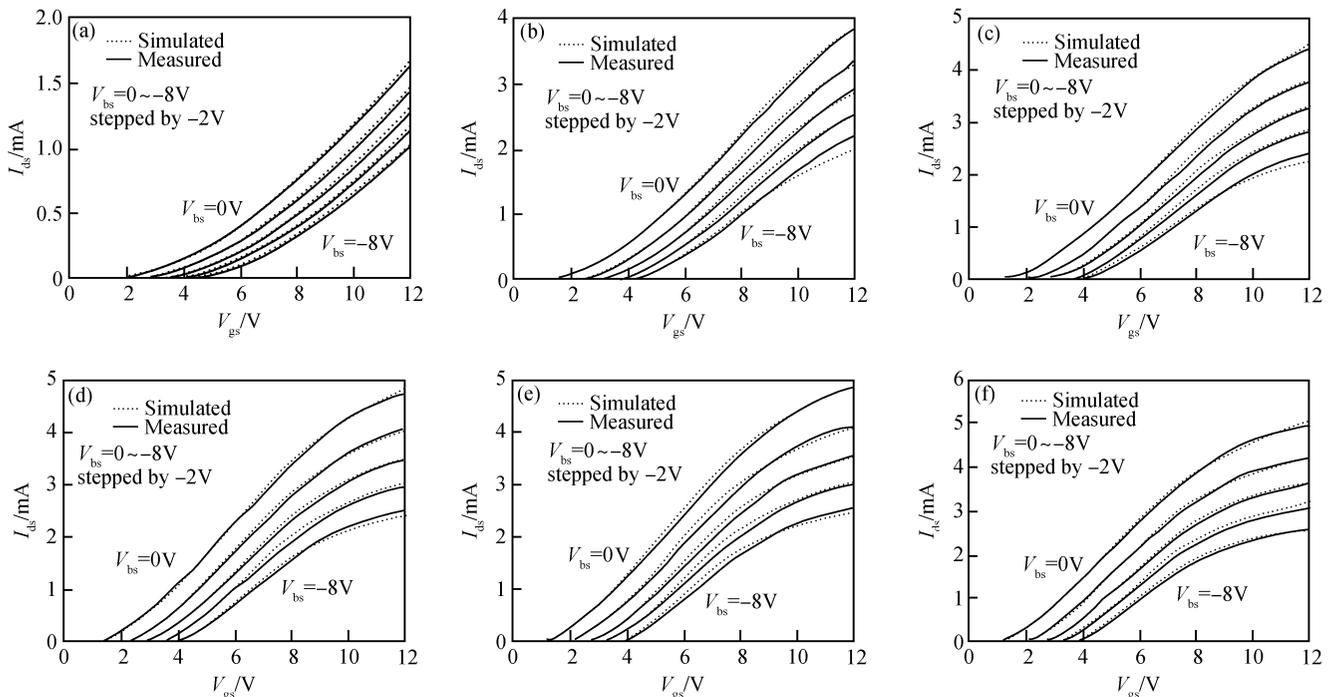


图 5 不同沟道尺寸晶体管的  $I_{ds}-V_{gs}$  曲线 ( $V_{ds} = 12V, V_{bs} = 0 \sim -8V$ ) (a)  $W/L = 20\mu m/20\mu m$ ; (b)  $W/L = 20\mu m/5\mu m$ ; (c)  $W/L = 20\mu m/3\mu m$ ; (d)  $W/L = 20\mu m/2\mu m$ ; (e)  $W/L = 20\mu m/1.5\mu m$ ; (f)  $W/L = 20\mu m/1.2\mu m$

Fig.5 Simulated and measured DDDMOSFET  $I_{ds}-V_{gs}$  curves with different channel lengths ( $V_{ds} = 12V, V_{bs} = 0 \sim -8V$ ) (a)  $W/L = 20\mu m/20\mu m$ ; (b)  $W/L = 20\mu m/5\mu m$ ; (c)  $W/L = 20\mu m/3\mu m$ ; (d)  $W/L = 20\mu m/2\mu m$ ; (e)  $W/L = 20\mu m/1.5\mu m$ ; (f)  $W/L = 20\mu m/1.2\mu m$

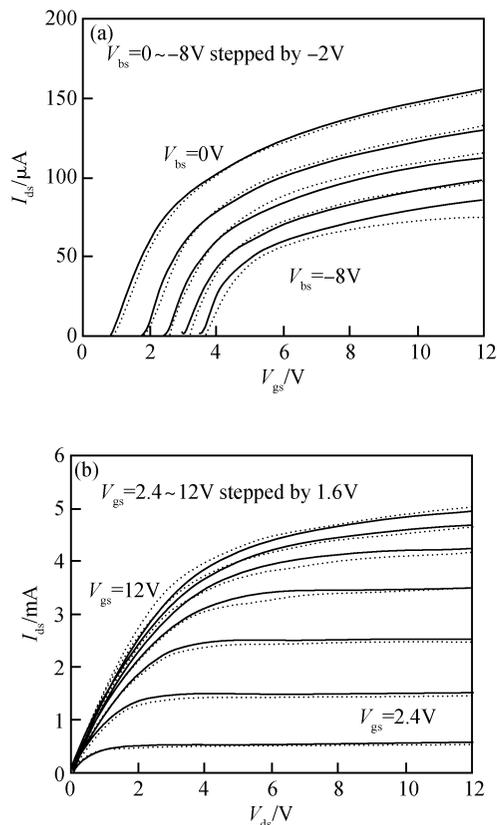


图 6 沟道尺寸为  $W/L = 20\mu\text{m}/1.2\mu\text{m}$  晶体管的  $I-V$  曲线 (a)  $V_{ds} = 0.1\text{V}$ ,  $V_{bs} = 0 \sim -8\text{V}$ ; (b)  $V_{bs} = 0\text{V}$ ,  $V_{gs} = 2.4 \sim 12\text{V}$

Fig.6 Simulated and measured curves of  $W/L = 20\mu\text{m}/1.2\mu\text{m}$  DDDMOSFET of  $I-V$  curves (a)  $V_{ds} = 0.1\text{V}$ ,  $V_{bs} : 0 \sim -8\text{V}$ ; (b)  $V_{bs} = 0\text{V}$ ,  $V_{gs} = 2.4 \sim 12\text{V}$

$$K_1 = -a_1 \exp\left(-\frac{W/L}{t}\right) + a_0$$

其中  $a_1 = -7.49367 (\pm 0.36244)$ ;  $t = 4.25913 (\pm 0.547)$ ;  $a_0 = 5.98916 (\pm 0.22548)$ . 由该函数可知, 随着器件沟道  $W/L$  的增大,  $K_1$  调节的增幅变缓. 此经验函数对尺寸在  $W/L = 20\mu\text{m}/20\mu\text{m}$ ,  $W/L = 1.8 \sim 20\mu\text{m}/20\mu\text{m}$ ,  $W/L = 20\mu\text{m}/1.2 \sim 20\mu\text{m}$  范围内的 14V DDDMOS 晶体管都适用, 完善了宏模型的可缩放性能.

#### 4 参数优化的宏模型模拟结果

研究中采用成熟的  $0.35\mu\text{m}$  14V HVMOS 工艺对 double diffused drain 结构的 HVMOSFET 进行了实验流片, 并使用 Agilent ICCAP 测量系统测试了沟道宽度从  $1.5 \sim 20\mu\text{m}$ 、沟道长度从  $1.2 \sim 20\mu\text{m}$  的一系列不同尺寸的 HVMOSFET. 针对实验数据, 采用文中提出的宏模型对 HVMOSFET 进行数据拟合与参数提取,

通过调整  $K_1$  取值优化模型, 最后获得了能满足不同宽长比 DDDMOSFET 的尺寸可缩放宏模型.

图 5(a) ~ (f) 是不同尺寸 HVMOSFET 在高漏压下的  $I_{ds}-V_{gs}$  曲线, 沟道宽度为  $20\mu\text{m}$ , 长度从  $20\mu\text{m}$  到  $1.2\mu\text{m}$ , 模拟值与测量值都较为吻合. 图 6 是  $W/L = 20\mu\text{m}/1.2\mu\text{m}$  的 MOSFET 的  $I-V$  特性曲线, 数据与图 5(f) 取自同一器件, 测试偏置不同. 图 6(a) 为低漏压下的  $I_{ds}-V_{gs}$  曲线, 图 6(b) 为  $I_{ds}-V_{ds}$  曲线, 对照图 2, 可见短沟道器件的曲线拟合度大大改善. 这说明上述模型在准确描述器件高压  $I-V$  特性的同时, 仍能较好地描述其低压时的工作特性.

#### 5 结论

针对 SPICE BSIM3 模型模拟高压双扩散漏 MOSFET (HV double diffuse drain MOSFET) 时产生的偏差, 提出了一个尺寸可缩放的宏模型. 该宏模型由常规 nMOSFET, MESFET 和二极管组成, 都采用 SPICE 模型元件, 因此能够实现与一般 EDA 软件的兼容. 进一步探索了此宏模型对不同尺寸器件  $I-V$  特性的描述能力, 提出了 MESFET 参数  $K_1$  随着 DDDMOSFET  $W/L$  变化的经验函数, 通过调节  $K_1$  完善了 HV DDDMOSFET 宏模型的可缩放性能. 此模型有较强的实用价值, 能广泛应用于高压集成电路的设计与仿真.

#### 参考文献

- [1] Haas J, Au K, Martin L C, et al. High voltage CMOS LCD driver using low voltage CMOS process. Proceedings of the Custom Integrated Circuits Conference, 1989; 14. 6/1-4
- [2] Liu W D, Jin X D, Chen J, et al. BSIM3v3. 2. 2 MOSFET model users' manual. University of California, Berkeley, 1995
- [3] Chauhana Y S, Anghela C, Krummenacher F, et al. Scalable general high voltage MOSFET model including quasi-saturation and self-heating effects. Solid-State Electron, 2006, 50: 1801
- [4] Wu X L, Chen J N, Ke D M, et al. A circuit macromodel of high voltage LD MOS based on numerical simulation. IEEE Int Workshop VLSI Design & Video Tech, 2005: 90
- [5] Ren Z, Hu S J, Shi Y L, et al. Optimization of BSIM3  $I-V$  model for double diffused drain HV MOSFET. Proceedings of the 8th Int Conf on Solid-State and Integrated-Circuit Technology (IC-SICT), 2006: 1349
- [6] Anghel C, Hefyene N, Ionescu A M, et al. Physical modelling strategy for (quasi-) saturation effects in lateral DMOS transistor based on the concept of intrinsic drain voltage. Int Semiconductor Conf, 2001: 417
- [7] Yamaguchi K. Field-dependent mobility model for two-dimensional numerical analysis of MOSFET's. IEEE Trans Electron Devices, 1979, 26: 1068
- [8] Avant! Corp. Star-hspice manual. 2001: 17

## A Macromodel and Parameter Optimization for the $I$ - $V$ Characteristics of High-Voltage MOSFETs\*

Xu Jiayi<sup>1</sup>, Shi Yanling<sup>1,†</sup>, Ren Zheng<sup>2</sup>, Hu Shaojian<sup>2</sup>, Wan Xinggong<sup>2</sup>,  
Ding Yanfang<sup>1</sup>, and Lai Zongsheng<sup>1</sup>

(1 *Electronic Engineering Department, East China Normal University, Shanghai 200062, China*)

(2 *Shanghai IC Research and Development Center, Shanghai 201203, China*)

**Abstract:** This paper presents a macromodel applied to a high-voltage double diffused drain MOSFET (HV DDDMOSFET) after analyzing the distortion between measured curves and simulated curves obtained by the SPICE BSIM model. The macromodel is composed of regular SPICE devices, such as general nMOSFETs, MESFETs and diodes. The structure of the macromodel is simple. It is convenient to use, and it can describe the  $I$ - $V$  characteristics correctly. In order to improve the scalability of the macromodel, the MESFET's parameter  $K_1$  (threshold voltage sensitivity to bulk node) has been optimized. A quasi-empirical expression between  $K_1$  and  $W/L$  of MOSFET has been obtained, which allows the macromodel to fit devices in different dimensions. The practicality of the model has been improved greatly. This scalable macromodel can be widely used in general EDA tools based on the SPICE model.

**Key words:** high-voltage double diffused drain MOSFET; MESFET; scalable macromodel; SPICE model

**PACC:** 7340Q      **EEACC:** 2530F; 2560B; 2560P

**Article ID:** 0253-4177(2008)08-1561-05

---

\* Project supported by the National Natural Science Foundation of China (Nos. 60676047, 60606010), the Foundation of Shanghai Science & Technology Committee (Nos. 075007033, 04QMX1419, 07QB14018), and the Shanghai-Applied Materials Research and Development Fund (No. 0522)

† Corresponding author. Email: ylshi@ee.ecnu.edu.cn

Received 2 November 2007, revised manuscript received 25 March 2008

©2008 Chinese Institute of Electronics