

基于 DVI 的时钟数据恢复电路设计*

肖 剑^{1,2,†} 陈贵灿² 张福甲¹ 王永顺³

(1 兰州大学物理科学与技术学院, 兰州 730000)

(2 西安交通大学微电子研究所, 西安 710049)

(3 兰州交通大学电子与信息工程学院, 兰州 730070)

摘要: 设计了一种实现 DVI(digital visual interface)数字视频信号接收器的新型时钟数据恢复电路. 通过在过采样电路和数字锁相环之间增加弹性缓冲电路, 在实现 10bit 数据恢复的同时, 使采样时钟频率减小为数据频率的 2.5 倍, DPLL 同时对 10bit 并行的数据进行相位检测判断, 提高了判断的正确率, 使数据传输的误码率得到改善. 采用 SMIC 0.18 μ m CMOS 工艺流片, 测试结果表明, 输入三路并行的 1.65Gbps/ch UXGA 格式像素数据和传输电缆长度 2m 条件下, 输出系统时钟信号最大抖动峰-峰值为 183ps, 均方值为 24ps, 满足 DVI 规范要求.

关键词: DVI; 时钟数据恢复; 过采样; DPLL

PACC: 0130Q EEACC: 1265A; 2570D

中图分类号: TN47 **文献标识码:** A **文章编号:** 0253-4177(2008)07-1417-05

1 引言

近年来,随着 LCD,PDP 等平板显示技术的发展以及人们对视频显示效果的追求,以数字视频接口(digital visual interface, DVI)为代表的数字显示接口替代传统的模拟接口已成为必然趋势. 基于 Silicon Image 公司 T.M.D.S. 技术的 DVI 数字视频接口通过先进的编码算法将 8bit 的像素数据转换成 10bit 的最小变换差分信号,削弱了传输电缆中交叉电磁干扰(EMI),同时为接收端提供时钟恢复信号. 在 1600 \times 1200 的分辨率和场频为 60Hz 的 UXGA 格式下,单个通道的数据传输速率高达 1.65GHz/bps,如此高的数据传输速率使得在接收端对三通道时钟数据的恢复成为设计的关键^[1~3].

采用过采样技术的时钟数据恢复具有电路简单、易于实现、成本低的特点,但是采用这种方法由于采样时钟为多相位输出的时钟信号,相位数甚至高达 30 个相位,这对 PLL 的性能是一个很大的挑战. 作者提出了一种实现 DVI 中数字视频信号接收的方法,时钟数据恢复采用 3 \times 过采样技术,设计了一种新的时钟数据恢复电路,在实现时钟数据恢复的同时,使采样时钟频率减小为数据频率的 2.5 倍,使得电荷泵 PLL 只需输出 12 相位的采样时钟信号,与文献[4]相比极大地减小了电荷泵 PLL 的设计难度和功耗,采用该方法设计的数字视频信号接收芯片实现了 DVI 单链路数字视频信号接收,支持三路并行的 1.65Gbps/ch 的 UXGA 格式像素数据传输,数据传输速率比文献[5]提高了 60%的情况下,像素数据传输误码率低至 10^{-11} .

2 数字视频信号接收系统方案

图 1 是实现 DVI 数字视频信号接收器的系统方案框图,由阻抗匹配电路、预放大电路、过采样电路、弹性缓冲器、数字锁相环(DPLL)、一个公用的电荷泵 PLL、通道同步电路、解码及同步检测电路组成^[4~7]. DVI 接收器从发送器端收到 N MHz 基准时钟和 10N MHz/bps 的串行数据,电荷泵 PLL 产生 2.5N MHz,12 个等相位的相位时钟 CK_ph[0:11];从连接电缆上接收的串行像素数据经过精密的 50 Ω 阻抗匹配及预放大后送入 3 \times 过采样电路,过采样电路对每个串行 bit 在 12 个相位时钟上升沿完成 3 次采样,4bit 串行像素数据就转换成 12bit 的过采样数据.

时钟数据恢复电路由弹性缓冲器和 DPLL 组成,过采样信号依次写入弹性缓冲器和 DPLL 电路,CK_ph0

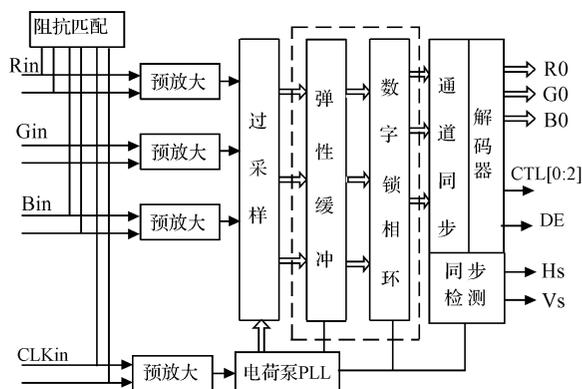


图 1 DVI 数字视频信号接收器的系统框图
Fig.1 Block diagram of DVI receiver

* 国家自然科学基金(批准号:60676033)和西安市科技计划创新基金(批准号:GG04001)资助项目

† 通信作者. Email: xiaoj02@st.lzu.edu.cn

2007-12-19 收到,2008-03-13 定稿

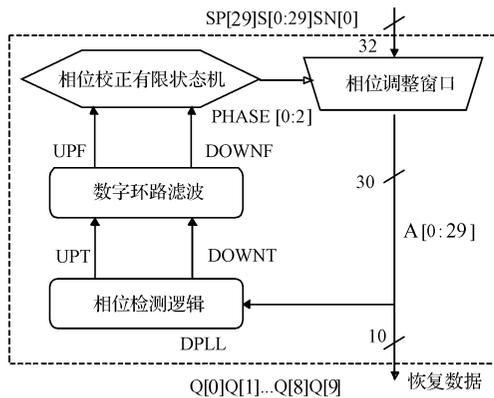


图 2 数据恢复 DPLL 电路框图

Fig. 2 Block diagram of data recovery DPLL

上升沿到来时,写入 12bit 的过采样数据,时钟信号 CK_{ph0} 经 2.5 分频后的系统时钟信号作为读出时钟,在读出时钟上升沿到来时读出 30bit 的过采样数据. DPLL 电路连续的跟踪每个串行 bit 的中心来精确地恢复数据,通过 DPLL 电路检测信号的相位关系来控制其内部的相位调整窗口,实现数据的相位恢复.

相位恢复的数据在通道同步电路中确定每 10bit 的像素数据和控制信号的开始位置,然后送入 T. M. D. S. 解码器中,在 DE 为低时将 10bit 的像素信号还原为 8bit 的视频信号,在 DE 为高时将 10bit 的特殊码元还原为 2bit 的行场同步信号或控制信号输出. 最后从解码器输出 8bit 的并行像素数据和行场同步信号(其他两个通道输出为控制信号);外部输入为 4 对传输最小化差分信号,包括 3 对 RGB 信号和 1 对时钟信号,输出为 24 位 RGB 信号、行场同步信号及三路控制信号 CTL[0:2].

3 时钟数据恢复电路的逻辑实现

一个采样时钟周期内 4bit 的像素数据经过 $3 \times$ 过采样后得到的过采样数据为 12bit,而 T. M. D. S. 码元一帧是 10bit,而且传输速率也不一样. 因此,我们必须将并行 12bit 的过采样数据转换为 30bit 的并行过采样数据,送到后级的时钟数据恢复电路,从而直接恢复出 10bit 并行数据,这是通过弹性缓冲器来实现转换的. 本文设计的弹性缓冲器由 20 个字节构成,每个字节宽度为 6bit. 弹性缓冲器在两个时钟控制下进行读写,进行 12/30bit 数据转换,在 CK_{ph0} 上升沿到来时 12bit 的数据写入弹性缓冲器中,最大写入时钟频率为 412MHz,在系统时钟的上升沿到来时读出 30bit 的数据,最高读出时钟频率为 165MHz,读和写时钟频率保持 1:2.5.

弹性缓冲器输出的 30bit 并行过采样数据送入 DPLL 电路进行数据的相位恢复,通过 DPLL 电路对 30bit 的过采样数据同时进行相位检测判断,从而提高判断的正确率,使数据传输的误码率得到改善. 其电路逻辑实现结构如图 2 所示,输入为弹性缓冲器输出的

30bit 过采样数据,输出为恢复的 10bit 像素数据. DPLL 包括 4 个模块:相位调整窗口、相位检测逻辑、数字环路滤波器和相位校正有限状态机.

相位调整窗口是一个双向移位寄存器单元,从弹性缓冲器接受 32bit 的采样数据:SP[29](上一循环次弹性缓冲器读出数据 S[0:29]的最后一个采样数据 S[29]),本次采样数据 S[0:29],SN[0](下一循环次弹性缓冲器读出数据 S[0:29]的第一个采样数据 S[0]). 采样数据由相位控制信号 PHASE[0:2](由相位校正有限状态机产生 3 个状态 100,010,001)控制,输出 30bit 相位对准数据 A[0:29]. 正确的相位对准意味着 A[3N], A[3N+1], A[3N+2] ($N \in [0,9]$) 来自一个串行 bit,也意味着 A[3N+1] 是 A[1], A[4], A[7], A[10], A[13], A[16], A[19], A[22], A[25] 和 A[28], 可被选作 10bit 的恢复数据,它们是在 1bit 持续时间的中心位置被采样的. 具体工作原理如图 3 所示,Phase0 为相位超前的情况,相位调整窗口后移一位,将 SP[29]和 S[0:28]送出;Phase1 为相位对齐的情况,相位调整窗口不变,将 S[0:29]送出;Phase3 为相位滞后的情况,相位调整窗口前移一位,将 S[1:29]和 SN[0]送出.

相位检测单元的框图如图 4 所示,它包含十个相位检测单元和一个相位移动判决器. 相位检测单元根据相位调整窗口输出的数据 A[0:29]中的 A[3N], A[3N+1], A[3N+2] ($N \in [0,9]$) 确定每个单元输出 UP[N] 和 DOWN[N] 的状态. 当判定一个相位是正确的,此时 A[3N], A[3N+1], A[3N+2] 是“000”或“111”,则相位不需要改变,UP[N] 和 DOWN[N] 被置“0”;当判定 A[3N], A[3N+1], A[3N+2] 是“001”或“110”时,相位没对准,需要移动到低一个相位,即将相位 Phase2 → Phase1, Phase1 → Phase0, Phase0 → Phase2, 这时 UP[N] 置“0”和 DOWN[N] 置“1”;当判定 A[3N], A[3N+1], A[3N+2] 是“011”或“100”时,相位没对准,需要移动到高一个相位,即将相位 Phase0 → Phase1, Phase1 → Phase2, Phase2 → Phase0, 这时 UP[N] 置“1”和 DOWN[N] 置“0”.

相位移动判决器从十个相位检测单元收到信号 UP[0:9] 和 DOWN[0:9], 经过逻辑判决后输出 UPT 和 DOWNT 两个信号. 只有当 UP[0:9] 信号“1”的数目多,或“1”和“0”的数目相等时,UPT 信号被置“1”,反之则 DOWNT 信号被置“1”. UPT = 1 时表示相位滞后,必须前移相位;DOWNT = 1 时与 UPT = 1 相反. 通过同时对 10bit 的数据进行相位检测判断,极大提高了判断的正确率.

数字环路滤波器接收从相位检测单元来的 UPT 和 DOWNT 信号. UPF(DOWNF) 是环路滤波器的输出信号之一,只有当接收到连续 4 个 UPF(DOWNF) 信号时,UPF(DOWNF) 才被置“1”,其他情况都是 UPF(DOWNF) 信号置“0”. 数字环路滤波器的作用是滤除数据信号中的随机相位噪声,避免相位调整状态机模块的频繁切换,从而平滑 DPLL 的相位变化和获得稳定的负反馈^[5]. 相位调整有限状态机接收从数字环路滤波器

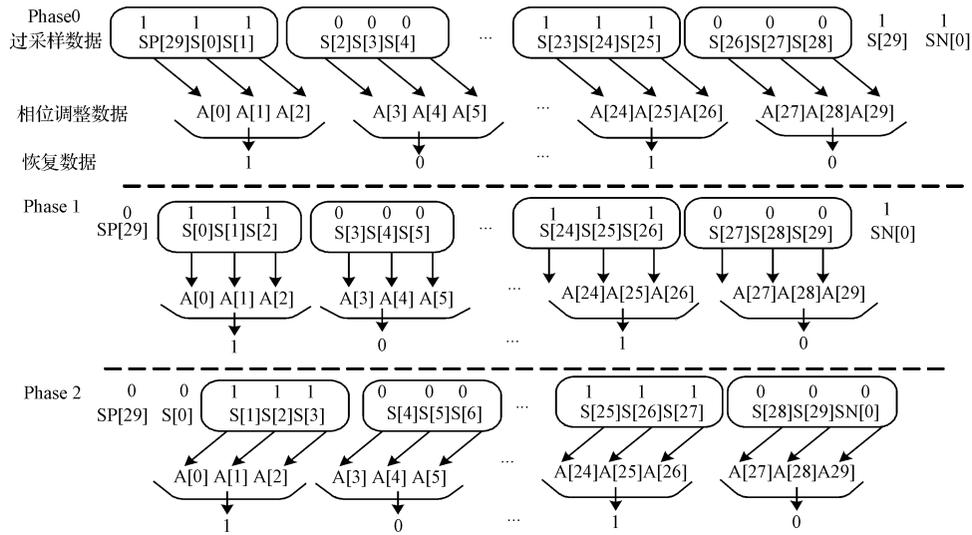


图 3 相位调整窗口工作原理

Fig. 3 Operation principle pattern of phase align window

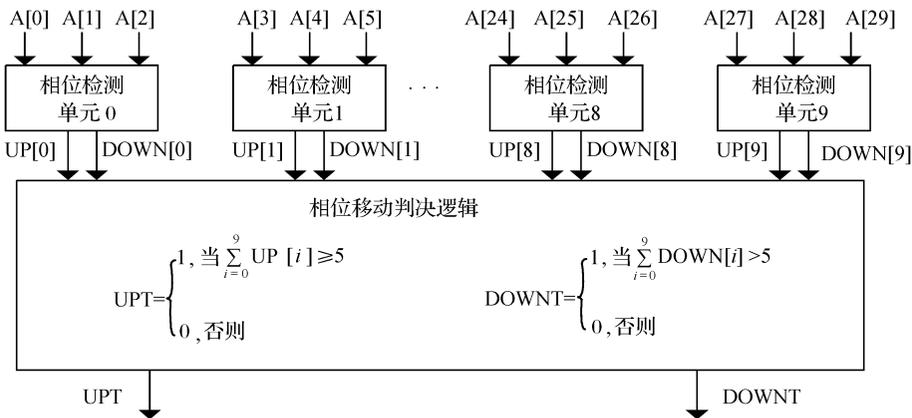


图 4 相位检测逻辑框图

Fig. 4 Block diagram of phase detection logic

来的 UPF (DOWNF) 信号, 决定输出的相位控制信号 Phase[0:2], 图 5 给出了相位调整有限状态机的状态图.

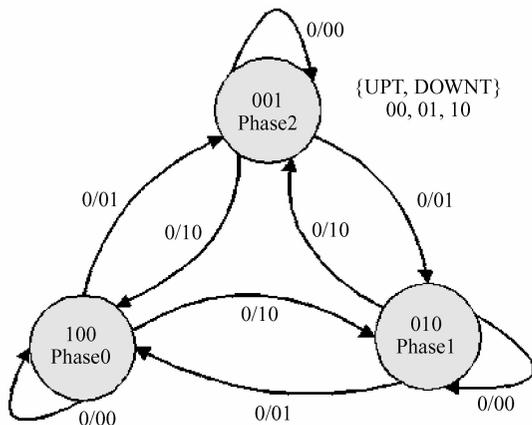


图 5 DPLL 相位调整状态机的状态图

Fig. 5 Phase adjust FSM of DPLL

相位恢复的 10bit 并行像素数据送入通道同步电路, 同步检测模块根据 T. M. D. S. 编码的特点, 通过对送入通道同步电路中相位恢复的 10bit 并行像素数据的处理, 恢复出同步信号和三路 10bit 同步输出的数据, 再送入各自的解码器进行解码, 将 T. M. D. S. 编码信号还原成 8bit 的像素数据.

4 结果与讨论

采用硬件描述语言 Verilog HDL 实现了时钟数据恢复电路的 RTL 级设计, 使用 Synopsys 公司的 Design Compiler 工具完成综合工作, Cadence 公司的 SOC Encounter 工具完成布局布线. 采用 SMIC 0.18μm CMOS 工艺进行了流片验证, 图 6 是完整的 DVI 数字视频信号接收器的芯片照片, 面积仅为 2.2mm × 2mm, 时钟数据恢复部分大约占了整个芯片版图的二分之一面积. 芯片采用 TQFP 封装形式, 共 100 个外部引脚.

图 7 是 DVI 接收器输出的系统时钟信号的抖动图, 测试仪器为安捷伦 2GHz 采样率示波器. 抖动和误

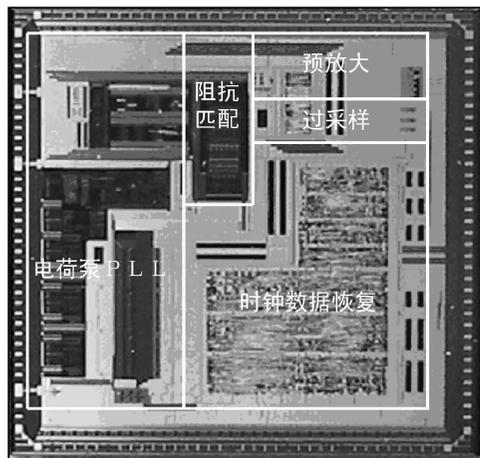
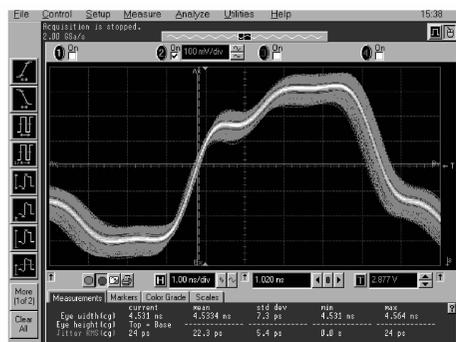
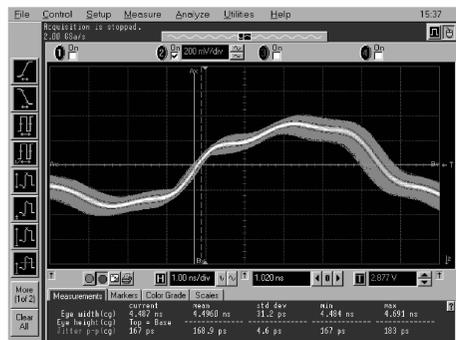


图 6 DVI 接收器芯片照片

Fig.6 Die micrograph of the DVI receiver



(a)



(b)

图 7 DVI 输出的系统时钟信号抖动图 (a) 抖动均方值; (b) 抖动峰-峰值

Fig.7 Jitter of the DVI output system clock (a) RMS jitter; (b) Peak-peak jitters

码率的测试条件为:采用 TFP410 数字视频信号发送芯片,图像控制器输出为 UXGA 格式像素,帧频 60Hz,数

据传输速率 1.65Gbps/ch,传输电压摆幅 600mV,传输电缆长度 2m.从抖动的波形图可以看到,下降沿的抖动大于上升沿的抖动,分析其原因是由于发送芯片与接收芯片时钟的下拉预加重电路不匹配引起的,因为采用的是上升沿触发,因此只需考虑上升沿的抖动.测试得到最大抖动峰-峰值为 183ps,均方值为 24ps,像素数据传输误码率小于 10^{-11} ,DVI 规范要求时钟最大抖动为 0.4UI,因此满足 DVI 单链路数据传输要求,支持 UXGA 格式的图像数据传输.

5 结论

本文设计并验证了一种采用新的时钟数据恢复电路实现 DVI 数字视频信号接收的方法.通过在过采样电路和 DPLL 电路之间增加弹性缓冲电路,在实现 10bit 数据恢复的同时,使采样时钟频率减小为数据频率的 2.5 倍,减小了 PLL 的设计难度.DPLL 电路同时对 10bit 并行的数据进行相位检测判断,极大地提高了判断的正确率,从而减小整个系统数据传输的误码率.实现了对高达 UXGA 格式的数字视频信号接收,采用 SMIC 0.18 μ m CMOS 工艺流片,测试结果表明,输入三路并行的 1.65Gbps/ch 的 UXGA 格式像素数据、传输电压摆幅 600mV、传输电缆长度 2m 条件下,系统时钟信号抖动峰-峰值为 183ps,均方值为 24ps,达到 DVI 规范单链路数据传输的要求,此外,本文的设计也满足 HDMI 规范对数字视频信号接收的要求^[8].

参考文献

- [1] Digital display working group. Digital visual interface (DVI) 1.0 specification,1999
- [2] Digital display working group. DVI test and measurement guide (revision1.0),2001
- [3] Digital display working group. DDWG digital display Dual-EDID implementation guide,2001
- [4] Ye Zukui. Design and implementation of digital visual interface receiver. Tainan;Tainan University of Technology,2002
- [5] Lee K,Shin Y, Kim S, et al. 1.04Gbd low EMI digital video interface system using small swing serial link technique. IEEE J Solid-State Circuits, 1998,33(5):816
- [6] Moon Y,Jeong D K, Ahn G. A 0.6~2.5-Gbaud CMOS tracked 3 oversampling transceiver with dead-zone phase detection for robust clock/data recovery. IEEE J Solid-State Circuits, 2001, 36(12):1974
- [7] Cheng W C, Pedram M. Chromatic encoding: a low power encoding technique for digital visual interface. IEEE Trans Consum Electron, 2004,50(1):320
- [8] HDMI Licensing LLC. High-definition multimedia interface (HDMI) specification version[R] 1.1[Z],2004

A Clock and Data Recovery Circuit Based on DVI*

Xiao Jian^{1,2,†}, Chen Guican², Zhang Fujia¹, and Wang Yongshun³

(1 School of Physical Science and Technology, Lanzhou University, Lanzhou 730000, China)

(2 Institute of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

(3 College of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, China)

Abstract: A novel clock and data recovery circuit has been designed to implement a digital visual interface (DVI) receiver. A flexible buffer was placed between the over-sampler and DPLL. Not only was 10bits data recovery implemented, but also the frequency of sampling clock was reduced to 2.5 times of the data frequency. The phase verification for 10bit parallel data by DPLL increases the accuracy rate of judgment and improves the bit error rate. The receiver has been fabricated with an SMIC 0.18 μ m CMOS process. The testing results show that the maximum peak-peak and RMS jitters of the output system clock are 183ps and 24ps, respectively, under the measuring condition that the data rate is 1.65Gbps/ch for inputting a UXGA pixel data signal with 2m cable.

Key words: DVI; clock and data recovery; over-sampler; DPLL

PACC: 0130Q **EEACC:** 1265A; 2570D

Article ID: 0253-4177(2008)07-1417-05

* Project supported by the National Natural Science Foundation of China (No.60676033) and the Science and Technology Innovation Fund of Xi'an Municipality (No. GG04001)

† Corresponding author. Email: xiaoj02@st.lzu.edu.cn

Received 19 December 2007, revised manuscript received 13 March 2008

©2008 Chinese Institute of Electronics