

温度对数字电路中单粒子瞬态脉冲的影响*

梁 斌[†] 陈书明 刘必慰

(国防科技大学计算机学院, 长沙 410073)

摘要: 利用三维 TCAD 混合模拟研究了温度对 0.18 μm 工艺下反相器链中 DSET 脉冲宽度的影响. 结果发现, 温度对 DSET 的影响要比温度对 SEU 的影响严重得多. 在 LET 为 60MeV $\cdot\text{cm}^2/\text{mg}$ 的条件下, 当温度从 -55 $^{\circ}\text{C}$ 升高到 125 $^{\circ}\text{C}$ 时, DSET 脉冲宽度约增加了 58.8%.

关键词: 混合模拟; DSET; 超深亚微米; 辐射

EEACC: 2570

中图分类号: TN3

文献标识码: A

文章编号: 0253-4177(2008)07-1407-05

1 引言

已有研究表明, 单粒子闩锁(single event latch-up, SEL)和单粒子翻转(single event upset, SEU)等单粒子效应的敏感度与温度有着密切的关系. 重离子实验表明, 在 300K 以上, SEL 的阈值线性能量传输(linear energy transfer, LET)随温度上升而下降^[1]; 更宽温度范围内的器件模拟则表明, 当温度从 450K 下降到 120K 时, SEL 的敏感度不断降低, 而当温度继续从 120K 下降到 77K 时, SEL 的敏感度迅速增加^[2]. 针对 0.8 μm SOI SRAM 的重离子实验表明, 在 25~125 $^{\circ}\text{C}$ 范围内, SOI 晶体管的增益随着温度的增加而增加, 从而导致 SEU 的阈值 LET 随温度的增加而下降^[3]. 针对 p^+nn^+ 外延结构的重离子实验和 TCAD 准三维模拟结果表明, 温度对重离子诱导的瞬态电流脉冲具有重要的影响^[4,5]. 以上研究面向的工艺尺寸普遍比较大, 基本上不能反映超深亚微米工艺的实际情形. 最近, Truyen 等人^[6]采用三维数值模拟研究了温度对 0.18 μm SRAM 单元的 SEU 敏感度的影响, 结果表明, 在 -55~125 $^{\circ}\text{C}$ 范围内, 温度对 SEU 敏感度的影响基本可以忽略.

随着工艺的不断缩减和集成电路工作频率的不断

提高, 数字电路中的单粒子瞬态脉冲(digital single event transient, DSET)正在变得越来越严重^[7~10]. 根据我们掌握的情况, 目前还没有公开发表的文献研究温度对 DSET 的影响. 那么, 温度对 DSET 究竟有着怎样的影响? 从文献[6]的研究可知, 温度对超深亚微米工艺下 SEU 的影响基本可以忽略, 温度对超深亚微米数字电路中 DSET 的影响是否同样很小? 带着这样的问题, 我们进行了本文的研究.

2 混合模拟环境设置

针对反相器链的三维混合模拟被证明是研究 DSET 的一种有效手段^[11~14]. 本文采用如图 1 所示的 9 级反相器链混合模拟结构进行研究, 其中, N1 管采用器件模拟, 其余晶体管采用电路模拟, 电路模拟使用的 Spice 模型为 SMIC 0.18 μm 体硅工艺模型, nMOS 管和 pMOS 管的 W/L (栅宽/栅长) 分别为 0.6 $\mu\text{m}/0.18\mu\text{m}$ 和 0.9 $\mu\text{m}/0.18\mu\text{m}$. 本文考虑了寄生参数的影响, 采用 Synopsys 公司的 StarRC 寄生参数提取工具对 SMIC 0.18 μm 工艺下的反相器标准单元版图进行了寄生参数提取, 提取的结果用于设置图 1 中各节点的电容.

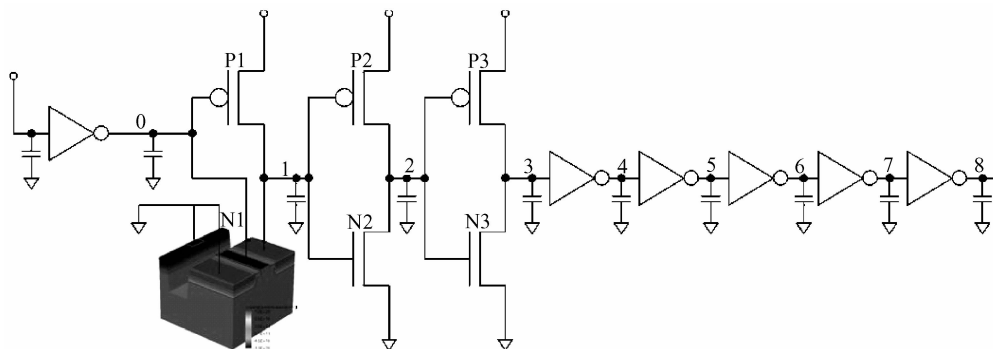


图 1 9 级反相器链的三维混合模拟结构

Fig. 1 Nine-stage inverter chain for 3-D mixed-mode TCAD simulation

* 武器装备预研基金资助项目(批准号:9140A08040507KG01)

[†] 通信作者. Email: liangbin@nudt.edu.cn

2007-12-25 收到, 2008-01-09 定稿

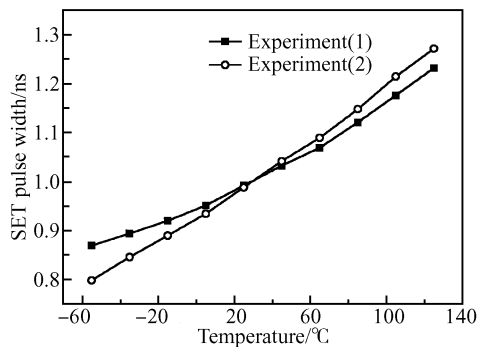


图 2 DSET 宽度随温度的变化 (1)只考虑温度对 N1 的影响;(2)考虑温度对所有晶体管的影响

Fig.2 Temperature dependence of DSET pulse width (1) Change temperature in device domain only; (2) Change temperature in both device and circuit domain

本文选择 Synopsys 公司的 Sentaurus TCAD V2007.03 工艺和器件模拟器作为研究工具,所有模拟均在银河高性能计算机系统上完成.本文采用的三维器件结构的尺寸为 $10\mu\text{m} \times 10\mu\text{m} \times 10\mu\text{m}$,共包含约 18 万个节点,双 CPU 运行一个样本所需的平均时间约为 3 天.三维器件模拟采用的物理模型包括:(1)Fermi-Dirac 分布;(2)禁带变窄效应;(3)与浓度相关的 SRH 复合和俄歇复合;(4)考虑了温度、掺杂浓度、电场和载流子之间的散射对迁移率的影响,载流子之间的散射模型采用 Brooks-Herring 模型;(5)重离子产生的电子-空穴对的浓度沿半径方向的空间分布采用高斯分布,特征半径采用 $0.1\mu\text{m}$;电子-空穴对的浓度随时间的分布也采用高斯分布进行建模,特征延迟时间采用 250fs.

为了使器件模型能够更加准确地反映实际的工艺,本文采用工艺模拟获得器件的掺杂分布,并且采用逆向建模方法对三维器件模型的掺杂分布进行了工艺校准(process calibration)^[14,15],亦即,分别利用数值模拟和 Spice 模拟获得漏极电压为 1.8V 时的 $I_{\text{ds}}-V_{\text{gs}}$ 曲线和栅压为 1.8V 时的 $I_{\text{ds}}-V_{\text{ds}}$ 曲线,通过调整掺杂分布使数值模拟和 Spice 模拟的结果取得一致.

3 模拟结果

DSET 脉冲宽度的大小主要取决于被轰击晶体管本身的电荷收集以及电路的响应两个方面,为了区分这两个方面的效应,本文进行了两个实验,实验(1)只考虑温度对被轰击晶体管的影响,实验(2)考虑了温度对所有晶体管的影响,模拟结果如图 2 所示.

从图 2 可以看出,在室温附近,实验(1)和实验(2)的 DSET 脉冲宽度十分接近,当温度较低时,实验(1)的 DSET 电压脉冲较宽,而当温度较高时,实验(2)的 DSET 电压脉冲更宽.如果只考虑温度对被轰击晶体管的影响,当温度从 -55°C 升高到 125°C 时,DSET 脉冲宽度从 0.87ns 增加到 1.23ns,约增加 41.4%;如果考虑温度对反相器链中所有晶体管的影响,则 DSET 脉冲宽度从 0.80ns 增加到 1.27ns,约增加 58.8%.由此可见,

被轰击晶体管本身的电荷收集是影响 DSET 电压脉冲宽度随温度变化的主要因素,而电路响应对 DSET 电压脉冲宽度随温度的变化也有较大的影响,总的趋势是,电路响应使低温区的 DSET 脉冲变窄,而使高温区的 DSET 脉冲变宽.值得说明的是,本文采用混合模拟获得的 DSET 脉冲宽度与类似工艺下的实验结果接近,这验证了本文所采用的器件结构的合理性以及工艺对准方法的有效性.

4 温度对被轰击晶体管电荷收集的影响

DSET 脉冲宽度首先取决于重离子轰击在有效收集深度范围内沉积的电荷量,其次取决于沉积的电荷被收集的效率.电荷收集的物理机理主要包括漂移、扩散和双极放大 3 种,最终的电荷收集量是这 3 种机理的综合结果^[15].本小节首先分析温度对电荷沉积的影响,然后分析温度对电荷收集的影响.

4.1 温度对电荷沉积的影响

温度对电荷沉积的影响主要体现在温度对禁带宽度的影响.随着温度的升高,禁带宽度变窄,从而导致相同 LET 条件下产生的电子-空穴对更多.关于禁带宽度随温度的变化,Sentaurus TCAD V2007.03 采用如下公式进行建模:

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{T + \beta} \quad (1)$$

其中 T 为绝对温度; $E_g(0)$ 为 0K 时的禁带宽度,默认值为 1.1696eV; α 和 β 均为材料的参数,对于硅而言, α 的默认值为 4.73×10^{-4} , β 的默认值为 636^[16].在采用默认参数的情况下,当温度从 -55°C 升高到 125°C 时,禁带宽度从 1.143eV 下降到 1.091eV.禁带宽度的变化将直接影响产生一个电子-空穴对所需的能量.根据文献[17],在 Si 中产生一个电子-空穴对所需的能量为:

$$\epsilon = 2.2E_g(T) + 0.96E_g^{3/2}(T)\exp(0.75E_g(T)/T) \quad (2)$$

根据(1)和(2)式,当温度从 -55°C 升高到 125°C 时,产生一个电子-空穴对所需的能量从 3.69eV 下降到 3.50eV,当沉积的能量相同时,电子-空穴对的浓度将增加 5.4%.

4.2 温度对电荷收集的影响

温度对电荷收集的影响分别体现在温度对漂移、扩散和双极放大的影响,而这 3 个方面的影响分别与迁移率、扩散长度和双极放大增益随温度的变化有关.随着温度的升高,迁移率降低,导致通过漂移收集的电荷量减少;扩散长度变化不大,从而导致通过扩散收集的电荷量基本不变;而双极放大增益的增加导致收集的电荷增加.

本文在混合模拟时提取了漏极附近电子的平均迁移率和寿命,结果见图 3.可见,迁移率随着温度的升高而下降,当温度从 -55°C 升高到 125°C 时,迁移率从

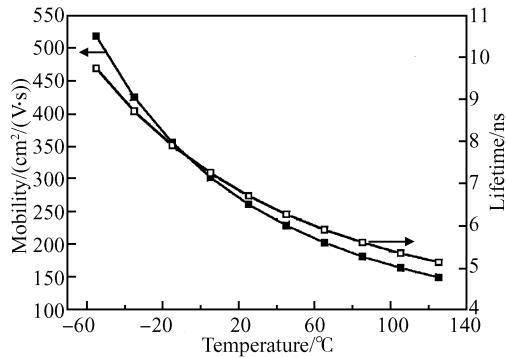


图 3 迁移率和载流子寿命随温度的变化

Fig.3 Temperature dependence of mobility and lifetime

517.8 $\text{cm}^2/(\text{V} \cdot \text{s})$ 降低到 149.5 $\text{cm}^2/(\text{V} \cdot \text{s})$,降低了 71.1%. 电子的平均寿命也随着温度的升高而下降,当温度从 -55°C 升高到 125°C 时,寿命从 9.74ns 降低到 5.13ns,降低了 47.3%. 顺便指出,本文提取得到的迁移率与代工厂提供的 Spice 模型参数相吻合,这进一步说明了本文采用的器件模型和模拟方法的合理性.

从本文的模拟结果可以看出,载流子迁移率和寿命二者随着温度的升高都有明显的下降,但这并不意味着 DSET 电压脉冲宽度会随着温度的升高而变窄. 首先,载流子迁移率的降低将导致漂移收集的电荷变小,但影响 DSET 电压脉冲宽度的主要因素并不是漂移而是扩散^[18],所以迁移率的下降并不会对 DSET 脉冲宽度造成明显的影响. 其次,通过扩散收集的电荷主要与少数扩散长度 L_p 有关,而 L_p 又与双极扩散系数 D^* 和少数寿命 τ 有关. 扩散系数随温度的升高而升高,少数寿命随着温度的升高而降低,总的结果是扩散收集的电荷与温度的关系不大^[5]. 因此,可以预测,在不考虑双极放大的条件下,温度对 DSET 脉冲宽度的影响较小. 为了排除双极放大的影响,本文沿用文献[15]提出的方法,在不进行源极注入的条件下,研究了温度对 DSET 脉冲宽度的影响,结果表明,在 $-55 \sim 125^\circ\text{C}$ 温度范围内,DSET 脉冲宽度的变化很小,变化量不超过 30ps(见图 4). 显然,图 4 的模拟结果验证了本文前面所作的预测,同时表明,双极放大效应是导致 DSET 脉冲随温度升高而变宽的主要原因. 事实上,在深亚微米工艺条件下,双极放

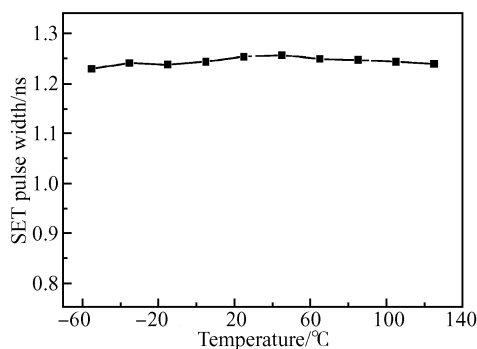


图 4 不进行源极注入时温度对 DSET 脉冲宽度的影响

Fig.4 Simulation results without source implantation in nMOS being stroke

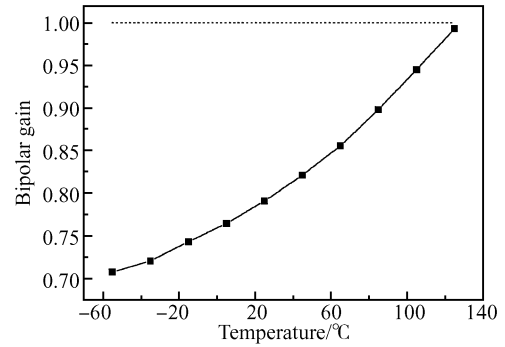


图 5 双极放大增益随温度的变化

Fig.5 Impact of temperature to bipolar gain

大效应的确对电荷收集以及由此引发的单粒子效应产生了重要影响^[11,15]. 本文假设不带源极注入时的增益为 1,将不带源极注入时的 DSET 脉冲宽度作为参考值,利用带源极注入时的 DSET 脉冲宽度除以该参考值,得到了双极放大增益随温度的变化,结果见图 5.

粒子轰击漏极的反偏 pn 结,产生电子/空穴对,电子被漏极收集,阱中剩下的空穴将抬高阱电势,阱电势的抬高降低了源/阱结的势垒,从而源极向沟道区注入电子,这些电子也能够被漏极收集,与原始粒子诱导的电流叠加,增加漏极收集的电荷总量,这就是人们熟知的双极晶体管效应^[19]. 随着温度的升高,体区到衬底接触之间的电阻变大,导致体区电势随温度的升高而升高,从而双极放大效应更加显著.

图 5 同时给出了双极放大增益为 1 的参考线,可见,本文得出的双极放大增益均小于 1,这似乎是一个令人十分惊讶的结果. 但事实上,文献[11]的重离子实验结果也发现了小于 1 的双极放大增益,只不过文献[11]将双极放大增益定义为短栅晶体管和长栅晶体管收集的电荷量之比,而本文将双极放大增益定义为是否带源极注入时的 DSET 脉冲宽度之比.

5 温度对电路响应的影响

电路响应主要分为两个部分:一是与被轰击 nMOS 晶体管构成反相器的 pMOS 管的影响,温度升高使得 pMOS 管提供的恢复电流变小,从而 DSET 脉冲变宽;二是下一级反相器的影响,温度升高使得反相器的等效负载变大,从而 DSET 脉冲变窄. 这两方面的综合影响使得实验(1)和实验(2)的模拟结果呈现出图 2 所示的剪刀差,当温度较低时,反相器负载的增加占主导,导致实验(2)的脉冲宽度低于实验(1),而当温度较高时,pMOS 管饱和电流的增加占主导,导致实验(2)的脉冲宽度高于实验(1).

6 结论与未来工作展望

本文采用三维 TCAD 混合模拟的手段,研究了 LET 为 $60\text{MeV} \cdot \text{cm}^2/\text{mg}$ 的条件下,温度对 DSET 脉冲宽度的影响. 结果发现,当温度从 -55°C 升高到

125°C时,DSET 脉冲宽度从 0.80ns 增加到 1.27ns,约增加 58.8%.与文献[6]的结果比较而言,温度对 DSET 的影响要比温度对 SEU 的影响严重得多.并且,DSET 和 SEU 随温度的变化趋势完全不同,DSET 脉冲宽度随温度的增加不断增加,而 SEU 阈值 LET 随温度的增加呈抛物线变化.

本文分析了温度升高导致 DSET 脉冲变宽的原因,我们认为,从被轰击晶体管本身电荷收集的角度,电荷收集随温度升高而增加的主要原因在于双极放大效应的增强,而不是与漂移和扩散有关的载流子迁移率和寿命;从电路响应的角度,pMOS 管恢复电流随温度升高而变小导致 DSET 脉冲变宽,而下一级反相器等效负载随温度升高而增加,导致 DSET 脉冲变窄.

本文模拟得到的 DSET 脉冲宽度与特征尺寸相当的工艺条件下的重离子实验结果相近,从器件模拟结果提取的载流子迁移率与代工厂提供的 Spice 模型参数相吻合,证明了本文采用的器件模型的合理性和模拟结果的有效性.

本文对双极放大增益的定义与文献[11]的定义不同,下一步将研究温度对长栅晶体管的 DSET 脉冲宽度的影响,以进一步研究温度对双极放大的影响,为我们的模拟结论提供更加充分的证据.本文只研究了固定 LET 条件下 DSET 脉冲宽度随温度的变化,下一步还将继续研究温度对反相器链中无衰减传播的 DSET 脉冲宽度和阈值 LET 的影响.

致谢 作者在研究过程中,得到了国防科技大学计算机学院 623 教研室高性能计算应用研究中心朱敏老师和严雷老师的大力支持,在银河高性能计算机系统上运行 TCAD 模拟的许多理论和实践问题,都是在两位老师的悉心指导下完成的,在此表示衷心的感谢.

参考文献

- [1] Johnston A H, Hughlock B W, Baze M P, et al. The effect of temperature on single particle latchup. *IEEE Trans Nucl Sci*, 1991, 38(6): 1435
- [2] Iwata H, Ohzone T. Numerical simulation of single event latchup in the temperature range of 77~450K. *IEEE Trans Nucl Sci*, 1995, 42(3): 148
- [3] Alles M L, Massengill L W, Kerns S E, et al. Effect of temperature-dependent bipolar gain distribution on SEU vulnerability of SOI CMOS SRAMs. *IEEE International SOI Conference*, 1992: 96
- [4] Laird J S, Hirao T, Onoda S, et al. Temperature dependence of heavy ion induced current transients in Si epilayer devices. *IEEE Trans Nucl Sci*, 2002, 49(3): 1389
- [5] Guo G, Hirao T, Laird J S, et al. Temperature dependence of single event transient current by heavy ion microbeam on p⁺/n/n⁺ epilayer junctions. *IEEE Trans Nucl Sci*, 2004, 51(5): 2834
- [6] Truyen D, Boch J, Sagnes B, et al. Temperature effect on heavy-ion induced parasitic current on SRAM by device simulation: effect on SEU sensitivity. *IEEE Trans Nucl Sci*, 2007, 54(4): 1025
- [7] Benedetto J M, Eaton P H, Mavis D G, et al. Digital single event transient trends with technology node scaling. *IEEE Trans Nucl Sci*, 2006, 53(6): 3462
- [8] Benedetto J, Eaton P, Avery K, et al. Heavy ion-induced digital single-event transients in deep submicron processes. *IEEE Trans Nucl Sci*, 2004, 51(6): 3480
- [9] Kobayashi D, Saito H, Hirose K. Estimation of single event transient voltage pulses in VLSI circuits from heavy-ion-induced transient currents measured in a single MOSFET. *IEEE Trans Nucl Sci*, 2007, 54(4): 1037
- [10] Baze M P, Wert J, Clement J W, et al. Propagating SET characterization technique for digital CMOS libraries. *IEEE Trans Nucl Sci*, 2006, 53(6): 3472
- [11] Ferlet-Cavrois V, Paillet P, Gaillardin M, et al. Statistical analysis of the charge collected in SOI and bulk devices under heavy ion and proton irradiation-implications for digital SETs. *IEEE Trans Nucl Sci*, 2006, 53(6): 3242
- [12] Mavis D G, Eaton P H. SEU and SET modeling and mitigation in deep submicron technologies. *IEEE 45th Annual International Reliability Physics Symposium*, 2007: 293
- [13] Dodd P E, Shaneyfelt M R, Felix J A, et al. Production and propagation of single-event transients in high-speed digital logic ICs. *IEEE Trans Nucl Sci*, 2004, 51(6): 3278
- [14] Turowski M, Raman A, Jablonski G. Mixed-mode simulation and analysis of digital single event transients in fast CMOS ICs. *14th International Conference on Mixed Design of Integrated Circuits and Systems*, 2007: 433
- [15] Amusan O A, Witulski A F, Massengill L W, et al. Charge collection and charge sharing in a 130nm CMOS technology. *IEEE Trans Nucl Sci*, 2006, 53(6): 3253
- [16] Sentaurus Device User Guide, Version Z-2007.03. Synopsys Corporation, 2007: 204
- [17] Emery F E, Rabson T A. Average energy expended per ionized electron-hole pair in silicon and germanium as a function of temperature. *Phys Rev*, 1963, 140(6A): 2089
- [18] Sandeepan DasGupta. Trends in single event pulse widths and pulse shapes in deep submicro CMOS. Thesis for Master Degree of Vanderbilt University, 2007
- [19] Dodd P E, Massengill L W. Basic mechanisms and modeling of single-event upset in digital microelectronics. *IEEE Trans Nucl Sci*, 2003, 50(3): 583

Temperature Dependence of Digital Single Event Transient*

Liang Bin[†], Chen Shuming, and Liu Biwei

(School of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: Using mixed-mode simulation, the temperature dependence of digital single event transient (DSET) in an inverter chain has been studied. It was found that the temperature dependence of DSET is much more serious than that of SEU. When the temperature rises from -55 to 125°C , the width of DSET increases about 58.8%.

Key words: mixed-mode simulation; DSET; very deep sub-micron; radiation

EEACC: 2570

Article ID: 0253-4177(2008)07-1407-05

* Project supported by the Pre-Research Fund of Weapon Equipment (No. 9140A08040507KG01)

[†] Corresponding author. Email: liangbin@nudt.edu.cn

Received 25 December 2007, revised manuscript received 9 January 2008