

低功耗、高性能多米诺电路电荷自补偿技术

汪金辉^{1,†} 官娜² 侯立刚¹ 吴武臣¹ 董利民¹

(1 北京工业大学集成电路与系统研究室, 北京 100022)

(2 河北大学电子信息工程学院, 保定 071002)

摘要: 提出了一种电荷自补偿技术来降低多米诺电路的功耗, 并提高了电路的性能. 采用电荷自补偿技术设计了具有不同下拉网络(PDN)和上拉网络(PUN)的多米诺电路, 并分别基于 65, 45 和 32nm BSIM4 SPICE 模型进行了 HSPICE 仿真. 仿真结果表明, 电荷自补偿技术在降低电路功耗的同时, 提高了电路的性能. 与常规多米诺电路技术相比, 采用电路自补偿技术的电路的功耗延迟积(PDP)的改进率可达 42.37%. 此外, 以 45nm Zipper CMOS 全加器为例重点介绍了功耗分布法, 从而优化了自补偿路径, 达到了功耗最小化的目的. 最后, 系统分析了补偿通路中晶体管宽长比, 电路输入矢量等多方面因素对补偿通路的影响.

关键词: 自补偿电荷通路; 功耗延迟积; Zipper CMOS 全加器; 多米诺电路

EEACC: 1130B; 1265

中图分类号: TN4

文献标识码: A

文章编号: 0253-4177(2008)07-1412-05

1 引言

CMOS 数字电路的计算、处理速度超过 1GHz 之后, 多米诺电路优势越来越明显. 以 n, p 混合型多米诺电路的为代表的动态 CMOS 电路, 以其速度快、面积小、静态功耗低的优良特性被广泛应用于处理器、寄存器、缓存器中的高速运算电路及其关键路径中^[1]. 但是, 时钟频率的增加会导致电路动态功耗的不断增大, 从而影响了电路性能的进一步提高^[2,3], 尤其是在手机、掌上电脑(PDA)、笔记本电脑等大量便携式设备的出现以后, 低功耗的要求更加迫切.

CMOS 电路的功耗由动态功耗和静态功耗两部分组成. 由于多米诺电路的高频开关特性, 使得动态功耗成为多米诺电路功耗的主要部分. 因此, 低动态功耗多米诺技术已成为当前集成电路技术研究的热点之一.

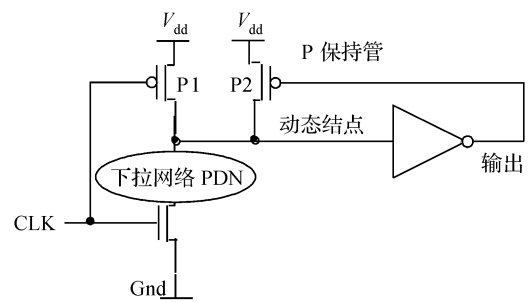
动态功耗由充放电功耗和漏电流功耗组成. 在业已提出的诸多降低多米诺电路动态功耗的方法中, 低电压摆幅技术^[4]、多电源电压技术^[5]和窄脉冲技术^[6]是被广为认可的有效降低多米诺电路的动态功耗的方法. 低电压摆幅技术是通过降低电源电压(从 V_{dd} 降到 $V_{dd} - V_{th}$)来减小功耗, 而多电源电压技术是使电路非关键路径的偏压小于关键路径的电源电压. 基于充放电功耗和电源电压成正比的关系可知^[7], 两种方法均对减小动态功耗有所裨益, 但是, 电源电压 V_{dd} 的减小会导致电路的速度迅速降低并直接影响到电路的噪声容限. 窄脉冲技术虽然能够抑制电路求值状态的部分亚阈值漏电流功耗, 它却使时钟更加复杂, 而且求值脉冲宽度难以把握, 尤其时钟频率增加到一定值后, 由于充放电延迟, 窄脉冲技术的应用将受到限制.

本文提出了一种自补偿电荷方法, 在既提高了电路

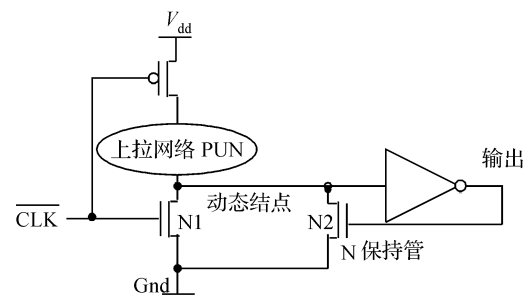
速度又不改变时钟复杂度的前提下, 降低电路的动态功耗, 从而提高了电路的综合性能.

2 自补偿电荷通路

多米诺电路是 CMOS 电路的一个重要分支, 可分为 n 和 p 两种类型. 标准的 n 型多米诺电路结构如图 1(a)所示, 电路的工作原理如下: 当时钟信号 $clock = 0$



(a)



(b)

图 1 (a) 标准 n 型多米诺电路; (b) 标准 p 型多米诺电路
Fig. 1 (a) Standard n-type domino circuit; (b) Standard p-type domino circuit

† 通信作者. Email: wangjinhui888@yahoo.com.cn

2008-01-04 收到, 2008-02-05 定稿

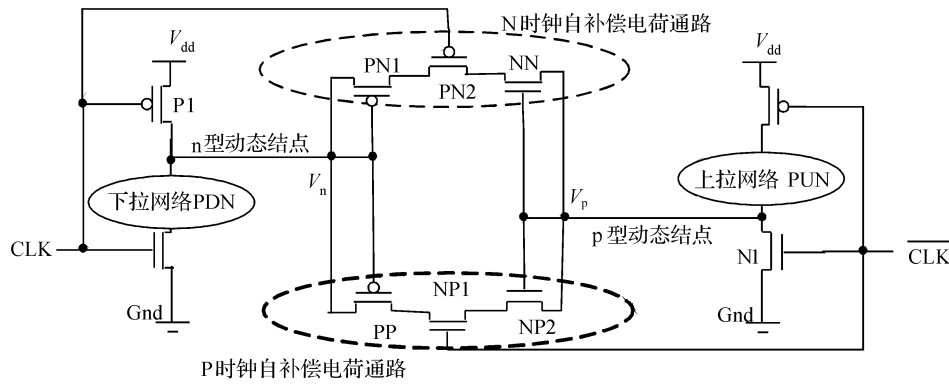


图 2 两种自补偿电荷通路

Fig.2 Two kinds of paths for charge self-compensation

时,为预充阶段, P1 导通, 动态结点被预充到高电平 V_{dd} ; 当 $clock = 1$ 时, 为求值阶段, P1 管关闭, 动态结点视下拉 (PDN) 网络有条件地放电: 如果 PDN 存在从动态结点到地的直流通路, 那么动态结点对地放电至低电平; 否则, 动态结点将借助于保持管 P2 保持高电平值 V_{dd} , 直到下一周期. 标准的 p 型多米诺电路结构如图 1 (b) 所示, 电路的工作原理与 n 型多米诺相反: 当时钟信号 $clock = 1$ 时, 为电路的预放电阶段, N1 导通, 动态结点被放电到低电平 Gnd; 当 $clock = 0$ 时, 为求值阶段, N1 管关闭, 动态结点视上拉 (PUN) 网络有条件地充电: 如果 PUN 网络存在从动态结点到电源 V_{dd} 的直流通路, 那么动态结点充电至高电平; 否则, 动态结点将借助于保持管 N2 保持低电平 Gnd, 直到下一周期^[8].

从以上工作原理可以看出, 如果电路求值后, n 型动态结点由高变为低, p 型动态结点由低变为高, 下一周期预充 (或预放电) 阶段, n 型动态结点由电源充电, p 型多米诺电路动态结点对地放电, 二者同时消耗充放电功耗, 从而使动态功耗增大. 因此, 为了有效地降低动态功耗, 本文提出了电荷自补偿技术, 该技术基于自补偿电荷通路, 利用 p 型多米诺电路动态结点的放电对 n 型多米诺电路的动态结点充电, 从而节约了充放电功耗, 进一步降低了动态功耗. 但是, 此通路必须具有两项判断功能, 一是必须在预充 (或预放电) 阶段此通路才能开启; 二是只有当 n 型多米诺电路的动态结点充电, p 型多米诺电路的动态结点放电时此通路才有效.

本文提出了两种自补偿电荷通路, 如图 2 所示. 在实际的电路应用中, 既可以选用其中一条通路, 也可以同时使用两条通路. 具体工作原理如下: $CLK = 0$ 时的预充 (或预放电) 阶段, 两条自补偿通路中的时钟判断管 PN2 和 NP1 导通, 如果 n 型多米诺电路的动态结点为低, p 型多米诺动态结点为高, 两条自补偿电荷通路将同时开启; 否则, $CLK = 1$ 或动态结点不满足高低电平要求, 两条自补偿电荷通路将同时截止. 当自补偿电荷通路开启时, 电荷的自补偿过程如下 (以 N 时钟自补偿电荷通路为例): p 型动态结点电压 V_p 初始为 V_{dd} , n 型动态结点的电压 V_n 初始值为 Gnd, 补偿通路导通后 V_p 对 V_n 充电, V_p 逐渐减小, V_n 逐渐增大, 当 $V_p - V_{th} = V_n + |V_{tp}|$ (V_{th} 和 V_{tp} 分别表示晶体管 NN 和

PN1 的阈值电压) 时, V_p 对 V_n 充电结束, 接着 V_p 继续通过 N1 放电至 Gnd, V_n 继续通过 P1 充电至 V_{dd} .

很显然, 电荷的自补偿过程受时钟频率影响, 如果时钟频率过大, 预充 (或预放电) 阶段时间太短, V_p 对 V_n 的充电可能达不到理想的情况 $V_p - V_{th} = V_n + |V_{tp}|$, 从而影响电荷补偿效果. 为了解决这一问题, 可以通过加大自补偿通路晶体管宽长比来加快补偿速度, 从而保证补偿效果. 但自补偿通路的开启与截止同时也消耗充放电功耗, 而自补偿通路晶体管尺寸的增大将增大该通路的充放电功耗, 从而使动态功耗增大. 假设自补偿通路本身消耗的功耗为 $E_{通路}$, 补偿的电荷量 Q 产生的功耗 $E_{补偿}$, 多米诺电路的动态功耗减小量为 E , 则 E 由 $E_{补偿}$ 和 $E_{通路}$ 之间的差值决定, 如 (1) 和 (2) 式所示.

$$E_{补偿} = QU \tag{1}$$

$$E = E_{补偿} - E_{通路} \tag{2}$$

另外, 电荷自补偿技术受到工艺尺寸、下拉网络 (PDN) 和上拉网络 (PUN) 逻辑结构、通路晶体管宽长比 (W/L)、电路输入矢量等多方面因素的影响, 因此, 本文通过 HSPICE 仿真, 对电荷自补偿技术进行了系统的量化研究和比较.

3 仿真结果

基于 65, 45 和 32nm CMOS BSIM4 器件模型^[9], 本文对电荷自补偿技术进行了 HSPICE 仿真. 由于 Zipper CMOS 多米诺具有 n, p 混合结构, 本文以 Zipper CMOS^[10] 多米诺电路为验证电路, 应用单路 P 时钟自补偿电荷通路. 每个多米诺电路驱动 8fF 的负载电容, 工作在 110°C 下, 不同工艺尺寸器件的阈值电压和电源电压如表 1 所示, 下拉网络中 nMOS 管的 W/L 为 8~12, 上拉网络中 pMOS 的 W/L 为 40~60. 每种工艺采

表 1 3 种不同工艺尺寸的器件参数

Table 1 Parameters of devices

器件参数	工艺尺寸		
	65nm	45nm ^[11]	32nm
nMOS 阈值电压/V	0.22	0.22	0.42
pMOS 阈值电压/V	-22	-0.22	-0.41
电源电压/V	1	0.8	0.7

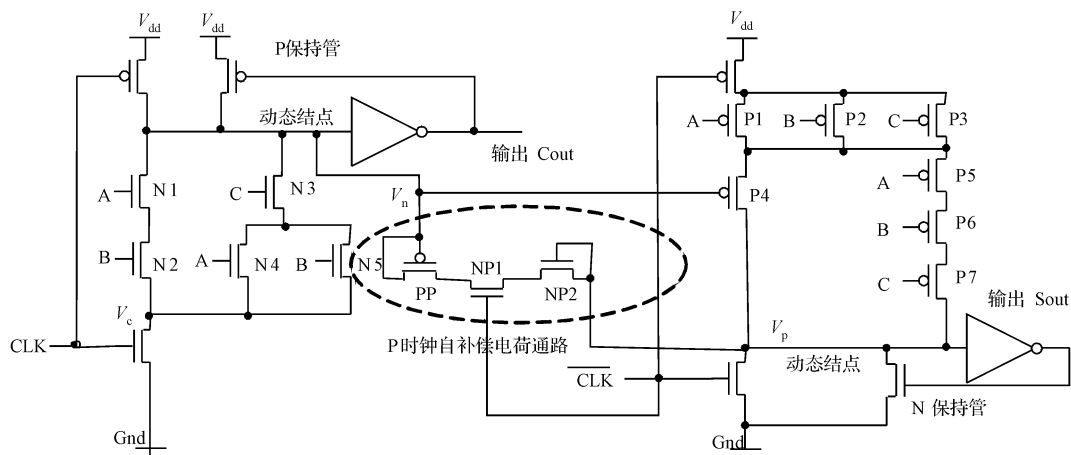


图 3 Zipper CMOS 全加器
Fig.3 Zipper CMOS full-adder

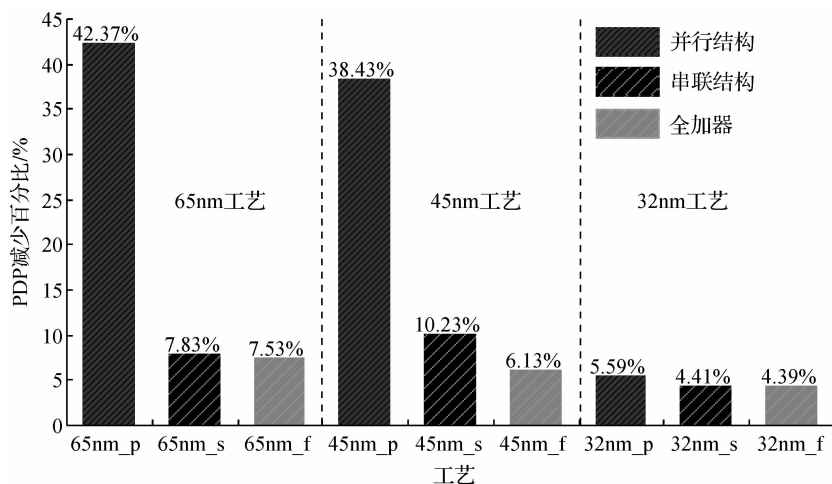


图 4 65,45 和 32nm 工艺尺寸下,9 种验证电路功耗延迟积(PDP)减少的百分比
Fig.4 In 65,45 and 32nm technology, reduction of PDP of 9 experimental test circuits

用 3 种电路结构,具体电路结构和输入矢量分别为:(1) PND 和 PUN 都为双管并行结构且 n 型动态结点为 p 型输入(图 4 中为 65nm_p,45nm_p,32nm_p);(2)PND 和 PUN 都为双管串行结构且 n 型动态结点为 p 型输入(图 4 中为 65nm_s,45nm_s,32nm_s);(3) Zipper CMOS 全加器,电路结构如图 3 所示(图 4 中为 65nm_f,45nm_f,32nm_f),9 种验证电路输入矢量都为(1,1,0)。而且,所有的多米诺门均工作在 1GHz 频率下,仿真结果见图 4。

从图 4 可以看出,每种验证电路的功耗延迟积(PDP)都明显减小,其原因一是因为自补偿电荷通路降低了电路的动态功耗,二是因为自补偿电荷通路也同时提高了预充和预放电阶段电路的速度。以 Zipper CMOS 全加器为例(如图 3),输入矢量设为(1,1,0),电路预充阶段,自补偿电荷通路打开, V_{dd} 和 V_p 共同为 V_n 充电,电路中的电荷互相补偿,减小了全加器的动态功耗。与不具备自补偿电荷通路的全加器在预充阶段只有单源 V_{dd} 充电相比,具备自补偿电荷通路的全加器在条件满足时将有 V_{dd} 和 V_p 双源充电,这一改进将加快电路的速度,从而进一步降低了电路的 PDP。

在图 4 中还可以看出,工艺尺寸越大,自补偿电荷通路的作用越明显。在 65nm 工艺下,并行电路结构的 PDP 的最大改进率可达 42.37%,而在 32nm 工艺下,最大改进率仅为 5.59%。这主要是由于,随着集成电路工艺尺寸不断减小,电源电压、晶体管的阈值电压和栅氧化层厚度等参数不断减小,电路的亚阈值漏电流和栅极漏电流却随着阈值电压和栅氧化层厚度的减小呈指数增长^[12,13],漏电流功耗随之增大,所以可以通过电荷自补偿技术降低的充放电功耗在动态功耗中所占比例不断减小。因此,与 45 和 32nm 工艺相比,65nm 工艺下电荷自补偿技术的降低动态功耗的有效性最大。

从图 4 可以进一步看出,电路结构越简单,PDP 减小越多,自补偿电荷通路的效果越明显。并行结构在下拉网络 PDN 和上拉网络 PUN 中只经过 1 个 nMOS 或 pMOS 晶体管,电荷充放电容易,充放电速度快,PDP 的改进率分别为 42.37%,38.43% 和 5.59%。串联结构充放电要经过串行双晶体管,晶体管自身的电阻产生的压降和寄生电容都会增加充放电延迟。Zipper CMOS 全加器的 PDN 和 PUN 较复杂,除了与串联结构相同的影响外,漏功耗由于晶体管的增加而不断增大,也相对减小

表2 45nm工艺,具有P时钟电荷自补偿通路的Zipper CMOS全加器3种不同输入矢量的功耗减小比较

Table 2 In 45nm technology, the comparison of reduction of power of Zipper CMOS full-adders with P-clock path for charge self-compensation

输入矢量	(1,1,0)	(1,0,1)	(0,1,1)
具有自补偿通路全加器的最小功耗/W	1.223×10^{-4}	1.009×10^{-4}	1.006×10^{-4}
通路 nMOS 和 pMOS 的 W/L	$K_n = 3; K_p = 2$	$K_n = 4; K_p = 1, 2, 3$	$K_n = 4; K_p = 5$
标准全加器功耗	1.236×10^{-4}	1.072×10^{-4}	1.055×10^{-4}
减少功耗百分比/%	1.05	5.88	4.88

了动态功耗的减小量在总功耗中的比例,所以 PDP 改进率分别只有 7.53%, 6.13% 和 4.39%。

以上基于图 4 的分析,虽然证明自补偿通路对提高电路性能作用明显,却没有找到一条最优通路,使电路功耗最低。下面以 45nm 工艺下, P 时钟电荷自补偿通路的 Zipper CMOS 全加器为例,介绍了一种功耗分布方法,从而得到了补偿通路中 nMOS 和 pMOS 的 W/L (宽长比) 最合适的补偿通路,并分析了不同输入矢量对功耗的影响。

图 5 示出了补偿通路中随 nMOS 管和 pMOS 管的 W/L 变化的功耗分布图, W/L 的变化范围从 1 到 20, 3 种不同输入矢量为 (1,1,0), (1,0,1), (0,1,1)。从图中可以看出, pMOS 的 W/L 小于 5 时,沿 y 轴方向的功耗几乎不变。这是由于空穴的迁移率比电子小得多, pMOS 求值速度比较慢,而此时 pMOS 的 W/L 又较小,所以 pMOS 决定了自补偿电荷量的多少(见(1)式),此时补偿电荷与 nMOS 的 W/L 无关;当 pMOS 的 W/L 大于 5 时,则功耗由 nMOS 和 pMOS 的 W/L 共同决定。

从图 5 还可以看出,当 W/L 小于 5 或大于 15 时,电路总功耗较小。但由于通路本身的功耗随 W/L 的增大而增加,较小的 W/L 更有优势。表 2 比较了 45nm 工艺,具有 P 时钟电荷自补偿通路的 Zipper CMOS 全加器在三种不同输入矢量时的功耗减小情况。可以看出,3 种输入矢量下,最小功耗时, nMOS 和 pMOS 的 W/L 都小于 5, 此 W/L 下的补偿通路即最优电荷自补偿路径,因此,在实际的电路应用中,应找到并采用此最优路径。从表 2 还可以看出,在输入矢量为 (1,0,1) 的情况下,达到最小功耗时,通路中 pMOS 的 W/L 有 3 个值 1, 2, 3, 这主要是因为自补偿电荷量有限,通路中 pMOS 的 W/L 为 1 时足以满足自补偿的速度需要,而 W/L 增加到 2, 3 对总功耗的影响又非常微小,完全可以忽略。此外,这些小于 5 的 W/L 远远小于 PDN 中 nMOS 的 W/L (10~16) 和 PUN 中 pMOS 的 W/L (40~60), 所以对于物理设计来说,自补偿通路对版图面积的影响非常小,从而实现了在微小的面积的代价下,电路性能的较大提高。

最后需要指出的是,输入矢量对电路功耗也有很大影响。这是由于不同的输入矢量决定上拉网络 PND 和下拉网络 PUN 中不同晶体管的开启和关断,这些关断和开启又决定了电荷的充放路径,路径长,速度慢;路径短,速度快。另外路径还受非导通管的漏电流的影响,情况较为复杂。输入矢量为 (1,0,1) 时,如图 3 所示, PDN 中 N3, N4 导通为下拉路径, N5 的漏电流辅助下拉路

径, PUN 中 P1, P2, P4 导通为上拉路径;输入矢量为 (0, 1, 1) 时, PDN 中 N3, N5 导通为下拉路径, N4 的漏电流

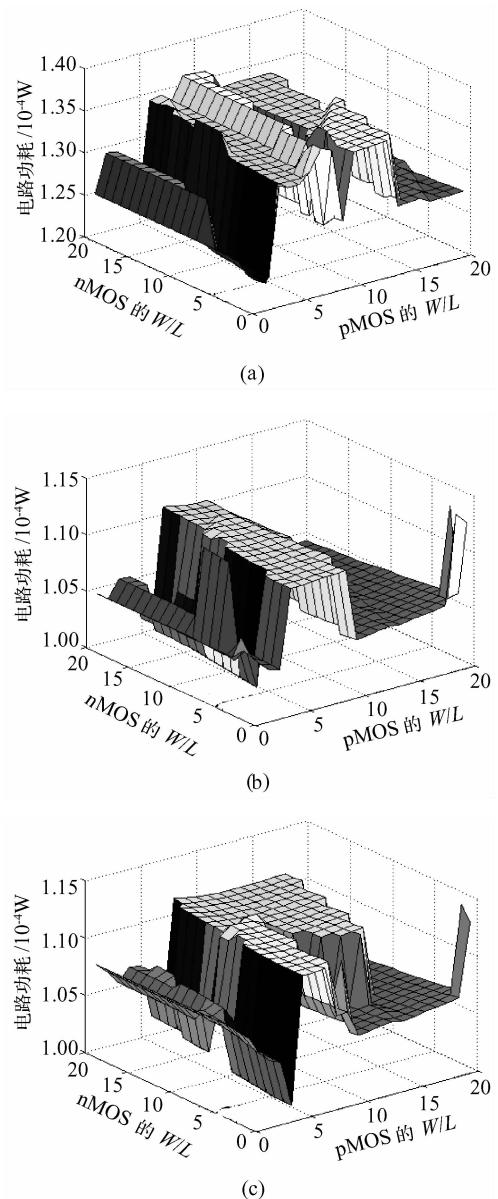


图5 具有P时钟电荷自补偿通路的Zipper CMOS全加器,在3种不同输入矢量时,随nMOS和pMOS的W/L变化的功耗分布图 (a)输入矢量为(1,1,0)时的电路功耗分布;(b)输入矢量为(1,0,1)时的电路功耗分布;(c)输入矢量为(0,1,1)时的电路功耗分布

Fig.5 Power distribution of Zipper CMOS full-adders with P-clock path for charge self-compensation as different W/L of nMOS and pMOS in 3 kinds of input (a) Power distribution with input (1,1,0); (b) Power distribution with input (1,0,1); (c) Power distribution with input (0,1,1)

辅助下拉路径, PUN 中 P2, P3, P4 导通为上拉路径, 两种矢量的下拉和上拉网络的结构相同, 所以功耗减小百分比几乎相等, 分别为 5.88% 和 4.88%。而输入矢量为 (1, 0, 1) 时, N1, N2 为下拉路径, 与前两者相比, 此下拉路径没有漏电流辅助, 电荷充放相对较慢, 补偿通路开启后 V_c 电压预充较慢, V_n 受到 V_c 嵌位, 即消耗较多功耗, 又影响了电荷的自补偿速度, 所以功耗减小只有 1.05%。

综上所述, 电荷自补偿技术在对版图面积影响可以忽略的情况下, 有效地降低了多米诺电路的功耗, 并提高了电路的性能, 达到了我们的设计目的。

4 结束语

随着 CMOS 集成电路的快速发展, 电路的时钟频率不断增加, 电路的功耗不断增大, 从而影响了电路性能。业已提出的减小多米诺电路动态功耗的方法, 使电路速度有所损失或增加了时钟的复杂性, 在应用中受到了限制。本文提出的电荷自补偿技术克服了这些方法的缺点, 在对版图面积影响可以忽略的情况下, 改善了电路的性能, 降低了电路的功耗。HSPICE 仿真结果表明, 与常规多米诺电路相比, 电荷自补偿技术使功耗延迟积 (PDP) 的改进率最大可达 42.37%。此外, 文章还提出了功耗分布法, 准确快捷地找到了 Zipper CMOS 全加器最优自补偿路径, 使动态功耗减小 5.88%。最后, 文章分析了补偿通路晶体管宽长比, 电路输入矢量等多方面因素对电荷自补偿技术的影响, 并指出, 较小的宽长比有利于减小动态功耗, 而输入矢量的影响则与具体的电路结构有关。

参考文献

[1] Chatterjee B, Sachdev M, Krishnamurthy R. Designing leakage

- tolerant, low power wide-OR dominos for sub-130nm CMOS technologies. *Microelectronics Journal*, 2005, 36(6): 801
- [2] Ronen R, Mendelson A, Lai K, et al. Coming challenges in micro-architecture and architecture. *Proceedings of the IEEE*, 2001: 325
- [3] Bohr M T. Nanotechnology goals and challenges for electronic applications. *IEEE Trans Nanotechnol*, 2002: 56
- [4] Mader R, Kourtev I. Reduced dynamic swing domino logic. *Proceedings of the ACM/SIGDA Great Lakes Symposium on VLSI*, 2003: 33
- [5] Shieh S J, Wang J S. Design of low-power domino circuits using multiple supply voltages. *The 8th IEEE International Conference on Electronics, Circuits and Systems*, 2001: 711
- [6] Chin P, Zukowski C A, Gristede G D, et al. Characterization of logic circuit techniques and optimization for high-leakage CMOS technologies. *The VLSI Journal*, 2005, 38(3): 491
- [7] Wang Jinhui, Gong Na, Hou Ligang, et al. Low power wide dominos design in sub-65nm CMOS technologies. *Proceedings of 8th International Conference on Solid-State and Integrated Circuit Technology*, 2006: 1864
- [8] Wang Jinhui, Gong Na, Feng Shoubo, et al. A novel p-type domino and gate design in sub-65nm CMOS technologies. *Chinese Journal of Semiconductors*, 2007, 28(11): 1818 (in Chinese) [汪金辉, 宫娜, 冯守博, 等. 亚 65nm 工艺新型 p 结构多米诺与门设计. *半导体学报*, 2007, 28(11): 1818]
- [9] Kuroda T, Fujita T, Mita S, et al. A 0.9V 150MHz 10mW 4mm² 2-D discrete cosine transform core processor with variable-threshold-voltage scheme. *Proceedings of 43rd ISSCC*, 1996: 1770
- [10] Lee C M, Szeto E W. Zipper CMOS. *IEEE Circuits Devices Mag*, 1986: 10
- [11] Guo Baozeng, Gong Na, Wang Jinhui. Designing leakage-tolerant and noise-immune enhanced low power wide OR dominos in sub-70nm CMOS technologies. *Chinese Journal of Semiconductors*, 2006, 5(5): 804
- [12] Wang Ling, Wen Dongxin, Yang Xiaozong, et al. Synthesis scheme for low power designs under time constraints. *Chinese Journal of Semiconductors*, 2005, 26(2): 287
- [13] Sun Hui, Li Wenhong, Zhang Qianling. A low-power super-performance four-way set-associative CMOS cache memory. *Chinese Journal of Semiconductors*, 2004, 25(4): 366

Charge Self-Compensation Technology Research for Low Power and High Performance Domino Circuits

Wang Jinhui^{1,†}, Gong Na², Hou Ligang¹, Wu Wuchen¹, and Dong Limin¹

(¹ VLSI and System Laboratory, Beijing University of Technology, Beijing 100022, China)

(² College of Electronic and Informational Engineering, Hebei University, Baoding 071002, China)

Abstract: A charge self-compensation technology is proposed in this paper to lower the active power and improve the performance of domino circuits. Domino circuits with different structures of pull-up network (PUN) and pull-down network (PND) are designed using charge self-compensation technology and are simulated based on 65, 45, and 32nm BSIM4 SPICE models by the HSPICE tools. The simulation results show that this technology is effective for high performance and low power operation. The power-delay product (PDP) is reduced by up to 42.37% compared to standard domino circuits. Moreover, a novel method for power distribution is introduced. With this method, taking a Zipper CMOS full-adder in 45nm technology as an example, the paths for charge self-compensation is optimized to minimize the power. Finally, the influence of W/L of nMOS and pMOS in the path for charge self-compensation and input of the circuits on this technology is analyzed thoroughly.

Key words: path for charge self-compensation; power-delay product (PDP); Zipper CMOS full-adder; domino circuits

EEACC: 1130B; 1265

Article ID: 0253-4177(2008)07-1412-05

† Corresponding author. Email: wangjinhui888@yahoo.com.cn

Received 4 January 2008, revised manuscript received 5 February 2008