

# 一种基于目标延迟约束缓冲器插入的互连优化模型\*

朱樟明<sup>†</sup> 钱利波 杨银堂 柴常春

(西安电子科技大学微电子研究所, 西安 710071)

**摘要:** 基于分布式 RLC 传输线, 提出在互连延迟满足目标延迟的条件下, 利用拉格朗日函数改变插入缓冲器数目与尺寸来减小互连功耗和面积的优化模型. 在 65nm CMOS 工艺下, 对两组不同类型的互连线进行计算比较, 验证该模型在改善互连功耗与面积方面的优点. 此模型更适合全局互连线的优化, 而且互连线越长, 优化效果越明显, 能够应用于纳米级 SOC 的计算机辅助设计和集成电路优化设计.

**关键词:** 分布式 RLC; 互连功耗面积; 目标延迟; 拉格朗日函数; 纳米级 CMOS

EEACC: 2570A; 1205

中图分类号: TN402 文献标识码: A 文章编号: 0253-4177(2008)09-1847-04

## 1 引言

随着硅 CMOS 集成电路发展到纳米级 CMOS 阶段, ULSI 频率和规模不断增大, 片上互连的延迟, 功耗和信号完整性已经成为影响电路性能和可靠性的决定性因素之一. 为了减小互连延迟, 优化插入中继缓冲器已经成为片上系统(SOC)互连延迟设计的关键, 并得到了广泛的应用. 通过缓冲器恢复电位, 阻止互连线上电容的累加效应, 使延迟与互连长度成线性关系, 降低延迟<sup>[1~14]</sup>. 然而随着 CMOS 工艺特征尺寸的不断缩小及互连长度的不断增加, 需要插入的中继驱动器尺寸越来越大, 数量越来越多. ITRS 2006<sup>[15]</sup>指出, 纳米级 CMOS 工艺的单片缓冲器数目将达到 80 万门以上, 导致互连本身在延时、功耗及面积等方面的严重问题. 优化插入缓冲器的互连线延迟模型, 将成为一个研究热点.

文献[3]基于 RC 互连延迟求导, 推出最小延迟下插入缓冲器的数目和尺寸. 文献[5]通过优化互连线宽, 实现延迟-功耗两者乘积的最小化. Nalamalpu<sup>[2]</sup>和 Tang<sup>[4]</sup>则将缓冲器的面积引入延迟问题, 折中考虑互连线延迟-功耗-面积三者间的关系. 但上述文献<sup>[2~5]</sup>都是基于 Elmore 互连模型, 没有考虑电感因素的影响, 当 CMOS 集成电路工艺的特征器件尺寸缩小到 90nm 以后, 导线电感开始成为影响延迟的决定因素, 此时必须采用 RLC 传输线模型. 同时, 缓冲器的泄漏功耗也成为互连功耗的重要组成部分.

本文从 RLC 传输线出发, 综合考虑互连功耗与面积的影响, 提出了在满足目标延迟约束下最优化插入缓冲器的设计模型. 本文首先提出基于纳米级 CMOS 工艺的 RLC 互连线的延迟-功耗-面积计算表达式, 然后利用拉格朗日乘数法, 推导出在互连延迟满足目标延迟

的条件下, 插入缓冲器的最优化设计方法. 最后与最小延迟下的缓冲器进行比较, 验证本文提出的优化模型在降低互连功耗和减小互连面积方面的优点.

## 2 RLC 互连延迟-功耗-面积

### 2.1 延迟

图 1 是一段带有  $n$  个中继缓冲器, 长度为  $h$  的 RLC 传输线, 其单位长度的电阻、电感、电容分别用  $r$ ,  $l$ ,  $c$  表示. 插入缓冲器采用传统的 CMOS 反相器, 其输出电阻  $R$  和输入电容  $C$  如(1)式、(2)式所示<sup>[14]</sup>:

$$R = \frac{k_1}{w} \quad (1)$$

$$C = k_2 w \quad (2)$$

其中  $w$  为反相器中 nMOS 管的沟道宽度;  $k_1$  和  $k_2$  是与工艺相关的参数.

RLC 传输线中, 电感因素起主导作用, 互连延迟由信号在线上传输时间  $t_f$  和对反相器电容充电时间  $t_c$  两部分组成. 信号传输时间  $t_f$  由 RLC 传输函数计算求得, 电容充电时间  $t_c$  则根据所需门限电压变化. 图 1 所示的插入缓冲器的 RLC 互连线的 50% 门限延迟可表示为<sup>[7,8]</sup>:

$$t_{\text{rep-rlc}} = \ln 2 \left( \frac{\ln}{r} + \frac{7rch^2}{12n} \right) + 0.693 \left( k_2 wrh + k_1 k_2 n + \frac{k_1 ch}{w} \right) \quad (3)$$



图 1 插入缓冲器的 RLC 互连线

Fig. 1 Repeaters insertion in a RLC interconnect

\* 国家自然科学基金(批准号:60476046,60676009,60776034),教育部博士点基金(批准号:20050701015),国家杰出青年科学基金(批准号:60725415)资助项目

<sup>†</sup> 通信作者. Email: zmyh@263.net  
2008-01-06 收到, 2008-04-29 定稿

利用互连延迟对  $n$  和  $w$  分别求导归零,可得到最小延迟下的缓冲器数目和尺寸:

$$n_{\text{opt}} = \sqrt{\frac{0.404rch^2}{0.693\left(k_1k_2 + \frac{l}{r}\right)}} \quad (4)$$

$$w_{\text{opt}} = \sqrt{\frac{k_1c}{k_2r}} \quad (5)$$

将(4)式和(5)式代入延迟表达式(3),即得 RLC 互连线的最小延迟:

$$t_{\text{opt-rlc}} = \ln 2 \left( \frac{\ln n_{\text{opt}}}{r} + \frac{7rch^2}{12n_{\text{opt}}} \right) + 0.693 \left( k_2 w_{\text{opt}} rh + k_1 k_2 n_{\text{opt}} + \frac{k_1 ch}{w_{\text{opt}}} \right) \quad (6)$$

## 2.2 功耗

图 1 的 RLC 互连线功耗如(7)式所示,通常由以下 3 个来源组成:电容翻转功耗  $P_{\text{switch}}$ ,在典型的 CMOS 电路中,电容功耗是占主导地位的因素;互连泄漏功耗  $P_{\text{leakage}}$ ,其功耗随工艺尺寸的缩小而增加,纳米级 CMOS 工艺下,泄漏功耗成为关键<sup>[3]</sup>;直流通路功耗  $P_{\text{short-circuit}}$ ,表示反相器的 nMOS 和 pMOS 同时导通时的功耗,一般可以通过细心的设计控制在限定范围内,因此本文对此功耗不作考虑.

$$P_{\text{repeater}} = P_{\text{switch}} + P_{\text{leakage}} + P_{\text{short-circuit}} \quad (7)$$

电容翻转功耗  $P_{\text{switch}}$  可表示为<sup>[14]</sup>:

$$P_{\text{switch}} = \alpha(k_2 wn + ch) V_{\text{dd}}^2 f \quad (8)$$

其中  $V_{\text{dd}}$  是电源电压; $f$  是时钟频率; $\alpha$  是活动因子,表示反相器翻转的概率,本文取其为 0.15<sup>[6]</sup>.

互连线上的插入缓冲器泄漏功耗  $P_{\text{leakage}}$  表示为:

$$P_{\text{leakage}} = V_{\text{dd}} I_{\text{leakage}} n = V_{\text{dd}} \frac{1}{2} (I_{\text{offn}} w_n n + I_{\text{offp}} w_p n) = \frac{3}{2} V_{\text{dd}} I_{\text{offn}} wn \quad (9)$$

其中  $I_{\text{offn}}, I_{\text{offp}}$  分别是 nMOS 管和 pMOS 管的泄漏电流,在本文的 CMOS 反相器中,设  $u_n \approx 2u_p$ ,  $I_{\text{offn}} = I_{\text{offp}}$ ,则  $w_p = 2w_n$ .

## 2.3 面积

纳米级 CMOS 工艺下,数以万计的缓冲器插入占据了大量的硅片面积,严重影响了芯片的结构和布局,已经成为互连优化中不可忽略的因素.考虑在数字电路设计中,为实现面积的最小化,一般选用最小沟长的器件,只通过沟道宽度改变器件特性,则 CMOS 反相器的面积可表示为(10)式形式<sup>[2]</sup>:

$$A_{\text{rep}} = 3nw \quad (10)$$

基于 ITRS 2006<sup>[15]</sup>,表 1 列出了纳米级 COMS 下各工艺节点互连线的等效电路模型参数.

## 3 缓冲器插入的优化模型

基于图 1 所示的 RLC 互连线,我们可以利用互连

表 1 纳米级 CMOS 工艺下互连线的等效电路模型参数

Table 1 Technology and equivalent circuit model parameters for different technology Based on ITRS 2006

Tech. node/nm	90	65	45
$k_1/(\text{m} \cdot \Omega)$	$8.14 \times 10^{-4}$	$6.24 \times 10^{-4}$	$5.94 \times 10^{-4}$
$k_2/(\text{F}/\text{m})$	$1.22 \times 10^{-8}$	$1.58 \times 10^{-8}$	$2 \times 10^{-8}$
$V_{\text{dd}}/\text{V}$	1	0.7	0.6
$I_{\text{offn}}/(\mu\text{A}/\mu\text{m})$	3.56	13.4	23.83
$f_{\text{clk}}/\text{GHz}$	2.99	6.73	11.51

延迟的表达式分别对插入的缓冲器数目和尺寸求导,推出其最小延迟.但在实际的很多互连系统设计中,并不要求延迟做到最小化,只需要互连延迟满足某个给定目标延迟即可,因为互连延迟的降低是以更大的互连功耗和面积为代价的.基于这种思想,研究目标延迟约束下的互连功耗与面积最优化就非常有意义.

本文采用 Lagrangian 乘数法,在互连延迟 ( $t_{\text{rlc-rep}}$ ) 等于目标延迟 ( $t_{\text{target}}$ ) 的条件下,提出了通过改变插入缓冲器的数目  $n$  和尺寸  $w$  来最小化互连功耗和面积的模型:

$$F = XA_{\text{rep}} + YP_{\text{rep}} + \lambda(t_{\text{rlc-rep}} - t_{\text{target}}) \quad (11)$$

其中  $F$  是拉格朗日函数; $X$  和  $Y$  分别是互连功耗与面积的权,权的大小反映对应参数重要性.

将(3),(7)和(10)式代入(11)式,得到  $F$  关于  $n$  和  $w$  的表达式:

$$F = X(3nw) + Y \left[ \alpha(k_1 wn + ch) V_{\text{dd}}^2 f + \frac{3}{2} V_{\text{dd}} I_{\text{offn}} wn \right] + \lambda \left[ \ln 2 \left( \frac{\ln n}{r} + \frac{7rch^2}{12n} \right) + 0.693 \left( k_2 wrh + k_1 k_2 n + \frac{k_1 ch}{w} \right) - t_{\text{target}} \right] \quad (12)$$

对拉格朗日函数求导,使  $\frac{\partial F}{\partial n} = 0, \frac{\partial F}{\partial w} = 0$ ,求得

和(14)式.

$$w \left( 3X + \alpha Y k_1 V_{\text{dd}}^2 f + \frac{3}{2} V_{\text{dd}} I_{\text{offn}} \right) + \lambda \left[ 0.693 \left( \frac{l}{r} + k_1 k_2 - \frac{7rch^2}{12n^2} \right) \right] = 0 \quad (13)$$

$$n \left( 3X + \alpha Y k_1 V_{\text{dd}}^2 f + \frac{3}{2} V_{\text{dd}} I_{\text{offn}} \right) + \lambda \left[ 0.693 \left( k_2 rh - \frac{k_1 ch}{w^2} \right) \right] = 0 \quad (14)$$

联立上述两式,消去参数  $\lambda$ ,同时将目标延迟  $t_{\text{target}}$  代入(3)式,即可得到  $n$  和  $w$  的两个关系式:

$$\frac{rch^2}{n} = \frac{6}{7} (t'_{\text{target}} - 2k_4 w) \quad (15)$$

$$k_5 n - \frac{7rch^2}{12n} = k_4 w - \frac{k_3}{w} \quad (16)$$

其中  $t'_{\text{target}} = t_{\text{target}}/0.693; k_3 = k_1 ch; k_4 = k_2 rh; k_5 = \frac{l}{r} + k_1 k_2$ .

将(15)式代入(16)式,求得目标延迟约束下对应的缓冲器的最佳尺寸  $w$  与数目  $n$ :

$$w = \frac{\left(2k_3 k_4 + \frac{t_{\text{target}}^2}{2} - \frac{7}{6}rch^2 k_5\right) - \sqrt{\left(2k_3 k_4 + \frac{t_{\text{target}}^2}{2} - \frac{7}{6}rch^2 k_5\right)^2 - 4k_3 k_4 t_{\text{target}}^2}}{2k_4 t_{\text{target}}} \quad (17)$$

$$n = \frac{7rch^2}{6 \left[ t_{\text{target}} - \frac{\left(2k_3 k_4 + \frac{t_{\text{target}}^2}{2} - \frac{7}{6}rch^2 k_5\right) - \sqrt{\left(2k_3 k_4 + \frac{t_{\text{target}}^2}{2} - \frac{7}{6}rch^2 k_5\right)^2 - 4k_3 k_4 t_{\text{target}}^2}}{t_{\text{target}}} \right]} \quad (18)$$

### 4 模型验证与讨论

运用上述的 RLC 互连优化模型,在 65nm CMOS 工艺下,对两种不同类型的互连线模型进行计算比较,其所需的工艺参数如表 1 所示.互连线单位长度的电阻  $r$ ,电感  $l$ ,电容  $c$ ,是随互连类型变化的,其数值由 BPTM 的 2.5D 场求解器提取.表 2 为基于 65nm CMOS 工艺的目标延迟下互连优化模型的计算比较结果.从表 2 可以看出,不论是对芯片内的中间互连线,还是全局互连线,当目标延迟逐步增大时,互连线面积与功耗都随之降低.这是由于目标延迟的增加,使得优化互连延迟的缓冲器的数目  $n$  和尺寸  $w$  相应减小.

图 2 和图 3 分别给出了中间长度互连线与全局互连线的面积  $A_{\text{rep}}$  和功耗  $P_{\text{rep}}$  与目标延迟的关系.比较分析可以发现,虽然互连面积和功耗都随目标延迟的增

表 2 基于 65nm CMOS 工艺的目标延迟下互连优化模型的计算比较  
Table 2 Power and area of repeaters for two types of interconnect lines in 65nm CMOS technology

Tech, parameter	$t_{\text{target}}$ /ps	$t_{\text{opt}}$ /ps	$n$	$w$ / $\mu\text{m}$	$A_{\text{rep}}$ / $\mu\text{m}^2$	$P_{\text{rep}}$ / $\mu\text{W}$
Intermediate $h = 2\text{cm}$ $r = 448.9\Omega/\text{mm}$ $l = 2.36\text{nH}/\text{mm}$ $c = 49.93\text{fF}/\text{mm}$	802	802	19	2.10	119.70	1367.1
	810	802	16	1.82	87.55	1132.6
	830	802	14	1.70	76.68	1053.3
	880	802	12	1.37	49.24	853.1
	970	802	10	1.13	33.78	740.3
Global $h = 10\text{cm}$ $r = 40.74\Omega/\text{mm}$ $l = 2.44\text{nH}/\text{mm}$ $c = 108.33\text{fF}/\text{mm}$	2773.8	2773.8	20	10.25	614.82	9843.7
	2800	2773.8	18	8.37	451.95	8655.5
	2850	2773.8	17	7.33	373.61	8312.6
	2950	2773.8	15	6.20	320.71	7698.1
	3000	2773.8	14	5.82	279.19	7395.2

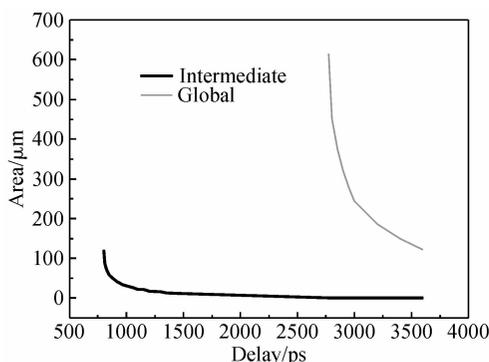


图 2 不同类型互连线的互连面积与延迟关系

Fig.2 Area versus target delay for two types interconnect lines in 65nm CMOS technology

加而下降,但全局互连线的下降速率明显比中间互连线更快,这表明对于目标延迟的变化,全局互连线在互连面积和功耗方面相应的减小量更大,这是因为全局互连线的插入缓冲器数目  $n$  和尺寸  $w$  基数大,其变化空间较中间互连线插入缓冲器大的原因.同时,这也说明了我们的优化模型更加适合于对全局互连线的优化,互连线越长,优化效果越明显.

当前互连延迟优化设计中,互连功耗与面积问题日益受到重视.文献[3]提出基于部分延迟损失来减小插入缓冲器尺寸与数目,进而降低互连功耗与面积的模型,在一定范围内具有可行性,但是精确度相对较低.文献[4]与[5]提出通过优化互连线宽和线间距,实现延迟-功耗乘积最优化与延迟-功耗-面积乘积最优化的模型,在一定的互连线长下,该最优的延迟与功耗值是限定的,不随目标延迟增大变化.而本文的模型更加灵活和实用,能够在目标延迟增大的情况下,满足目标延迟的需要,同时最小化互连功耗和面积,保证模型的精确度与最优性.

### 5 结论

从分布式 RLC 传输线入手,综合考虑互连延迟-功耗-面积三者之间的关系,提出在互连延迟满足目标延迟约束下,利用拉格朗日函数改变插入中继缓冲器的数目和尺寸来最小化互连功耗与面积的优化模型.基于 65nm CMOS 工艺,对两组不同类型的互连线进行计算和比较,验证该模型在改善互连(特别是长互连线)功耗与面积方面的优点.所提出的模型更加适合于对全局互连线的优化,互连线越长,优化效果越明显,对纳米级 SOC 的计算机辅助设计和集成电路设计优化有重要的指导作用.

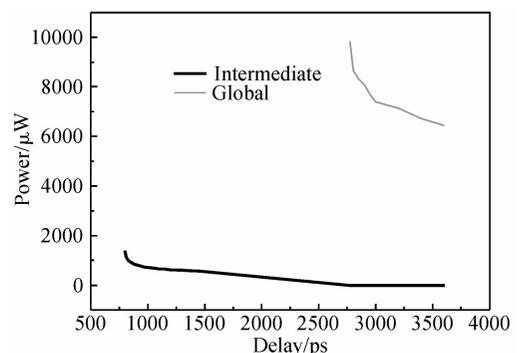


图 3 不同类型互连线的互连功耗与延迟关系

Fig.3 Power versus target delay for two type interconnect lines in 65nm CMOS technology

## 参考文献

- [ 1 ] Chen Guoqing, Friedman E G. Low power repeaters driving RLC interconnect with delay and bandwidth constraints. Proc IEEE Int Symp Circuits Syst, 2005; 596
- [ 2 ] Nalamalpu A, Burleson W. A practical approach to DSM repeater insertion: satisfying delay constraints while minimizing area and power. IEEE Int ASIC/SOC Conf, 2001; 152
- [ 3 ] Banerjee K, Mehrotra A. A power-optimal repeater insertion methodology for global interconnects in nanometer designs. IEEE Trans Electron Devices, 2002, 49(11): 2001
- [ 4 ] Tang Min, Mao Junfa. Optimization of global interconnects in high performance VLSI circuits. Proceeding of the 19th International Conference on VLSI, 2006, (6): 1063
- [ 5 ] El-Moursy M A. Optimum wire sizing of RLC interconnect with repeaters. GLSVLSI'03, Washington, DC, USA, 2003
- [ 6 ] Hanchate N. A linear time algorithm for wire sizing with simultaneous optimization of interconnect delay and crosstalk noise. IEEE Proceeding of the 19th International Conference on VLSI Design, 2006; 283
- [ 7 ] Venkatesan R. Compact distributed RLC interconnect models-part IV: Unified models for time delay, crosstalk, and repeater insertion. IEEE Trans Electron Devices, 2003, 50(4): 1094
- [ 8 ] Yu Q J, Kuh E S. Moment computation of lumped and distributed coupled RC trees with application to delay and crosstalk estimation. Proc the IEEE, 2001, 89(5): 772
- [ 9 ] Sekar D C, Venkatesan R. Optimal repeater for sub-50nm interconnect networks. Proc IITC, 2006; 199
- [ 10 ] Morgenshtein A, Cidon I. Low-leakage repeaters for NOC interconnects. IEEE Symposium on Circuit and Systems, 2005, 1: 600
- [ 11 ] Zhang Yiqian, Hong Xianlong, Cai Yici. Simultaneous routing and buffer insertion under fixed buffer locations based on accurate delay models. Chines J of Electronics, 2005, 33(5): 783
- [ 12 ] Hanchate N, Ranganathan N. Simultaneous interconnect delay and crosstalk noise optimization through gate sizing using game theory. IEEE Trans Computers, 2006, 55(8): 1011
- [ 13 ] Liu Zhipeng, Bian Jinian. Interconnect delay and power optimization by module duplication for integration of high level synthesis and floorplan. IEEE Computer Society Annual Symposium on VLSI, 2007
- [ 14 ] Rabaey J M. Digital intergrated circuits: A design perspective. 2nd ed. Pearson Education Inc, 2003
- [ 15 ] International Technology Roadmap for Semiconductors 2006 (ITRS 2006)

## A Novel Interconnect-Optimal Repeater Insertion Model with a Target Delay Constraint\*

Zhu Zhangming<sup>†</sup>, Qian Libo, Yang Yintang, and Chai Changchun

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

**Abstract:** Repeater optimization is key for SOC interconnect delay design. This paper proposes a novel optimal model for minimizing power and area overhead of repeaters while meeting the target performance of on-chip interconnect lines. A Lagrangian function is presented to find the number of repeaters and their sizes required for minimizing area and power overhead with a target delay constraint. Based on 65nm CMOS technology, the computed results of the intermediate and global lines show that the proposed model can significantly reduce the area and power of interconnect lines and is especially suitable for global lines. The best performance will be achieved with the longer line. The proposed model can be integrated into repeater design methodology and CAD tools for interconnect planning in nanometer SOCs.

**Key words:** distributed RLC; interconnect power dissipation and area; target delay; Lagrangian function; nanometer CMOS

**EEACC:** 2570A; 1205

**Article ID:** 0253-4177(2008)09-1847-04

\* Project supported by the National Natural Science Foundation of China ( Nos. 60676009, 60676009, 60776034 ), the Doctor Foundation of Ministry of Education ( No. 20050701015 ), and the National Outstanding Young Scientist Foundation of China ( No. 60725415 )

<sup>†</sup> Corresponding author. Email: zmyh@263.net

Received 6 January 2008, revised manuscript received 29 April 2008