集成于电流模降压型 DC-DC 变换器的电流采样电路

袁 冰1,2,* 来新泉2 叶 强2 李演明1 贾新章1

(1 西安电子科技大学微电子学院,西安 710071) (2 西安电子科技大学电路 CAD 所,西安 710071)

摘要:针对电流模降压型 DC-DC 变换器,提出了一种新颖的 CMOS 片上电流采样电路.该电路结构简单,易于集成,功率 损耗小,且通过 MOSFET 的匹配使采样比例几乎不受温度、模型以及电源电压变化影响.并通过进一步的优化设计,使得 响应速度更快,工作电压进一步降低.提出的采样电路在一款基于 0.5μm CMOS 工艺设计的单片电流模降压型 DC-DC 变 换器中进行了验证.在 2.5~5.5V 的电压范围,0~2A 的负载范围内芯片工作稳定,瞬态响应良好,且效率高达 96%.

关键词:降压型 DC-DC 变换器;电流模控制;电流采样电路 EEACC: 1280;2570D 中图分类号:TN432 文献标识码:A 文章编号:0253-4177(2008)08-1627-05

1 引言

随着微电子技术的迅猛发展以及手机、数码相机等 便携式产品的迅速普及,电源管理类芯片尤其是 PWM (pulse width modulation)降压型 DC-DC 变换器得到 了广泛应用.同传统的电压模式控制相比,电流模式控 制具有更快的瞬态响应和优越的闭环稳定性,且周期性 的过流关断更好地保护了开关管^[1,2].作为重要的模拟 单元,电感电流采样电路是以上优点实现的基础.目前 已有多种电流采样方式^[3],例如开关管或者电感串联采 样电阻、采样变换器、采样积分器等,但这些方法在 IC 设计中仍存在功率损耗大、不易集成、电路结构复杂以 及采样比例随工艺温度变化大等许多问题.

作者基于降压型 DC-DC 变换器,提出了一种新颖的 CMOS 片上电流采样电路,利用采样管对主开关漏源电压进行采样,通过简洁的 V-I 变换器转变为采样电流.该电路结构简单、易于集成,没有增加额外的功率损耗,且通过 MOSFET 的匹配使采样比例几乎不受温度、模型以及电源电压变化的影响.并通过进一步的优化设计,使得瞬态响应更快,工作电压进一步降低.该电路可实现较小的采样比例,适用于低压大电流应用.提出的 采样电路在一款基于 0.5μm CMOS 工艺设计的单片电流模降压型 DC-DC 变换器中进行了验证.测试结果表明,提出的电流采样电路工作正常,可以满足一般便携应用.

2 电流采样电路

2.1 电流模降压控制结构

图1所示为采用同步整流技术的典型电流模降压

型 DC-DC 变换器简化结构框图. 变换器由功率级和反 馈控制级组成. 集成的开关管 MP1、同步管 MN1 以及 片外的电感电容组成了功率级. 反馈控制部分包含两个 反馈环路:电压外环以及电流内环. 输出电压 Vour 经过 电阻 R₃/R₄ 分压后输入到误差放大器 EA 的反相输入 端,误差放大器的同相输入端接芯片内部带隙基准电压 REF. R₁, C₁ 组成内部补偿网络,调节频率响应以提供 足够的相位裕度^[2]. 电流比较器的反相输入端为误差电 压信号,同相输入端为叠加电平 V_{ADD}, 通常由采样电 流、斜坡电流与基准电流信号叠加后流入电阻产生:

 $V_{ADD} = I_{SEN}R_2 + I_{SLOPE}R_2 + I_{DC}R_2$ (1) 其中 第一项反映了电感电流的大小,由电流采样电路 产生;第二项为斜坡补偿部分,随着占空比的增大而增 大,用于防止亚谐波振荡,保证电流环路的稳定;第三项 产生一个固定基础电平,为 PWM 比较器输入端提供一 个合适的直流工作点^[4]. PWM 比较器输出决定占空 比,即开关管的导通及关断时间.与电压模式不同,电



图 1 典型降压型 DC-DC 变换器控制框图

Fig.1 Typical control diagram of DC-DC buck converter

^{*} 通信作者.Email:yuanbing1983@126.com;byuan@mail.xidian.edu.cn 2008-01-13 收到,2008-03-04 定稿



图 2 提出的电流采样电路 Fig.2 Schematic of the proposed current-sensing circuit

流模式控制不是用电压误差信号直接控制 PWM 脉冲 宽度,而是通过控制输出端的峰值电感电流大小,然后 间接地控制 PWM 脉冲宽度.因此电流模控制具有更好 的动态响应能力.无论系统工作在 CCM(continuousconduction mode)还是 DCM(discontinuous-conduction mode)模式,在电感电流的上升阶段,即开关管导 通阶段,必须进行准确的电流采样.因此,电流采样电路 的设计不仅决定了芯片峰值电流的大小以及系统的瞬 态响应能力,而且与电流环路的稳定性密切相关.

2.2 电路分析

目前已有的用于降压型 DC-DC 变换器控制的电 流采样电路多种多样,文献[3]中采用与电感串联电阻 的方式进行采样,不但降低效率也不利于系统集成;文 献[5,6]中采用电流镜像方法,采样比例较大,且电路实 现中需要专门设计的运算放大器,结构复杂;文献[7,8] 中对其进行了改进,采用共栅放大器的方法,但由于采 样比例无法减小,仍无法适用于低电压大电流应用;文 献[9]中利用电阻对电压进行采样,由于电阻与 MOS-FET 无法匹配,因此会造成随工艺、温度、电源电压变化 较大的缺点.作者综合以上方法,提出了一种新颖的电 流采样电路,利用 MOSFET 对开关管漏源电压进行采 样,通过共栅电流镜结构的 V-I 变换器将其转换为采样 电流,实现了较小的采样比例,适于低电压大电流应用. 同时通过版图中的匹配设计,可以使该采样比例与工 艺、温度、电源电压变化基本无关.

图 2 所示为作者提出的具体电流采样电路. MP1, MN1 分别为片内集成主开关以及同步整流开关,由大量的 MOSFET 并联而成,以获得较小的导通电阻,提高效率. MS1, MS2 为采样管,其宽长比相同且远远小于主开关管.Q 为逻辑驱动信号, XQ 为其反相信号. I_{REF} 为内部产生的电流基准,为该模块提供与温度、电源电压无关的偏置电流. M3, M4 以及 M6, M7, M8 分别构成两组电流镜, 且(W/L)_{M3.4} = 50 μ m/2 μ m,(W/L)_{M5} = 10 μ m/2 μ m,(W/L)_{M5.7} = 80 μ m/5 μ m,(W/L)_{M8} = 10 μ m/2 μ m. M1, M2 的尺寸相同, 栅极接地,工作于线性区. M3, M4 工作于饱和区,由于栅极电压相等,因此源极电压即 B,C 两点电压相等. M5 的漏端电流即为采 样电流,与斜坡电流以及基准电流叠加后流入电阻 R_2 产生 V_{ADD} ,与误差信号进行比较.同时 M5 构成了反馈 回路,使得电路对 B,C 的电压差值能够快速响应并稳 定环路.当 V_A 降低时, V_C 降低,进而 M5 的栅极电压 变低,采样电流变大,流过 M1 的电流变大, V_B 降低,直 至达到新的平衡 $V_B = V_C$.下面我们分充电和续流两个 过程对电流的采样原理进行详细介绍.

在充电阶段,Q为低电平时,MP1,MS2导通, MN1,MS1截止,电感电流以($V_{IN} - V_{OUT}$)/L的斜率线 性上升,此时需要对电感电流进行采样.MP1,MS2均工 作在线性区,设 R_{MX} 为工作在线性区晶体管MX(X = S1/S2/P1/…)的漏源导通电阻,可以表示为:

$$R_{\rm MX} \approx \frac{L}{\mu_P C_{\rm OX} W (V_{\rm GS} - V_{\rm TH})}$$
(2)

其中 $\mu_{\rm P}$ 为 pMOS 中空穴的迁移率; $C_{\rm ox}$ 为单位面积的 栅氧化层电容; W 和 L 分别为 pMOS 的宽长; $V_{\rm TH}$ 为阈 值电压.由于流过 MS2 的电流相对较小(μ A 级),因此 流过 MP1 的电流可近似等于电感电流,则 A,B,C 各点 电压可以表示为:

$$V_{\rm A} = V_{\rm IN} - I_{\rm L} R_{\rm MP1} - 8 I_{\rm REF} R_{\rm MS2}$$
(3)

$$V_{\rm B} = V_{\rm IN} - (8I_{\rm REF} + I_{\rm SEN})R_{\rm M1}$$
(4)

$$V_{\rm C} = V_{\rm A} - 8I_{\rm REF}R_{\rm M2} \tag{5}$$

其中 I_{L} 为电感电流; I_{SEN} 为 M5 的漏端电流即采样电流.

取 $(W/L)_{MS1} = (W/L)_{MS2} \gg (W/L)_{M1} = (W/L)_{M2}$,则 $R_{MS1} = R_{MS2} \ll R_{M1} = R_{M2}$.考虑到 $V_B = V_C$,综合以上 3 式可以得到:

$$I_{\rm SEN} = \frac{R_{\rm MP1} I_{\rm L}}{R_{\rm M1}} + \frac{8R_{\rm MS2} I_{\rm REF}}{R_{\rm M1}} \approx \frac{R_{\rm MP1}}{R_{\rm M1}} I_{\rm L} \qquad (6)$$

由(6)式可见,采样电流与电感电流的比值即采样比例 由 pMOS 的导通电阻比值决定,只要在版图布局中使得 MP1 与 M1,M2 匹配较好,那么采样比例近似为常数, 可以保证采样电流与电感电流良好的比例关系,且不受 温度、模型、电源电压变化的影响.在某些低压大负载电 流的应用中,由于功耗以及工作电压限制,采样电流不 宜过大,此时 M1,M2 可以通过多个 MOSFET 串联实 现,如图 2 虚线所示.甚至在面积允许的条件下,可以引 人 Trim 调节方案,通过选择串联个数改变采样比例,进 而对芯片的峰值电流以及带载能力进行调节.

在续流阶段,Q为高电平时,MP1,MS2截止, MN1,MS1导通,电感电流以 – V_{OUT}/L 的斜率线性下降,此时无需对电感电流进行采样.MS1工作于线性区. 考虑到(4)和(5)式以及 $R_{MS1} = R_{MS2} \ll R_{M1} = R_{M2}$,A点电压以及采样电流可以表示为:

$$V_{\rm A} = V_{\rm IN} - 8I_{\rm REF}R_{\rm MS1} \tag{7}$$

$$I_{\text{SEN}} = \frac{8R_{\text{MSI}}I_{\text{REF}}}{R_{\text{MI}}} \approx 0$$
(8)

此时 V_{IN} 与 V_A 近似相等, $M3 \sim M4$, $M6 \sim M8$ 工作于平 衡状态,采样电流与(6) 式中的直流偏差量相等,均可 以忽略.



图 3 优化电流采样电路 Fig. 3 Schematic of optimized current-sensing circuit

3 优化设计

图 2 所示的电流采样电路实现了精确的电流采样 比例,可以应用于各种电流模降压型 DC-DC 变换器 中,但它仍然存在两个缺点.首先在某些实际应用中,由 于互联线上寄生电容以及失调的影响,采样电路响应较 慢,因此当电感电流由零开始线性增大时,经过一定的 响应时间后,采样比例才能维持较好的线性关系,这就 需要在布线中特别注意或者采取措施来避免.另外一个 缺点就是当该电路应用于某些低压环境时,由于采样电 压为开关管漏源电压,因此在大负载电流情况下,MP1 导通电阻产生压降较大,由于 V_{ADD}电压的限制 M3~ M8 的稳压回路会由于 A 点电压过低而无法正常工作. 作者针对以上两个缺点进行了优化设计,具体电路如图 3 所示,虚线所示为改动部分.

针对响应速度问题,图 3 增加了一路偏置电流 M9, 且(W/L)_{M9} = 10µm/5µm.则同图 2 所示电路相比,M3 ~M8 构成的反馈回路一直处于工作状态,加快了电路 的响应速度.无论在充电阶段还是续流阶段,采样电流 均增加了 I_{REF} .当然与之相对应,叠加电平的直流电流 I_{DC} 需要减少 I_{REF} 以维持 V_{ADD} 的恒定.另外,为了降低 大电流应用中的最低工作电压,图 3 中 MS1 的栅极改 为 GND,则 Q 为低电平时会有电流从 A 点流向 SW,但 由于 $R_{MP1} \ll R_{MS1} = R_{MS2}$,所以流过 MP1 的电流仍近似 等于电感电流 I_L .考虑到(R_{MS2}/R_{MP1}) \ll ($I_L/8I_{REF}$),A 点电压以及采样电流(没有 M9 的情况下)可以表示为:

$$V_{\rm A} = V_{\rm IN} - \frac{R_{\rm MS1} R_{\rm MP1} I_{\rm L}}{R_{\rm MS1} + R_{\rm MS2}} = V_{\rm IN} - \frac{R_{\rm MP1} I_{\rm L}}{2}$$
(9)

$$I_{\rm SEN} = \frac{R_{\rm MS1} R_{\rm MP1}}{R_{\rm M1} (R_{\rm MS1} + R_{\rm MS2})} I_{\rm L} = \frac{R_{\rm MP1}}{2R_{\rm M1}} I_{\rm L} \quad (10)$$

同(3)式相比,对应相同的电感电流,优化后的电路中 A点电压相对较高;同(6)式相比,要实现相同的采样 比例,图3所示电路所需 M1,M2 串联 MOSFET 的个 数仅是图2电路中的一半.所以同图2电路相比,优化 后的结构可以实现更低的工作电压.



图 4 提出采样电路的仿真结果 (a)采样比例随温度/模型的变化曲 线;(b)采样比例随电感电流/电源电压的变化曲线 Fig. 4 Simulation result of proposed current-sensing circuit (a) Sense ratio versus temperature and model; (b) Sense ratio versus inductor current and supply voltage

4 仿真及测试结果

作者提出的电流采样结构已经应用于一款单片电 流模 PWM 降压型 DC-DC 变换器中,芯片已经基于 Magnachip 0. 5µm CMOS 工艺采用 Cadence 和 Hspice 等软件在工作站上完成电路和版图设计,并进行了投 片.图4所示为采样电路的仿真结果.图4(a)所示为电 源电压 3.6V,电感电流 2A 条件下,采样比例在不同温 度、模型时的 Hspice 直流仿真结果. 可见,采样比例随 温度、模型的变化很小.在-40~125℃温度范围内,各 种模型下的采样比例变化基本一致,最大仅为1%.全 快模型与全慢模型下的采样比例差别最大,常温下此变 化量为典型值的2%.而在目前较为常用的电阻采样 中^[9],模型以及温度的差异最大可使采样比例变化 68%.图4(b)所示为常温下电路优化前后,采样比例随 负载电流的变化曲线.虚线为未加入 M9 时电源电压 3.6V时的瞬态仿真结果;实线为优化后电路分别在电 源电压 2.5/3.6/5.5V 时的瞬态仿真结果.可见响应速 度明显加快,电感电流在 60mA 附近时采样比例即实现 稳定.同时3条实线几乎重合,当电感电流为500mA 时,电源电压由 2.5V 变为 5.5V,采样比例由 5.04× 10⁻⁶变为 4.97×10⁻⁶,相对 3.6V 仅变化了 1.4%,与电 源电压几乎无关.而在电阻采样中,采样比例则会变化 17.6%.



图 5 实现芯片的显微照片 Fig.5 Micrograph of the presented chip

图 5 为该芯片的显微照片,裸片面积为 878µm× 1830µm.实现的 DC-DC 变换器将电流采样电路、软启 动电路[10]以及频率补偿网络全部集成在芯片内部,同 时采用陶瓷电容,大大节省了 PCB 面积. 输入电压可以 为2.5~5.5V,非常适于单锂离子电池供电系统.片内 集成开关管、同步管的导通电阻仅为130mΩ,转换效率 高达96%.低漏失工作的实现使得便携应用中的电池 寿命进一步延长.表1所示为芯片应用特性总结列表. 图 6 所示为输出电压 1.8V 负载电流 150mA 条件下的 常温测试波形. I_{L} 为利用 Tektronix TCP202 有源电流 探头测得的电感电流信号, V_{ADD} 为利用 Model-34A 型 号的 PicoProbe 观察的片内叠加电平信号.图 6(a)中, 输入电压为 2.5V,芯片工作在 CCM 模式,电感电流上 升阶段采样电流线性上升, VADD 随着 IL 线性增加;图 6 (b)中,输入电压为3.6V,芯片工作在 DCM 模式,由于 斜坡电流随占空比的变化而变小, V_{ADD}上升幅度有所 减小.在电感电流下降以及降为零的阶段,采样电流停 止输出.测试结果均达到设计要求.在-40~85℃温度 范围内,利用 X5R 的陶瓷电容对芯片进行了性能测试. 结果表明,在各种输入输出电压下,在额定设计范围内 调节负载均未发现电感电流的亚谐波振荡或者包络现 象,电流采样电路工作正常,芯片工作稳定,且环路具有 良好的瞬态响应.图7(a),(b)分别表示输出电压负载 调整曲线以及电源电压调整曲线.可见,常温下输入电 压 3.6V,负载电流 0~2A 变化时对应的输出电压由 1.801V 变为 1.796V,负载调整率为 0.3%. 空载时输 入电压 2.5~5.5V 变化时对应的输出电压由 1.797V 变为 1.809V,线性调整率为 0.3%.同时,输入电压 3.6V 时峰值电流在-40~85℃变化,变化率为 -9%,常温下输入电压2.5~5.5V变化对应的峰值

表1 实现芯片的特性指标

Table 1 Performance summary of the presented chip

Inductor (off-chip)	$2.2 \mu H$
Input capacitor (off-chip)	$22\mu F$
Output capacitor (off-chip)	$22\mu F$
Input voltage range	$2.5 \sim 5.5 V$
Efficiency	96% (MAX)
Max output current	2000 m A
Output voltage ripple	10 m V



图 6 I_L 与 V_{ADD} 的测试波形 (a) $V_{IN} = 2.5V$, $V_{OUT} = 1.8V$; (b) $V_{IN} = 3.6V$, $V_{OUT} = 1.8V$

Fig. 6 Measured waveforms of $I_{\rm L}$ and $V_{\rm ADD}$ (a) $V_{\rm IN} = 2.5 \text{V}$, $V_{\rm OUT} = 1.8 \text{V}$; (b) $V_{\rm IN} = 3.6 \text{V}$, $V_{\rm OUT} = 1.8 \text{V}$



图 7 输出电压测试结果 (a)负载调整曲线;(b)电源电压调整曲线 Fig.7 Measurement results of output voltage (a) Load regulation curve;(b) Line regulation curve

电流变化量为10%.而在电阻采样中,峰值电流的变化 量分别为-18%以及24%.由于峰值电流受采样比例 以及信号延迟的影响,所以从中可以反映出实现的采样 比例随温度、电源电压变化极小,且该方法明显优于电 阻采样.

5 结论

作者针对便携式应用 PWM 控制电流模降压型 DC-DC 变换器,提出了一种新颖的电流采样电路,并在 0.5μm CMOS 工艺线上进行了投片验证.该电路通过 采样开关管漏源电压以及 V-I 变换器实现精确的电流采 样,结构简单,易于实现,且采样比例几乎不随工艺、温 度、电源电压变化,适用于各类低电压大电流 DC-DC 变 换器应用,对其他数模混合电路的设计具有借鉴作用.

参考文献

[1] Chen J J, Lin Y T, Lin H Y, et al. On-chip current sensing techniques for hystersis current controlled DC-DC converters. Electron Lett, 2005, 41(2):95

[2] Yuan Bing, Lai Xinquan, Li Yanming, et al. The design of internal

load independent compensation for current-mode DC-DC converters. ASICON,7th Int Conf on ASIC Proc,Guilin,China,2007:446

- [3] Forghani-zadeh H P, Rincon-Mora G A. Current-sensing techniques for DC-DC converters. 45th Midwest Symp Circuits Syst, Tulsa, United States, 2002; [] 577
- [4] Wang Hongyi, Lai Xinquan, Li Yushan. Reducing the slope compensation effect on the load capacity of DC-DC converters. Chinese Journal of Semiconductors, 2006, 27(8):1484 (in Chinese)
 [王红义,来新泉,李玉山.减小 DC-DC 中斜坡补偿对带载能力的 影响.半导体学报, 2006, 27(8):1484]
- [5] Lee C F, Mok P K T. A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique. IEEE J Solid-State Circuits, 2004, 39(1):3
- [6] Leung C Y, Mok P K T, Leung K N, et al. An integrated CMOS current-sensing circuit for low-voltage current-mode buck regulator. IEEE Tran Circuits Syst [], 2005,52(7);394
- [7] Chang C H, Chang R C. A novel current sensing circuit for a current-mode control CMOS DC-DC buck converter. 2005 IEEE VL-SI-TSA Int Symp Design Autom Test, Hsinchu, Taiwan, 2005;120
- [8] Ng L, Prawira S, Ng L S, et al. Analysis of lossless current sensing techniques with high accuracy and linearity. 2007 Int Conf Commun Circ Syst Proc, Fukuoka, Japan, 2007:1021
- [9] http://www.linear.com/pc/downloadDocument.do? id = 1115
- [10] Yuan Bing, Lai Xinquan, Ye Qiang, et al. A novel compact softstart circuit with internal circuitry for DC-DC converters. ASI-CON,7th Int Conf on ASIC Proc, Guilin, China, 2007;450

An Integrated Current-Sensing Circuit for Current-Mode DC-DC Buck Converters

Yuan Bing^{1,2,†}, Lai Xinquan², Ye Qiang², Li Yanming¹, and Jia Xinzhang¹

(1 School of Microelectronics, Xidian University, Xi'an 710071, China)
(2 Institute of Electronic CAD, Xidian University, Xi'an 710071, China)

Abstract: A novel integrated CMOS current-sensing circuit for current-mode DC-DC buck converters is presented. The circuit is concise and simple to implement, and the power loss is low. Also, the achieved sense ratio is almost independent of temperature, model, and supply voltage after matching the MOSFETs. Through optimization, the response speed is faster and the minimum input voltage is lower. A current-mode DC-DC buck converter with the proposed structure has been fabricated in a 0.5μ m CMOS process for validation. With a $2.5\sim5.5V$ input range, the chip works steadily in the load current range of $0\sim2A$. It has a good transient response and the measured maximum efficiency is up to 96%.

Key words: DC-DC buck converter; current-mode control; current-sensing circuit EEACC: 1280; 2570D Article ID: 0253-4177(2008)08-1627-05

[†] Corresponding author. Email: yuanbing1983@126.com; byuan@mail.xidian.edu.cn Received 13 January 2008, revised manuscript received 4 March 2008