

基于埋置式基板的 3D-MCM 封装结构的研制*

徐高卫[†] 吴燕红 周 健 罗 乐

(中国科学院上海微系统与信息技术研究所 传感技术联合国家重点实验室, 上海 200050)

摘要: 研制一种用于无线传感网的多芯片组件(3D-MCM). 采用层压、开槽等工艺获得埋置式高密度多层有机(FR-4)基板, 通过板上芯片(COB)、板上倒装芯片(FCOB)、球栅阵列(BGA)等技术, 并通过引线键合、倒装焊等多种互连方式将不同类型的半导体芯片三维封装于一种由叠层模块所形成的立体封装结构中; 通过封装表层的植球工艺形成与表面组装技术(SMT)兼容的 BGA 器件输出端子; 利用不同熔点焊球实现了工艺兼容的封装体内各级 BGA 的垂直互连, 形成了融合多种互连方式 3D-MCM 封装结构. 埋置式基板的应用解决了 BGA 与引线键合芯片同面组装情况下芯片封装面高出焊球高度的关键问题. 对封装结构的散热特性进行了数值模拟和测试, 结果表明组件具有高的热机械可靠性. 电学测试结果表明组件实现了电功能, 从而满足了无线传感网小型化、高可靠性和低成本的设计要求.

关键词: 3D-MCM; 嵌入式基板; 多种互连融合; 焊球熔融兼容性; 热机械可靠性

EEACC: 0170J; 2570K; 0170N

中图分类号: TN405

文献标识码: A

文章编号: 0253-4177(2008)09-1837-06

1 引言

为满足电子产品轻、薄、小以及系统集成的需求, 各种新的封装结构正在不断推出. 三维封装(3D packages)愈来愈受到重视^[1]. 三维封装的基本特点是在垂直于芯片表面的方向上进行堆叠芯片, 芯片之间通过引线键合、通孔垂直互连或倒装焊形式连接. 主要有 3 种类型: 埋置型、有源基板型和叠层型. 其主要优点为: 体积小、重量轻、信号传输延迟时间小、低噪声、低功耗, 这极大地提高了组装效率和互连效率, 增大信号带宽, 加快信号传输速度, 使器件具有多功能性、高可靠性和低成本性. 3D 封装虽然可有效地缩减封装体积, 但其结构较复杂且散热设计、电学特性、可靠性控制与组装合格率等都比单一芯片封装更具挑战性.

目前国内外可以看到不少关于 3D-MCM 的研究, 国内实现 MCM 封装研究较多的是 2D-MCM^[2]. Cheng 等人^[3] 曾研究了超多 I/O、超细节距的 MCM 封装结构. 文献[4]研究了基于 LTCC 技术的三维集成微波组件的高密度组装和互连技术. Zhang 对 MCM 积层式基板进行了热机械有限元分析^[5]; Zhang Xueren 等人^[6] 利用有限元方法对层叠 BGA 组装的翘曲进行了深入的研究. 文献[7]利用有限元方法对叠层式 3D SRAM 多芯片组件(3D MCM)温度场进行了模拟仿真. 但 3D-MCM 研究较多的一般是一种管脚类型芯片, 其互连技术一般也只有一种, 通常是在陶瓷或有机基板上通过单一的键合互连工艺, 如倒扣焊^[8] 或者引线键合^[9] 对裸芯片进行互连. 3D-MCM 结构通常采用叠层型结构^[10]. 也有埋置式结构, 但埋置器件多局限于无源膜式器件^[11].

典型结构是在玻璃陶瓷片上印刷 C, R, L 等无源元件, 经叠层预压、一次烧成来完成, 需要约 1000°C 高的烧结温度. 所以可制作元件范围窄, IC 等有源元件不能被埋入. 也有将电感和电容两种无源元件埋入 BT 树脂系基板来减小寄生效应的报道. Tee 等人^[12] 曾对 FC + WB 混合的叠层封装结构进行过研究, 预测了叠层焊点的疲劳寿命. 对于融合多种互连技术的 3D-MCM, 由于多种类型封装芯片混载、多种互连方式并用、多层高密度基板埋置芯片、多级 BGA 工艺需要多次回流工艺等, 牵涉因素较多, 制作难度大, 从而对工艺可实现性、可靠性等问题都提出了巨大的挑战. 文献[13]报道了这类融合多种互连技术的 3D-MCM 的研究工作. 该工作应用引线键合和倒装焊互连工艺, 并采用多层有机基板双面组装器件、BGA 引出脚方式的结构设计. 但存在的问题是, 该结构对裸芯片的厚度以及基板下表面焊球的高度的要求都甚为苛刻. 容易出现滴封胶顶面高出基板焊球高度平面的情况, 影响 3D-MCM 实装 PCB 的焊脚可靠性. 为克服上述问题, 本文在该工作基础上采用了埋置式有机多层基板来埋置组装芯片. 而基于这种埋置式基板, 融合了多种互连技术的 3D-MCM 的研究国内尚未见过相关报道.

2 研究内容

2.1 结构设计

无线传感网络系统的端机包含多种功能模块, 用于收发控制, 主要由基带 ASIC 和通用 DSP 芯片以及其他辅助电路组成, 采用表面贴装(SMT)工艺将器件单面组

* 微系统国家级实验室基金(批准号: 9140A18050607ZK3403)和应用材料研究与发展基金(批准号: 06SA12)资助项目

[†] 通信作者. Email: xugw@sina.com

2008-02-02 收到, 2008-05-16 定稿

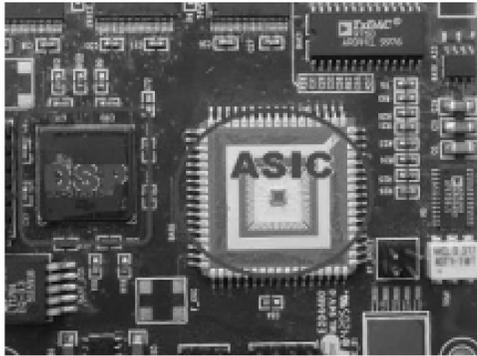


图 1 电路的 2D 组装

Fig.1 2D layout of the circuit

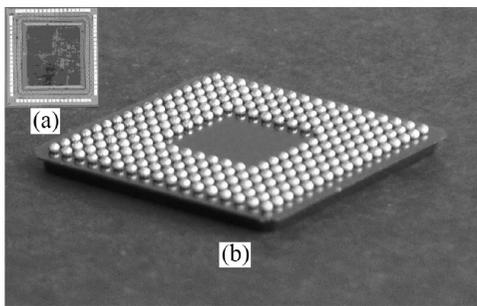


图 2 (a) ASIC 芯片 Layout; (b) DSP 照片

Fig.2 (a) Layout of ASIC chip; (b) Photo of DSP

装多层布线印刷电路板(PCB)上,如图 1 所示.基带 ASIC 为一裸芯片,主要完成扩频解扩以及调制解调任务,如图 2(a)所示. DSP 为 PBGA 封装体,主要完成协议和控制等功能,如图 2(b)所示. ASIC 和 DSP 的主要参数如表 1 所示. 现有 PCB 的特点和存在的问题是: (1)2D 组装多个独立封装的核心模块,布线长度大; (2)封装面积和体积大; (3)重量大且集成化低.

为了扩大端机的应用范围,需采用新的封装形式,减小电路板面积和体积. 本文采用系统级封装(SiP)理念,将 FCOB, COB 和 BGA 技术结合于一体,设计 3D-MCM 封装结构. 以改性的 FR-4 为 PCB 材料构成埋置式多层基板,其上表面倒装焊 DSP 并进行底充胶(underfill)工艺,下表面埋置 ASIC 芯片,引线键合,并进行滴封胶(glob top)工艺;管脚引出方式为焊球阵列 BGA 形式. 基板尺寸为 $18\text{mm} \times 18\text{mm}$. 3D-MCM 结构设计示意图如图 3 所示.

表 1 ASIC 和 DSP 的主要参数

Table 1 Important parameters of ASIC and DSP

项目	结构	尺寸/mm ³	描述
ASIC	Silicon die	$2.22 \times 2.07 \times 0.30$	63pads, pad width 0.076mm, pitch 0.094mm(min), 热功耗 30mW
DSP	PBGA	$15 \times 15 \times 1.4$	240-ball BGA, 周边阵列 17×17 , 63Sn37Pb, 聚酰亚胺基板, 热功耗 39mW

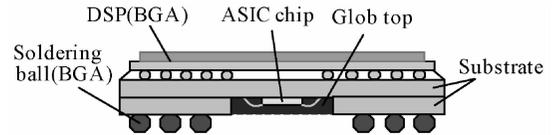


图 3 3D-MCM 结构示意图

Fig.3 Schematic of 3D-MCM

2.2 热仿真

基于可靠性考虑,对所设计的封装结构进行温度场分布分析,进而优化热设计方案. 采用 ANSYS 等热分析软件,对 3D-MCM 模块进行了热仿真,从热可靠性角度对封装初始设计进行热模拟和评估. 假设散热方式为自然对流和辐射散热,环境温度为 35°C ,对流换热系数为 $10\text{W}/(\text{m}^2 \cdot ^\circ\text{C})$. 实装在 PCB 上的 3D-MCM 的四分之一模型的温度分布情况如图 4 所示. 从典型结果得知,模型中温度最高值为 44.0°C ,模块上表面温度为 42.7°C . 从图 4 可以看出,最高温度在芯片的中心,而温度最小值在 PCB 外拐角处.

通过热平衡计算得到的散热分布如表 2 所示. 通过对流和辐射散出热的总和与热输入基本平衡,计算误差仅 1.8%. 从表 2 可见,通过 PCB 上对流散出的热量最大,占 39.25%,这是由于基板下焊球的导热性能好和 PCB 与空气的接触面积大的缘故;通过 DSP 散出的热量占 32.81%,这归于 DSP 与空气的接触面积大以及温度较高. 通过基板散出的热量少,只占 4.23%. 另外还可以看出,对流是主要的散热方式,占 63.19%,辐射仅占 36.81%.

对 3D-MCM 结构的数值热仿真结果表明:在环境温度下,组件温度不超过 85°C ,说明该组件的设计满足热可靠性要求.

2.3 封装结构的实现

MCM 基板的制作是 MCM 的制造关键. DSP 尺寸为 $15\text{mm} \times 15\text{mm}$,而 3D-MCM 的平面尺寸目标要求为 $18\text{mm} \times 18\text{mm}$, DSP 与 ASIC 的通讯以及相关信号的 I/O 全部通过 DSP 下的基板的过孔互连来实现. 由于双面组装不同于互连方式的器件,并且两种器件的直流工作电压各不相同(分别为 3.3, 2.6 和 1.5V);在基板下表面既要引线键合 ASIC 芯片的 63 只管脚,还要引出 3D-MCM 模块的 96 只管脚,而且要避免芯片包封胶顶面高出基板焊球高度平面;并要考虑整个电路的电磁兼容(EMC),这些因素对基板互连密度提出了很高要求. 考虑到上述因素,设计 10 层高密度 PCB,基板的线宽和线距可小至 $100\mu\text{m}$,过孔孔径可小至 $150\mu\text{m}$,这些

表 2 3D-MCM 散热分布表

Table 2 Percentage of heat dissipation of 3D-MCM

项目	DSP	基板	PCB
对流散热	21.31%	2.63%	39.25%
辐射散热	11.50%	1.60%	23.71%

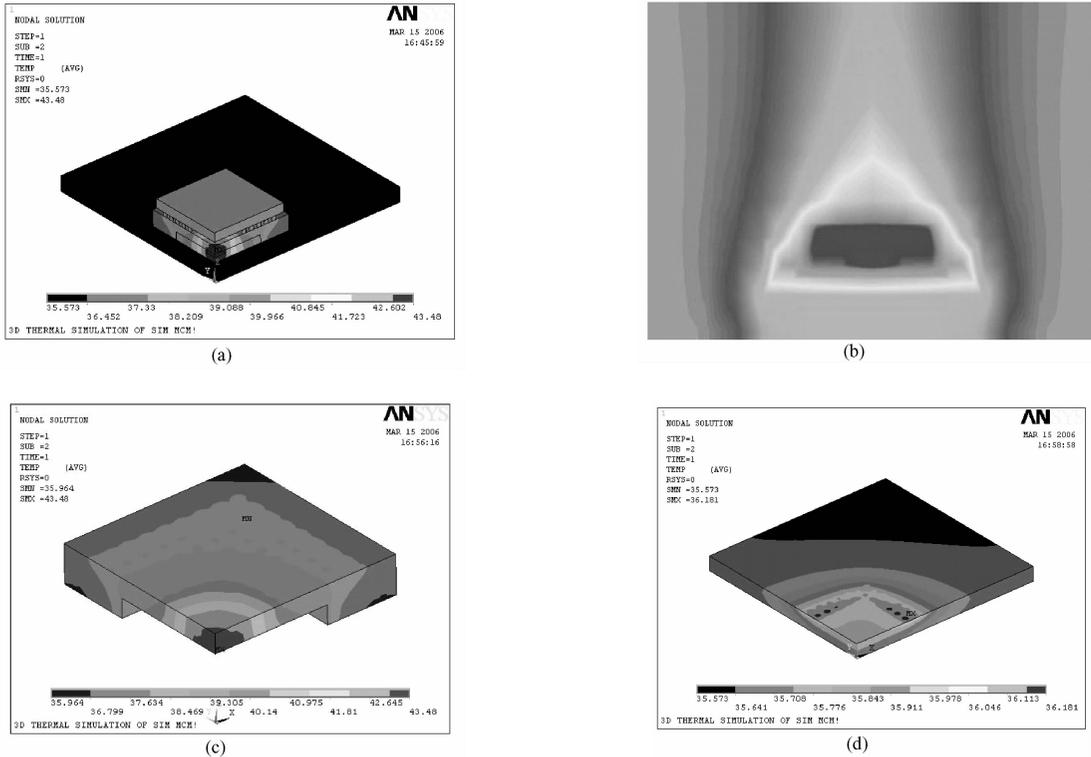


图 4 (a)3D-MCM 总体温度分布图(1/4 模型);(b)3D-MCM 总体温度分布图(整体模型);(c) 3D-MCM 基板温度分布图(1/4 模型);(d) 母板 PCB 的温度分布(1/4 模型)

Fig.4 (a) Contour of 3D-MCM temperature(1/4 model);(b) Sectional view of 3D-MCM temperature(overall model);(c) Temperature distribution of 3D-MCM substrate(1/4 model);(d) Temperature distribution of PCB(1/4 model)

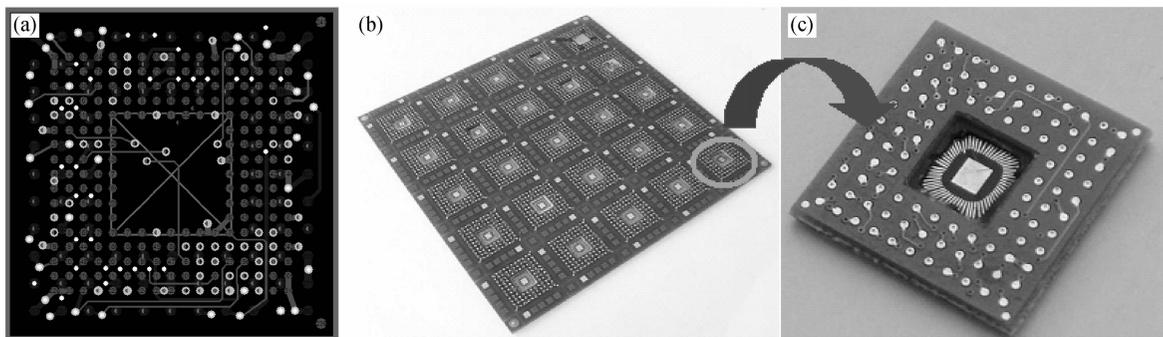


图 5 埋置式基板 (a)PCB 设计图;(b)拼板图片;(c)单体基板图片

Fig.5 Embedded substrate (a) View of substrate design;(b) Photo of substrate sheet;(c) Photo of single substrate

参数对基板的制备提出了很高要求.为此采用了埋置式高密度基板的互连设计和制造技术,并采用了盲孔、表面埋孔等各种类型的内通孔(IVH).为了提高焊盘的布置密度,采用了孔上焊盘等工艺.

从组装到实装到母板,3D-MCM 通常需要经历 3 次回流焊工艺:DSP 的倒装焊回流焊、植球(63Sn37Pb)回流焊、母板实装回流焊.由于 DSP 的焊球组分是 63Sn37Pb,所以,3D-MCM 植球回流焊时 DSP 的焊球也发生熔化,并且由于植球回流焊时需将已经贴装好的 DSP 倒置,所以植球回流焊会对 DSP 的焊球形状和性能造成危害.实际情况表明,即使有底充胶工艺,MCM

的工艺过程因多次回流焊会使 DSP 的焊球发生变形,从而使模块互连出现短路或者开路等故障的概率增大.图 6 显示了 DSP 下 63Sn37Pb 焊球在二次回流前后的 X 光图像对比.针对上述问题引入无铅焊球,放弃上述传统的多次回流焊,提出了多级熔点焊料组合使用的解决方案,即首先在基板上置放无铅焊球然后再进行 DSP 倒装回流焊工艺.该方案减少了 DSP 共晶焊球经历的回流焊次数,从而使 DSP 焊球质量得到了保证.

由于多次回流问题的存在,3D-MCM 不能按照传统的 SMT 工艺流程进行组装,须结合 3D-MCM 的结构并考虑各种材料尤其是焊球的温度特性来重新优化工

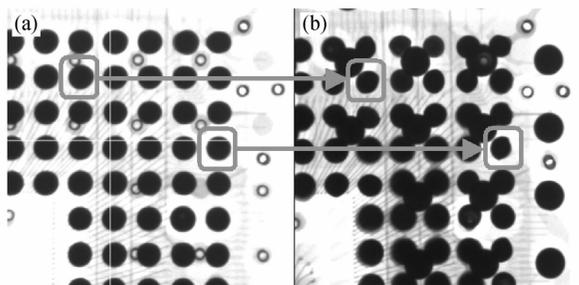


图 6 采用共晶焊球情况下倒装焊 DSP 后的焊球形状(a)与植球二次回流后的焊球形状(b)对比

Fig.6 Comparison of 63Sn37Pb ball shapes after one-time reflow (a) and multiple reflow (b)

艺流程,即从 PCB 设计、焊膏特性及其印刷工艺、贴片工艺和适宜的回流焊接温度曲线^[14],以及底封胶的使用^[15]等过程来进行优化,任何一个工序都关系组装的成败.此外,分别对基板安放 Sn63Pb37 和 Sn96.5Ag3.5 焊球两种工艺方法进行了优化.结果表明,采用多级熔点焊料组合,相应地,多次回流工艺的最高温度顺次台阶状降低可使组装合格率大大提高.

3 测试与结果

研制出的 3D-MCM 如图 7 所示.该组件有机多层基板为埋置式,布线层数为 10 层,引出方式为周边式 BGA (11×11),面积为 18mm×18mm,相当于原 2D-PCB 的面积(约 52mm×28mm)的 23%,仅为 DSP 器件(15mm×15mm)的 140%,组装效率达到 70%,体积也比原 2D-PCB 大大减小.

将模块实装于专用测试板(母板)上进行功能检测.功能测试电路如图 8 所示.使用两块实装了 3D-MCM 的测试板分别作为发射机和接收机.将发送和接收的数据通过示波器进行测试比较.可以看出数据是相符的,如图 9 所示.结果表明 3D-MCM 工作正常,其电学功能与原 2D-PCB 一致.

此外,对 3D-MCM 的稳态温度分布情况进行了实验测量.将模块实装于测试用母板,在模块正常工作状态下用热电偶测量其各个部位的温度.环境温度为 35℃.表 3 为 3D-MCM 的温度场分布实验结果及其与数值模拟结果的比较.DSP 上表面温度实测结果为 42.0℃,热仿真结果 42.7℃.数值模拟结果和实验结果的误差不超过 2%.可见,在模型建立准确,材料属性给

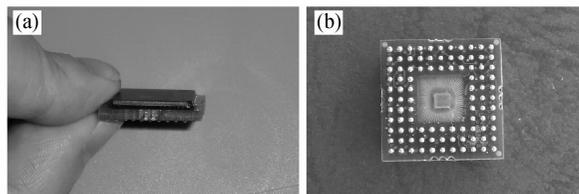


图 7 MCM 样品 (a)整体图;(b)底部 BGA 和芯片腔室

Fig.7 Photos of 3D-MCM (a) and BGA and substrate slot (b)

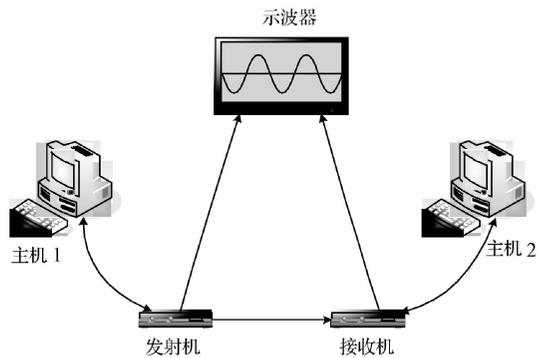


图 8 3D-MCM 功能测试原理图

Fig.8 Schematic diagram of 3D-MCM test

定正确和边界条件与实验相符的条件下,数值模拟结果和实验结果相符较好.

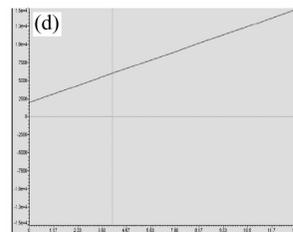
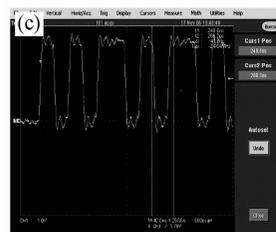
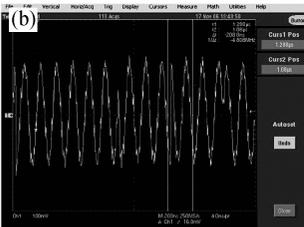
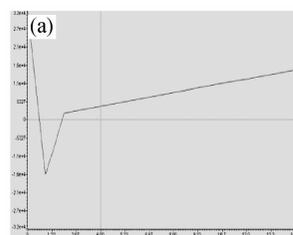


图 9 组件发送和接收数据测试图 (a)主机 1 发送的波形;(b)发射机 DA 输出波形;(c)接收机 AD 输出波形;(d)主机 2 收到的波形

Fig.9 Transmitting and receiving test for 3D-MCM (a) Transmitted data wave from computer 1 #; (b) Output wave of transmitter DA; (c) Output wave of receiver AD; (d) Received data wave from computer 2 #

表3 稳态温度场分布的模拟结果与实验结果的对比

Table 3 Comparison between simulation and experiment results of the temperature distribution of 3D-MCM

测量部位		数值模拟/°C	实验测量/°C
DSP 上表面	中心	42.7	42.0
	边角	1	41.9
		2	42.0
		3	41.9
		4	41.8
基板上 表面	边角	1	41.9
		2	42.1
		3	42.0
		4	41.7
母板上 表面	基板 边角	1	40.1
		2	40.4
		3	41.1
		4	40.6
	母板 边角	1	36.0
		2	36.2
		3	36.4
		4	36.8
母板下表面 (MCM中心)		38.6	37.9

4 结论

根据无线传感网端机各电路芯片(模块)结构形式的多样性,提出了三维混载集成封装方案,融合了引线键合和倒装焊等多种互连方式,并设计了一种埋置有源元件式高密度有机基板,从而研发了一种结构新颖的无线传感网用3D-MCM.并解决了不同互连工艺的兼容问题.组件的组装效率达到70%,封装面积为原来的23%.埋置式基板的应用解决了芯片封装胶顶面高出基板焊球高度平面的问题.采用多级熔点焊料兼容工艺,并且多次回流焊温度顺次台阶状下降,可充分保证DSP焊球质量,提高组件合格率.3D-MCM的热分析表明,在35°C环境温度条件下,组件温度不超过85°C.加载测试表明,3D-MCM功能与原2D-PCB功能一致.该研究和设计实现了无线传感网用电路的模块化以及小型化,为在树脂系基板中埋置元件基板的研发并为制备复杂的高密度封装子系统的关键技术和工艺提供了一个有效的解决方案.

参考文献

[1] Tian Minbo. Electronic packaging technology. Beijing: Tsinghua University Press, 2003: 662 (in Chinese) [田民波. 电子封装工程. 北京: 清华大学出版社, 2003: 662]

- [2] Zhang Yajin, Guo Fang, Wang Hai. Study on the high speed multi signal control MCM. Semiconductor Technology, 2006, (5): 385 (in Chinese) [张亚金, 郭芳, 王海. 高速多功能信号处理 MCM 的设计与制作. 半导体技术, 2006, (5): 385]
- [3] Cheng Yingjun, Xu Gaowei, Zhu Dapeng, et al. Thermo-mechanical reliability study of high I/Os flip chip on laminated substrate based on FEA, RSM and interfacial fracture mechanics. Sixth International Conference on Electronics Packaging Technology, Shenzhen, China, 2005: 459
- [4] Yan Wei, Yu Shenglin, Fang Xunlei. Three dimensional integrated microwave modules based on LTCC technology. Acta Electronica Sinica, 2005, 33(11): 2009 (in Chinese) [严伟, 禹胜林, 房迅雷. 基于 LTCC 技术的三维集成微波组件. 电子学报, 2005, 33(11): 2009]
- [5] Zhang X W. Thermo-mechanical finite element analysis in a multichip build up substrate based package design. Microelectronics Reliability, 2004, (44): 611
- [6] Zhang Xueren, Tee Tongyan, Zhou Jiang. Novel process warpage modeling of matrix stacked-die BGA. IEEE Transactions on Advanced Packaging, 2006, 29(2): 232
- [7] Cao Yusheng, Yu Haiping, Shi Fazhong. The study for heat analysis technology of stacked three-dimension multi-chip module. Control & Automation, 2006, 22(2~4): 191 (in Chinese) [曹玉生, 于海平, 施法中. 3D-MCM 热分析技术的研究. 微计算机信息, 2006, 22(2~4): 191]
- [8] Chong D Y R, Lim B K, Rebibis K J, et al. Development of a new improved high performance flip chip BGA package. IEEE 2004 Electronic Components and Technology Conference, 2004: 1174
- [9] Harman G G. Wire bonding in microelectronics. 2nd ed. New York: McGraw-Hill, 1997: 266
- [10] Gu Jing, Wang Jun, Lu Zhen, et al. Failure analysis and thermal stress simulation in a stacked die package. Chinese Journal of Semiconductors, 2005, 26(6): 1273 (in Chinese) [顾靖, 王珺, 陆震, 等. 芯片叠层封装的失效分析和热应力模拟. 半导体学报, 2005, 26(6): 1273]
- [11] Tian Minbo, Lin Jindu, Zhu Datong. Substrates for high density package. Beijing: Tsinghua University Press, 2003: 761 (in Chinese) [田民波, 林金堵, 祝大同. 高密度封装基板. 北京: 清华大学出版社, 2003: 761]
- [12] Tee T Y, Lim M, Shen N H, et al. Design Analysis of solder joint reliability for stacked die mixed flip-chip and wirebond BGA. 2002 Electronics Packaging Technology Conference, 2002: 391
- [13] Xu Gaowei, Wu Yanhong, Zhu Minghua, et al. Development of 3D multichip module for wireless sensor net. Proceedings of 2006 International Forum of Electronic Interconnecting Technology and Materials, Shanghai, 2006: 35
- [14] Tang Qinghua, Pan Xiaoguang, Chen Y C. The effect of process condition on electrical property of solder joint in BGA assemble. Journal of Huazhong University of Science & Technology, 1998, 26(9): 78 (in Chinese) [汤清华, 潘晓光, Chen Y C. 工艺条件对 BGA 焊点性能的影响. 华中理工大学学报, 1998, 26(9): 78]
- [15] Wang T, Chew T H, Lum C, et al. Assessment of flip chip assembly and reliability via reflowable underfill. 2001 Electronic Components and Technology Conference, 2001: 803

Development of a Three-Dimensional Multichip Module Based on Embedded Substrate*

Xu Gaowei[†], Wu Yanhong, Zhou Jian, and Luo Le

(Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

Abstract: A new type of 3D multichip module (3D-MCM) for wireless sensor networks is developed based on embedded FR-4 substrate, in which FCOB (flip-chip on board), COB (chip on board), BGA (ball grid array) technologies, and wire bonding and flip-chip interconnection technologies are combined. The PBGA device and bare die are hybrid-integrated on the embedded multi-layer FR-4 substrate. By solder ball placement and reflow, the BGA is formed at the bottom of the 3D-MCM. Solder balls with different melting points are used for initial and final vertical interconnections for the sake of compatibility of all levels of interconnections of the BGA by reflow soldering. The application of embedded substrate solves the problem that the top surface of the wirebonded chip overtops the solder balls under the condition that the chip was assembled on the same side of the substrate as the BGA of the MCM. The thermal management is conducted and the thermal related reliability of the 3D-MCM is simulated and evaluated. This kind of packaging structure satisfies the electrical performance and thermal requirement, and meets the challenge of minimization, high reliability, and low cost of the package design for wireless network.

Key words: 3D-MCM; embedded substrate; combination of multiple interconnections; compatibility of solder melting; thermo-mechanical reliability

EEACC: 0170J; 2570K; 0170N

Article ID: 0253-4177(2008)09-1837-06

* Project supported by the National Laboratory Foundation for Microsystem (No.9140A18050607ZK3403) and the Research and Development Fund for the Applied Materials (No.06SA12)

[†] Corresponding author. Email: xugw@sina.com

Received 2 February 2008, revised manuscript received 16 May 2008

©2008 Chinese Institute of Electronics