

双栅双应变沟道全耗尽 SOI CMOS 的瞬态特性分析*

孙立伟 高 勇 杨 媛 刘 静†

(西安理工大学自动化学院电子工程系, 西安 710048)

摘要: 在提出双栅双应变沟道全耗尽 SOI MOSFET 新结构的基础上, 模拟了沟道长度为 25nm 时基于新结构的 CMOS 瞬态特性. 结果表明, 单栅工作模式下, 传统应变 SiGe(或应变 Si) 器件的 CMOS 电路只能实现上升(或下降)时间的改善, 而基于新结构的 CMOS 电路能同时实现上升和下降时间的缩短; 双栅模式下, CMOS 电路的上升和下降时间较单栅模式有了更进一步的改善, 电路性能得以显著提高.

关键词: 双栅; 双应变沟道; CMOS

EEACC: 2560

中图分类号: TN302

文献标识码: A

文章编号: 0253-4177(2008)08-1566-04

1 引言

微电子技术的发展日新月异, 特征尺寸为 45nm 的集成电路已成功实现商业化量产^[1]. 为了满足人们对电路高速度的要求, SiGe 技术将能带工程引入集成电路, 利用 Si/SiGe 能带的不连续性, 形成电子或空穴的量子阱, 可提高载流子的迁移率, 进而提高 n 管或 p 管的速度^[2]. 应变沟道器件虽然有其明显的技术优势, 但当前报道的应变沟道器件仍存在一些亟待解决的问题^[3~6], 主要归结为以下几点: (1) 由于对 nMOS 和 pMOS 分别要采用不同的应变材料, 两者制备工艺不兼容, 这限制了应变沟道器件的集成化应用^[7]. (2) 对于 pMOS, Si cap 的存在使栅控能力减弱, 栅偏压增大时容易产生表面空穴寄生沟道^[8], 影响了 pMOS 的性能表现. (3) 应变沟道器件虽然提高了电路的速度, 但它仍然是基于传统单栅结构, 面对超深亚微米特征尺寸下单栅器件栅控能力下降, 阈值电压严重漂移, 亚阈值斜率增大等问题^[9], 依然缺乏有效的抑制手段, 制约了集成电路向更小的特征尺寸方向发展.

针对上述问题, 我们对应变 Si 和应变 SiGe 沟道器件进行了深入分析, 提出了双栅双应变沟道全耗尽 SOI MOSFET 新结构, 如图 1 所示, 相应器件的结构参数和掺杂参数如表 1 所示. 该结构能很好地改善上述应变沟道器件中存在的缺点: (1) 新结构把应变 Si 和应变 SiGe 结合起来, 在沟道区形成双应变层, n 管和 p 管采用完全一致的层结构, 仅通过改变掺杂类型和浓度来实现, 这样就解决了两者工艺不兼容的问题. (2) 新结构有单栅(single-gate, SG)和双栅(double-gate, DG)两种工作模式, 作为单栅应变沟道器件时, 分别用顶栅和底栅控制上层应变 Si 和下层应变 SiGe 导电. 对 pMOS 用底栅作为控制栅, 与顶栅相比, 增强了栅对沟道的控制能力,

并且消除了顶栅控制时空穴寄生导电沟道的影响. (3) 作为双栅应变沟道器件时, 充分发挥了双栅器件栅控能力强的优点, 能有效改善单栅应变沟道器件在超短特征尺寸下性能退化的问题. 本结构同时应用了源/漏 LDD 结构, 能提高漏端击穿电压, 降低热载流子注入对器件造成的损伤.

关于新结构的单管静态特性分析和工艺实现问题, 作者已进行过详细的模拟和分析, 详见文献[10]. 本文主要是从 CMOS 瞬态特性的角度深入分析该结构的优越性, 建立了特征尺寸为 25nm 的双栅双应变沟道全耗

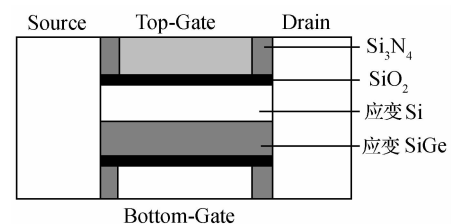


图 1 双栅双应变沟道 SOI MOSFET 器件结构示意图

Fig. 1 Schematic cross section view of DG dual-strained-channel SOI MOSFET

表 1 器件结构参数和工艺参数

Table 1 Geometric and process parameter of device

器件类型	nMOS	pMOS
沟道长度/nm	25	25
顶栅掺杂浓度/cm ⁻³	Ar 10 ¹⁹	Ar 10 ¹⁹
底栅掺杂浓度/cm ⁻³	B 10 ¹⁹	B 10 ¹⁹
源漏掺杂浓度/cm ⁻³	Ar 10 ²⁰	B 10 ²⁰
顶栅氧厚度/nm	1	1
底栅氧厚度/nm	1	1
Si 层厚度/nm	5	5
SiGe 层厚度/nm	5	5
应变 Si 层掺杂/cm ⁻³	B 5 × 10 ¹⁷	Ar 5 × 10 ¹⁸
应变 SiGe 层掺杂/cm ⁻³	B 5 × 10 ¹⁸	Ar 5 × 10 ¹⁷

* 西安-应用材料创新基金资助项目(批准号:XA-AM-200514)

† 通信作者. Email: liujing935@163.com

2008-02-21 收到, 2008-03-14 定稿

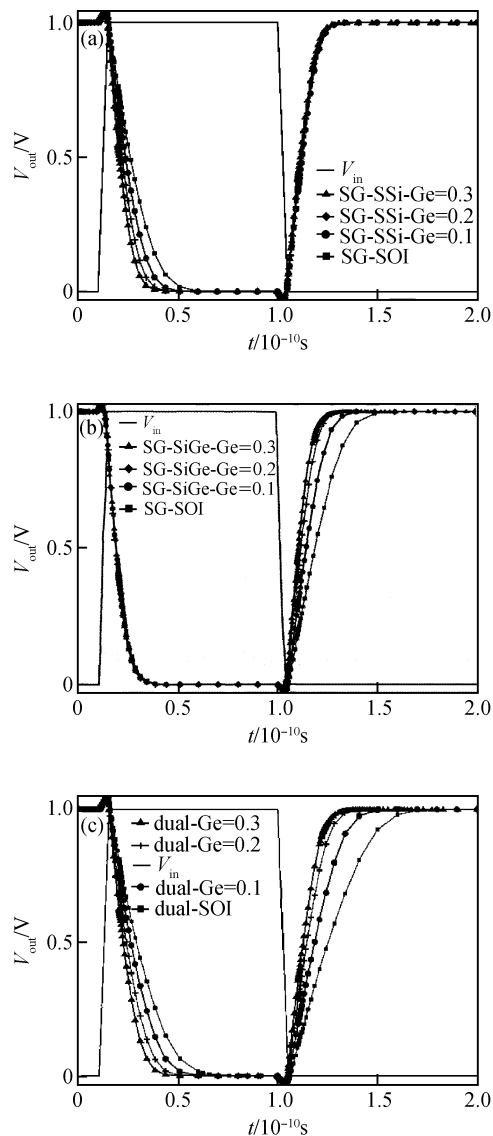


图 2 (a) 常见应变 Si 沟道 SOI CMOS 与 Si SOI CMOS 瞬态特性; (b) 常见应变 SiGe 沟道 SOI CMOS 与 Si SOI CMOS 瞬态特性; (c) 双应变沟道 SOI CMOS 与 Si SOI CMOS 瞬态特性

Fig. 2 (a) Transient characteristics of conventional strained-Si channel SOI CMOS and Si SOI CMOS; (b) Transient characteristics of conventional strained-SiGe channel SOI CMOS and Si SOI CMOS; (c) Transient characteristics of dual-strained channel SOI CMOS and conventional SOI CMOS

尽 SOI MOSFET 器件模型, 利用三维器件模拟软件 ISE 对基于新结构的电学特性加以分析. 模拟了单、双栅模式下新结构的 CMOS 瞬态特性, 作为对比, 同时模拟了单、双栅模式下常规 SOI 结构的 CMOS 瞬态特性.

2 器件特性模拟

2.1 单栅工作模式下的 CMOS 特性分析

图 2 是应变沟道 SOI CMOS 与常规 SOI CMOS 的瞬态特性比较. 输入方波信号振幅为 1V, 周期为 200ps, 上升和下降时间均为 5ps, 3 幅特征曲线图均是在单栅

工作模式下模拟所得. 为了便于比较, 采用相同的器件结构和参数, 只改变栅的控制方式. 其中图 2(a) 中, CMOS 的 n 管和 p 管均用顶栅作控制栅, 它的工作原理与报道常见的应变 Si 沟道 CMOS 一致, 图中标识符“SG-SSi-Ge=0.3”的含义是“单栅工作模式-应变 Si 沟道-Ge 组分 0.3”, 以下类推; 图 2(b) 中, CMOS 的 n 管和 p 管均用底栅作控制栅, 它的工作原理与普通应变 SiGe 沟道 CMOS 一致; 图 2(c) 中, CMOS 的 n 管和 p 管采用相同的层结构, 仅通过掺杂类型和浓度的改变来实现, 同时栅控机制也不相同, 对于 CMOS 的 n 管, 用顶栅作控制栅, 反型时多子电子主要聚集在上层应变 Si 层; 同理, 对于 CMOS 的 p 管, 用底栅作控制栅, 反型时多子空穴以应变 SiGe 层为导电沟道. 下面就模拟结果分别加以分析.

图 2(a) 中, 应变 Si 沟道 SOI CMOS 与常规 SOI CMOS 相比, 下降时间显著缩短, 上升时间由图观察未见明显改善. 其中常规 SOI CMOS 的下降时间约为 16.3ps, 应变 Si 沟道 SOI CMOS 的下降时间约为 8.1ps, 后者的下降时间仅为前者的 50%. 这是因为顶栅控制模式下, 电子以其迁移率高的应变 Si 层为导电沟道, 使得 nMOS 的速度得以明显提高. 随着下层 SiGe 中 Ge 组分的增大, 上层应变 Si 的电子迁移率也相应增大, n 管速度变快, 相应 CMOS 电路的下降时间缩短. 应变 Si 材料不能有效提高空穴载流子的迁移率, 因而上升时间与常规 SOI CMOS 相比, 没有明显改善.

图 2(b) 中, 应变 SiGe 沟道 SOI CMOS 与常规 SOI CMOS 相比, 下降时间由图观察未见明显改善, 上升时间显著缩短. 其中常规 SOI CMOS 的上升时间约为 22.4ps, 应变 SiGe 沟道 SOI CMOS 的上升时间约为 8.3ps, 应变 SiGe 沟道的上升时间仅为体 Si 沟道的 37%. 底栅控制模式下, 空穴以其迁移率高的应变 SiGe 层为导电沟道, 使得 pMOS 的速度有显著提高. 随着 Ge 组分的增大, 应变 SiGe 层的空穴量子阱机制越强, 二维空穴气的的面密度增大, 且空穴迁移率也随 Ge 组分的提高而增大, 因而 CMOS 电路的上升时间随 Ge 组分的增加而缩短. 应变 SiGe 层不能有效形成电子量子阱, 对于电子迁移率的提高作用不大, 因而 nMOS 的特性改善不明显.

图 2(c) 中, 双应变沟道 SOI CMOS 与常规 SOI CMOS 相比, 常规 SOI CMOS 的上升时间约为 22.4ps, 下降时间约为 16.3ps, 双应变沟道 SOI CMOS 的上升时间约为 9.9ps, 下降时间约为 9.6ps. 后者的上升时间缩短为前者的 44%, 下降时间缩短为前者的 59%, 且上升时间和下降时间几乎相等. 这是因为对于 nMOS, 用顶栅控制应变 Si 沟道作为电子导电沟道, 充分发挥了应变 Si 材料电子迁移率高的优点; 对于 pMOS, 用底栅控制应变 SiGe 沟道作为空穴的导电沟道, 空穴迁移率较体 Si 材料有显著提高. 新的栅控机制结合双应变沟道结构, 同时实现了 n 管和 p 管速度的改善, 相应 CMOS 电路的上升和下降时间均有显著缩短.

由 CMOS 特性分析可知, 单栅工作模式下新结构

有两个优点:一是 n 管和 p 管采用相同的层结构,仅通过掺杂类型和浓度的改变来实现,不需要分别制备应变 Si 沟道 nMOS 和应变 SiGe 沟道 pMOS,便于应变沟道器件的集成化应用;二是可以实现 n 管和 p 管速度的同时提高,上升时间和下降时间几乎相等,CMOS 电路具有非常理想的对称性.

2.2 双栅工作模式下的 CMOS 特性分析

在双栅工作模式下,我们把顶栅和底栅连接起来,共同控制沟道,栅控能力显著增强,能很好地实现对短沟道效应的抑制,在极短的特征尺寸下仍能获得优异的电学特性.

2.2.1 栅掺杂类型

我们选择双栅工作模式下器件的栅掺杂类型为 $n^+ - p^+$ 非对称型,主要从以下两个方面考虑:一是 $n^+ - p^+$ 非对称双栅器件比 $p^+ - p^+$ 对称双栅器件更有利于抑制短沟道效应,可以用更短的沟道长度而不使性能发生退化^[11].二是非对称双栅可以实现合适的阈值电压.以 nMOS 为例,如果采用 $n^+ - n^+$ 对称双栅,则器件一般为耗尽型器件,即栅压为正时器件已经导通;采用 $p^+ - p^+$ 对称双栅可以获得增强型器件,但是阈值电压偏大; $n^+ - p^+$ 非对称双栅的阈值电压位于两者之间,符合一般情况下对阈值电压的要求.根据本结构对阈值电压的模拟结果,Ge 组分为 0.3 时,对于 nMOS,3 种情况下的阈值电压分别为: $V_{T(n^+ - n^+)} = -0.17V$, $V_{T(p^+ - p^+)} = 0.87V$, $V_{T(n^+ - p^+)} = 0.28V$,可见 $n^+ - p^+$ 非对称双栅容易获得合适的阈值电压.

2.2.2 驱动能力

图 3 是单栅和双栅工作模式下驱动能力的比较. $|V_{gs} - V_{th}| = 1V$, $|V_{ds}| = 1.5V$ 时,常规 SOI nMOS 的驱动电流 SG 时为 $2.16mA/\mu m$,DG 时为 $3.28mA/\mu m$,同比提高 52%;Ge 组分为 0.3 时,应变 Si 沟道 nMOS 的驱动电流 SG 时为 $2.91mA/\mu m$,DG 为 $4.56mA/\mu m$,同比提高 57%.对于应变沟道 nMOS,迁移率的提高主要来自于载流子(主要是电子)有效质量的减小和谷间声子散射率的降低.常规 SOI pMOS 的驱动电流 SG 时为 $-0.868mA/\mu m$,DG 为 $-1.78mA/\mu m$,同比提高 105%;Ge 组分为 0.3,应变 SiGe 沟道 pMOS 的驱动电流 SG 时为 $-1.29mA/\mu m$,DG 为 $-2.33mA/\mu m$,同比提高 81%.应变沟道 pMOS 迁移率的提高来自于中心布里渊区重、轻空穴能带的分离,导致较低的带间散射,同时,应力引起价带结构的畸变,空穴有效质量降低,因而空穴迁移率随 Ge 组分的增加而增大.

对于 nMOS 器件,顶栅为 n^+ 型,直接控制应变 Si 层作为电子的导电沟道,为主控栅;底栅为 p^+ 型,且有应变 SiGe 层的阻隔,对应变 Si 层的静电控制能力比顶栅小,主要通过背栅电势的耦合作用来影响正界面沟道区电势,为辅控栅.而 pMOS 则相反,顶栅为辅控栅,底栅为主控栅,这样就能保证以迁移率高的应变 SiGe 层作为空穴的导电沟道.工作在双栅模式下与单栅工作模

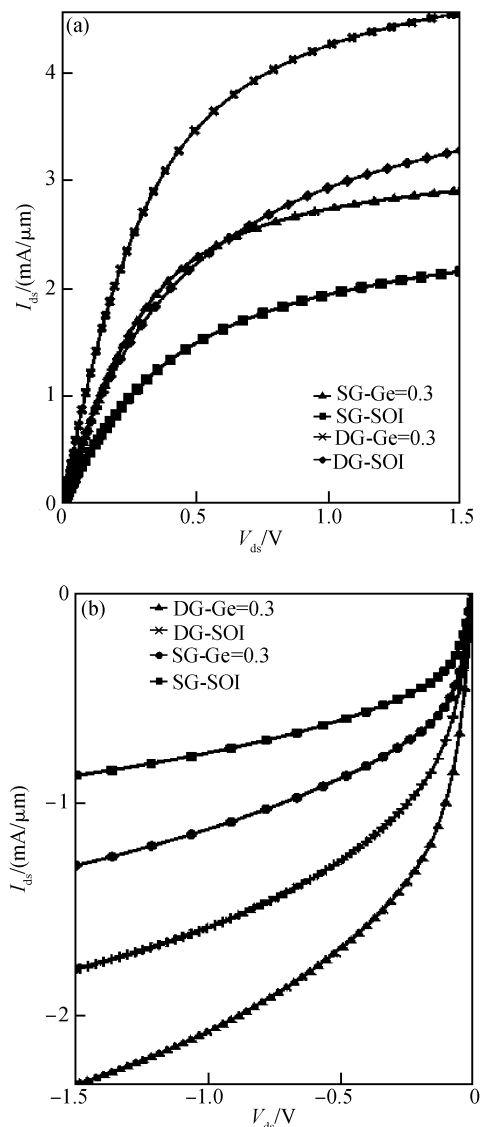


图 3 单栅和双栅工作模式下的输出特性曲线 (a) nMOS; (b) pMOS
Fig. 3 Output characteristics of SG control mechanism in comparison with DG control mechanism (a) nMOS; (b) pMOS

式相比,能更容易、更迅速地实现沟道反型,因而具有更强的驱动能力.

3 CMOS 瞬态特性

图 4 为单栅和双栅模式下 CMOS 瞬态特性的比较.模拟时的输入方波信号振幅为 $1V$,周期为 $200ps$,上升和下降时间均为 $5ps$.单栅和双栅控制模式的区别在于栅的连接方式,在单栅模式中对于 nMOS 用顶栅控制应变 Si 层作为电子的导电沟道,对于 pMOS 用底栅控制下层应变 SiGe 层作为空穴的导电沟道;双栅模式下把 nMOS 的双栅和 pMOS 的双栅都连接到一起.分析模拟结果:单栅模式下,非应变沟道的下降时间为 $16.3ps$,上升时间为 $24.4ps$;应变沟道(Ge 组分为 0.2)的下降时间为 $11.3ps$,上升时间为 $11.8ps$.双栅模式下,非应变沟道的下降时间为 $5.9ps$,上升时间为 $7.2ps$;应变沟道(Ge 组分为 0.2)的下降时间为 $4.1ps$,

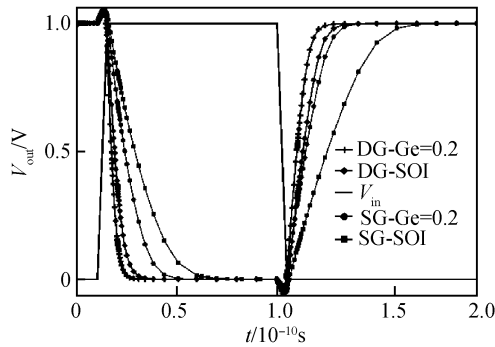


图 4 单栅和双栅工作模式下的瞬态特性

Fig. 4 Transient characteristics of SG control mechanism in comparison with DG control mechanism

上升时间为 5.2ps. 双栅模式下的上升和下降时间在单栅模式基础上又进一步缩短, 体现出非常优异的速度特性.

4 结论

本文主要研究了双栅双应变沟道 SOI MOSFET 的 CMOS 反相器特性, 模拟了栅长为 25nm 时单栅和双栅模式下的 CMOS 瞬态特性. 研究表明, 新结构有单栅和双栅两种工作模式, 单栅工作模式下, 传统应变沟道器件的 CMOS 电路只能实现上升或者下降时间的改善, 而基于新结构的 CMOS 电路能同时实现上升和下降时间的改善, 上升时间仅为常规 SOI CMOS 的 44%, 下降时间为其 59%, 且具有非常理想的对称性; 双栅模式下, CMOS 电路的上升和下降时间较单栅模式有了更进一步的缩短, 电路性能得以大幅度提高.

参考文献

- [1] Venkateshan A, Singh R, Poole K F, et al. High- k gate dielectrics with ultra-low leakage current for sub-45nm CMOS. *Electron Lett*, 2007, 43(21):1130
- [2] Paul D J. Silicon-germanium strained layer materials in microelectronics. *Advanced Materials*, 1999, 11(3):191
- [3] Mizuno T, Sugiyama N, Tezuka T, et al. High-performance strained SOI CMOS devices using thin film sige-on-insulator technology. *IEEE Trans Electron Devices*, 2003, 50(4):988
- [4] Sareen A, Wang Y, Sodervall U. Effect of Si cap layer on parasitic channel operation in Si/SiGe metal-oxide-semiconductor structures. *J Appl Phys*, 2003, 93(6):3545
- [5] Hara Y, Takaqi T, Inoue A, et al. Parasitic channels in SiGe heterojunction p-metal oxide semiconductor field effect transistors. *J Electrochem Soc*, 2002, 149(7):G394
- [6] Fortunato G, Valletta A, Gaucchi L, et al. Short channel effects in polysilicon thin film transistors. *Thin Solid Films*, 2005, 487(1):221
- [7] Lee C H, Wu S L, Chang S J. Improved performance of SiGe doped-channel field-effect transistor using inductively coupled plasma etch. *Semiconductor Science and Technology*, 2004, 19(8):1053
- [8] Chianq T K, Chen M L. A new analytical threshold voltage model for symmetrical double-gate MOSFETs with high- k gate dielectrics. *Solid-State Electron*, 2007, 51(3):87
- [9] Munteanu D, Autran J L, Loussier X, et al. Compact modeling of symmetrical double-gate MOSFETs including carrier confinement and short-channel effects. *Molecular Simulation*, 2007, 33(7):605
- [10] Gao Yong, Sun Liwei, Yang Yuan, et al. Characteristics of double-gate, dual-strained-channel, fully-depleted SOI MOSFETs. *Journal of Semiconductors*, 2008, 29(2):338 (in Chinese) [高勇, 孙立伟, 杨媛, 等. 双栅双应变沟道全耗尽 SOI MOSFETs 的特性分析. 半导体学报, 2008, 29(2):338]
- [11] Suzuki K, Sugii T. Analytical models for n+ -p+ double-gate SOI MOSFET's. *IEEE Trans Electron Devices*, 1995, 42(11):1940

Transient Characteristic Analysis of a Double-Gate Dual-Strained-Channel SOI CMOS*

Sun Liwei, Gao Yong, Yang Yuan, and Liu Jing†

(Department of Electronic Engineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: Transient characteristic analysis of a CMOS circuit based on a double-gate dual-strained channel SOI MOSFET with the effective gate length scaling down to 25nm is presented. As a result of simulations, by the adoption of a single-gate (SG) control mechanism, the conversion time from logic 1 to logic 0 is shorter for conventional strained-Si CMOS than unstrained CMOS. Furthermore, the conversion time from logic 0 to logic 1 can be reduced by the application of a strained-SiGe CMOS circuit. However, the CMOS circuit based on the novel structure can reduce t_{HL} and t_{LH} simultaneously. By the adoption of a double-gate (DG) control mechanism, the conversion time of the CMOS circuit shows a dramatic reduction compared with the SG control mechanism and the performance of the CMOS circuit can be improved significantly.

Key words: double-gate; dual-strained-channel; CMOS

EEACC: 2560

Article ID: 0253-4177(2008)08-1566-04

* Project supported by the Xi'an Applied Material Innovation Foundation (No. XA-AM-200514)

† Corresponding author. Email: liujing935@163.com

Received 21 February 2008, revised manuscript received 14 March 2008