

一种新型的全片内低噪声 CMOS 低压差线性稳压器

毛 焜[†] 何乐年 严晓浪

(浙江大学超大规模集成电路设计研究所, 杭州 310027)

摘要: 提出了一种全片内集成的低噪声 CMOS 低压差线性稳压器(LDO). 首先建立传统 LDO 的噪声模型, 分析了关键噪声来源并提出采用低噪声参考电压源来降低 LDO 输出噪声的方法. 其次, 提出一种带数字校正的基于阈值电压的低噪声参考电压源, 用 TSMC 0.18 μm RF CMOS 工艺设计并完成了为低相位噪声锁相环(PLL)电路供电的全片内集成低噪声 LDO 的流片和测试. 该 LDO 被集成于高性能射频接收器芯片中. 仿真结果表明, LDO 的输出噪声低于 $26\text{nV}/\sqrt{\text{Hz}}$ @100kHz, $14\text{nV}/\sqrt{\text{Hz}}$ @1MHz, 电源抑制比达到 -40dB @1MHz, 全频率范围内低于 -34dB . 测试结果表明采用该低噪声 LDO 的 PLL 电路与采用传统 LDO 的 PLL 电路相比, 其相位噪声降低 6dBc @1kHz, 低 2dBc @200kHz.

关键词: 低压差线性稳压器; 低噪声; 片上集成; 射频接收器

EEACC: 2570

中图分类号: TN401

文献标识码: A

文章编号: 0253-4177(2008)08-1602-06

1 引言

低压差线性稳压器(LDO)由于其结构简单、输出噪声小、电源噪声抑制性好的特点被广泛应用在各种高性能电路的电源系统中. 近年来由于 CMOS 工艺的进步以及片上系统集成技术(SOC)的兴起, CMOS 线性稳压器越来越多地被集成到单芯片系统中^[1~8]. 原先由片外单个或几个大的 LDO 集中供电的电源系统逐渐改进为由片内多个小的 LDO 对各个电路模块分别供电, 以减少模块间因共用电源产生的相互干扰并降低成本. 特别是在射频(RF)芯片中, 芯片可能集成十个以上的 LDO, 因为这些模块对电源噪声十分敏感, 每个模块都需要单独的低噪声 LDO 供电^[3~8]. 例如在宽带锁相环 PLL(phase lock loop)电路中, 由于压控系数 K_{vco} 较大, 压控振荡器(VCO)中电源噪声上变频效应严重, 直接影响到 PLL 的相位噪声, 另一方面, 决定整个 PLL 的低频相位噪声特性的晶体振荡器(XO)的相位噪声也受电源噪声影响严重. 相位噪声是 PLL 电路乃至 RF 芯片中最为关键的性能参数之一, 因此需要最大限度地降低 LDO 的输出噪声, 通常需要将其控制在 $50\text{nV}/\sqrt{\text{Hz}}$ 之下.

另一方面, 片上系统电路资源十分有限, 在片上实现大的电容价格昂贵. 这使得在输出噪声、电源抑制比和稳定性等性能指标上对大的输出电容有很强依赖性的传统结构 LDO 不再适用于片内集成的要求. 针对这个问题, Hoon 等人^[3]提出的 LDO 采用了两级放大结构, 并在输入电压 V_{DD} 和电压调节管的栅极间加入了前馈通路来提高电源抑制比, 并采用片内米勒补偿来保证环路稳定性, 使环路主极点位置由传统结构的 LDO 的输出节点转移到误差放大器的输出节点. 但该 LDO 仍

需采用噪声较大的带隙基准作为参考电压, 需使用占芯片较大面积的 RC 滤波器来减小输出噪声. Alon 等人^[4]提出的 LDO 采用了带本地负反馈的误差放大器来进行环路稳定性补偿并提高电源抑制比, 但该 LDO 使用了复制型负载, 当复制型负载与真实负载工作状态相差较大时, 该 LDO 很有可能失效, 此外, 该 LDO 并未针对低噪声进行优化设计.

本文在对片内 CMOS 稳压器的噪声模型和电源抑制模型的理论和推导的基础上, 设计了一种新型的片内全集成 CMOS 线性稳压器, 它没有使用任何片外电容, 采用了低噪声参考电压源, 总的输出噪声低于 $30\text{nV}/\sqrt{\text{Hz}}$, 电源抑制比(PSRR)达到 -40dB @100kHz. 该电路被用于高性能射频接收器芯片中, 在 TSMC 0.18 μm RF CMOS 工艺线上流片及测试成功.

2 建模与理论分析

如图1所示, 带片外电容的传统结构 CMOS 线性

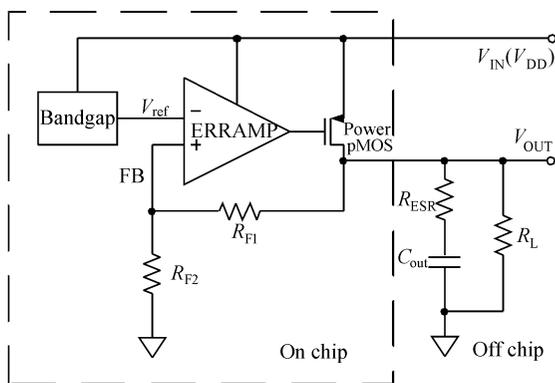


图 1 带片外电容的传统结构 LDO

Fig. 1 Conventional LDO with off chip capacitor

[†] 通信作者. Email: maocui@vlsi.zju.edu.cn

2008-02-21 收到, 2008-04-08 定稿

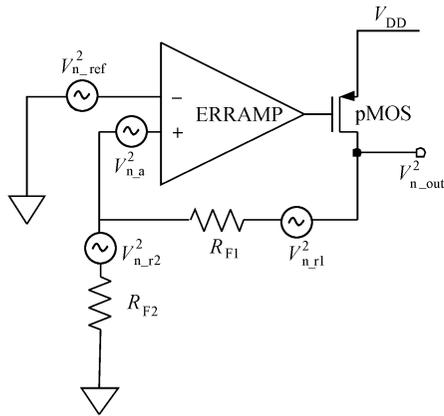


图 2 传统结构 LDO 的噪声模型
Fig.2 Noise model for conventional LDO

稳压器由功率管 (power pMOS), 误差放大器 (ERRAMP), 带隙基准源 (bandgap), 反馈电阻 R_{F1} , R_{F2} 以及片外负载电容 C_{out} 组成. 当反馈环路增益足够大时, 其输出电压为

$$V_{out} = V_{ref} \left(1 + \frac{R_{F1}}{R_{F2}} \right) \quad (1)$$

其中 V_{ref} 为误差放大器输入参考电压; R_{F1} , R_{F2} 为反馈电阻阻值. 图 2 是图 1 所示 LDO 的噪声模型, 该 LDO 的总输出噪声为

$$\begin{aligned} \overline{V}_{n_{out}}^2 = & \left(\overline{V}_{n_{ref}}^2 + \overline{V}_{n_{amp}}^2 \right) \left(1 + \frac{R_{F1}}{R_{F2}} \right)^2 + \\ & \overline{V}_{n_{r2}}^2 \left(\frac{R_{F1}}{R_{F2}} \right)^2 + \overline{V}_{n_{r1}}^2 \end{aligned} \quad (2)$$

其中 $\overline{V}_{n_{ref}}^2$ 为输入参考电压 V_{ref} 的噪声; $\overline{V}_{n_{amp}}^2$ 为误差放大器以及功率 pMOS 管的等效输入噪声; $\overline{V}_{n_{r1}}^2$, $\overline{V}_{n_{r2}}^2$ 为反馈电阻 R_{F1} , R_{F2} 的热噪声. 由 (2) 式可知, 要减小其总输出噪声, 可从 3 个方面入手:

(1) 减小参考电压 V_{ref} 引入的噪声 $\overline{V}_{n_{ref}}^2$. 片内参考电压通常是由带隙基准源产生的, 其特点是精确度高, 温度系数小. 但带隙基准源输出热噪声大, 通常在 $1\mu\text{V}/\sqrt{\text{Hz}}$ 以上. 要得到低噪声的参考电压 V_{ref} , 就需要使用截止频率很低的 RC 低通滤波器来滤除噪声, 而在片内实现大的电阻和电容需要耗费很大的芯片面积, 大大增加芯片成本. 除带隙基准源外, 还有其他的一些简单的电压基准源也可以产生参考电压, 如 V_{th} 基准源和 V_{bc} 基准源, 它们具有非常好的噪声特性, 但是输出参考电压精度差, 随工艺和温度变化较大, 并且电源抑制比低, 容易受电源噪声干扰^[9].

(2) 减小或去除反馈电阻 R_{F1} , R_{F2} . 减小 R_{F1} , R_{F2} 的阻值可以减小电阻热噪声 $\overline{V}_{n_{r1}}^2$, $\overline{V}_{n_{r2}}^2$, 但这会增加 LDO 的静态工作电流. 除此之外, 可采用预调节的方法, 在 LDO 前放置一个预调节电路, 去除 LDO 本身的反馈电阻, 而将 LDO 简化为电压缓冲器. 如图 3 所示, Hoon 等人^[3] 提出的片内低噪声 LDO 采用了前级预调节结构, 将反馈电阻 R_{F1} , R_{F2} 从移至前级的电压调节器. 其 LDO 的输出电压为

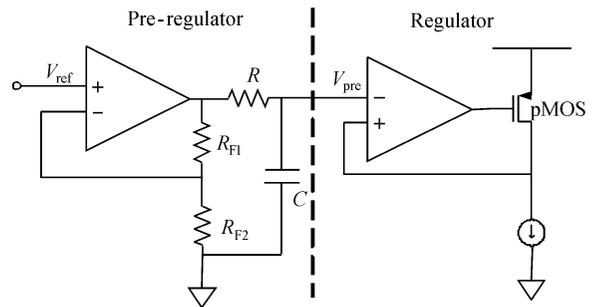


图 3 带前级预调节的 LDO
Fig.3 LDO with pre-regulation

$$V_{out} = V_{pre} = V_{ref} \left(1 + \frac{R_{F1}}{R_{F2}} \right) \quad (3)$$

其中 V_{pre} 为前级电压调节器的输出电压. 由于在前后两级电路间加入 RC 低通滤波器, 不但可以滤除参考电压 V_{ref} 引入的噪声, 还可以消除反馈电阻的噪声. 在 RC 滤波器截止频率足够低的情况下, 前级预调节器的噪声对 LDO 的输出噪声影响可以忽略. 测试结果表明该 LDO 的输出热噪声低至 $60\text{nV}/\sqrt{\text{Hz}}$. 但由于 RC 低通滤波器的截止频率很低, 阻值 R 和容值 C 都很大, 电容 C 约为 100pF , 电阻 R 大于 $100\text{M}\Omega$, 因此需要占用非常大的芯片面积^[3].

(3) 增加输入管的跨导来减小误差放大器和功率 pMOS 管的等效输入噪声 $\overline{V}_{n_{amp}}^2$. 这是因为功率 pMOS 管以及误差放大器产生的噪声折算到输入端时, 都会受到输入管跨导的抑制, 增加输入管的尺寸还可减小误差放大器的闪烁噪声 (flicker noise). 合理地设计误差放大器可以得到较好的噪声特性.

3 基于阈值电压的低噪声参考电压源

由以上分析可知, 要使得全片内集成的 LDO 有很好的噪声特性必须采用低噪声的参考电压源. 本文设计了一种基于阈值电压的低噪声参考电压源, 它具有极低的输出噪声以及很好的电源噪声抑制能力, 同时它采用了数字校准的方法, 提高了输出电压的精度.

基于阈值电压的低噪声参考电压源的电路结构如图 4 所示. 左侧部分是由 MOS 管 M1, M2, M3, M4 和电

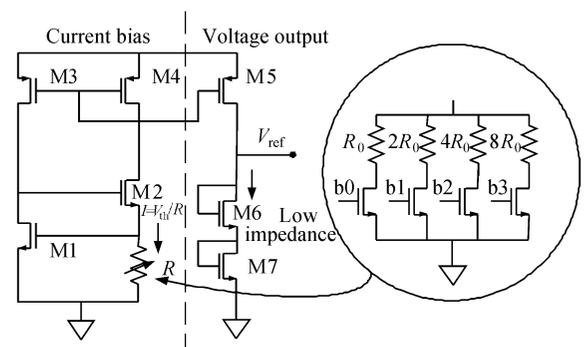


图 4 带数字校准的基于阈值电压的低噪声参考电压源
Fig.4 V_{th} based low noise voltage reference with digital calibration

阻 R 组成低噪声电流偏置电路,其中 R 的阻值是数字可调的. MOS 管 M1 宽长比取值很大,过驱电压很小,栅极电压约为 V_{th} ,因此流过电阻 R 的电流为

$$I = \frac{V_{th}}{R} \quad (4)$$

其中 V_{th} 为 nMOS 管的阈值电压.

图 4 右侧是由电流镜 M5 和两个宽长比较大的管子 M6 和 M7 组成的基于阈值电压 V_{th} 的参考电压输出级电路.左侧电路产生的偏置电流经 M5 复制后流经 M6, M7 后,其输出电压为

$$V_{ref} = 2V_{th} + V_{od6} + V_{od7} = 2V_{th} + \frac{V_{th}}{2R} \left(\frac{1}{g_{m6}} + \frac{1}{g_{m7}} \right) \quad (5)$$

其中 V_{od6} , V_{od7} 分别为 M6, M7 的过驱动电压, g_{m6} , g_{m7} 分别为 M6, M7 的跨导.

由 M1, M2, M3 和 R 组成的反馈环路抑制了 M1, M2 和 M3 产生的热噪声,使得该电流偏置电路的输出噪声主要来自于电流镜 M4 和电阻 R . 电阻 R 的阻值在 $50k\Omega$ 以上,电流镜 M4 的跨导 g_{m4} 较小,因此图 4 左侧电流偏置的输出电流噪声较小.

忽略 M1, M2 和 M3 引入的热噪声,该低噪声电压源的总输出热噪声为

$$\overline{V_{out}^2} = \left(\frac{1}{g_{m6}} + \frac{1}{g_{m7}} \right)^2 \left(\frac{4kT}{R} + 4kT\gamma g_{m4} + 4kT\gamma g_{m5} \right) + \frac{4kT\gamma}{g_{m6}} + \frac{4kT\gamma}{g_{m7}} \quad (6)$$

将上式改写为

$$\overline{V_{out}^2} = 4kT \left(\frac{1}{g_{m6}} + \frac{1}{g_{m7}} \right) \left(1 + \frac{1}{g_{m6}R} + \frac{1}{g_{m7}R} + \frac{\gamma g_{m4}}{g_{m6}} + \frac{\gamma g_{m4}}{g_{m7}} + \frac{\gamma g_{m5}}{g_{m6}} + \frac{\gamma g_{m5}}{g_{m7}} \right) \quad (7)$$

又由于电流镜 M4, M5 的跨导 g_{m4} , g_{m5} 远小于 M6, M7 的跨导 g_{m6} , g_{m7} , 并且 $g_{m6}R$, $g_{m7}R$ 远大于 1, 因此 (7) 式简化为

$$\overline{V_{out}^2} \approx 4kT \left(\frac{1}{g_{m6}} + \frac{1}{g_{m7}} \right) \quad (8)$$

因此总的输出噪声主要来自于 M6, M7 本身. 又由于 M6, M7 宽长比大, 其跨导 g_{m6} , g_{m7} 也大, 因此输出热噪声很小, 同时 M6, M7 的尺寸大, 其闪烁噪声 (flicker noise) 也小. 仿真结果表明, 总的输出噪声为 $21.0nV/\sqrt{Hz}@100kHz$, $9.0nV/\sqrt{Hz}@1MHz$. 此外, 由于采用了 pMOS 电流镜结构, 该低噪声参考电压源有良好的电源噪声抑制比, 仿真结果表明电源抑制比在所有频率范围内都小于 $-47dB$.

输出参考电压 V_{out} 的电压值是基于阈值电压 V_{th} 的, 但由于 V_{th} 随工艺和温度变化较大, 造成输出电压的绝对精度较低, 因此必须对输出电压的值进行校准. 由 (5) 式可知, 调节电阻 R 的阻值可以调节输出电压 V_{out} 的大小. 通过模拟方法连续调节电阻 R 必将引入其他电路噪声, 而通过数字方法调节电阻 R , 如图 4 中所示, 由于仅仅加入了数字开关, 将几乎不引入额外噪声.

本文采用了逐次逼近的数字校准方法来校正基于

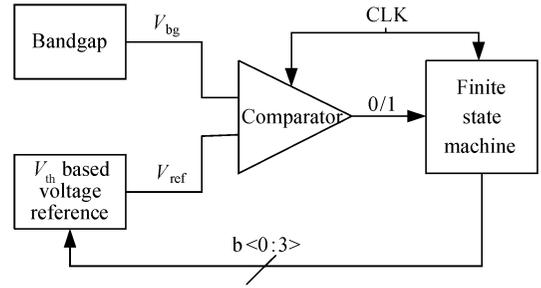


图 5 逐次逼近的数字校正方法

Fig. 5 Calibration schema using SAR

阈值电压的参考电压源. 如图 5 所示, 先将参考电压源的输出电压与带隙基准电压源的输出电压进行比较, 比较器将比较结果输入到有限状态机中, 有限状态机再根据比较结果从高位到低位逐步调节电阻 R 的阻值控制位 $b\langle 0:3 \rangle$, 从而达到校正基于阈值电压参考电压源的目的. 4 位数字位的校正精度可达到 $\pm 10mV$. 虽然这种数字校正方法需要消耗一些电路资源, 但对于通常集成十个以上 LDO 的射频芯片而言, 校正后的数字结果 $b\langle 0:3 \rangle$ 可以用于所有片内低噪声参考电压源, 因此依然是一种经济有效的方法.

4 低噪声片内 LDO 的设计与电路实现

本文设计的低噪声线性稳压器如图 6 所示, 它采用了低噪声的基于阈值电压的参考电压源, 大大减小了参考电压源引入的噪声, 并去除了反馈电阻以消除其引入的噪声并降低了静态电流损耗. 误差放大器和 pMOS 功率管组成的反馈环路起到电压缓冲器的作用. 补偿电容 C_c 容值为 $50pF$, 在片内集成, 起到相位补偿稳定环路的作用. 该 LDO 采用 TSMC $0.18\mu m$ RF CMOS 工艺设计, 用于高性能射频接收器芯片中锁相环电路的供电, 输入电压为 $2.7V$, 输出电压为 $2V$, 负载电流 I_{load} 为 $10mA$. 当环路增益足够大时, 其输出电压

$$V_{out} = V_{ref} \quad (9)$$

总输出噪声

$$\overline{V_{n_out}^2} = \overline{V_{n_ref}^2} + \overline{V_{n_amp}^2} \quad (10)$$

其中 $\overline{V_{n_ref}^2}$ 为参考电压源引入的噪声; $\overline{V_{n_amp}^2}$ 为误差

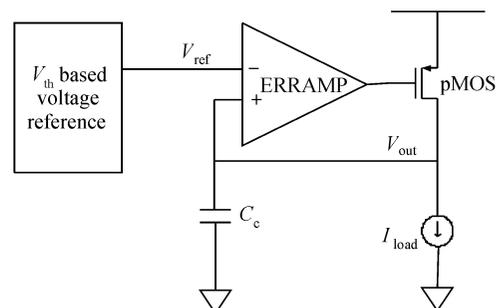


图 6 本文提出的 LDO 结构图

Fig. 6 Structure of the proposed LDO

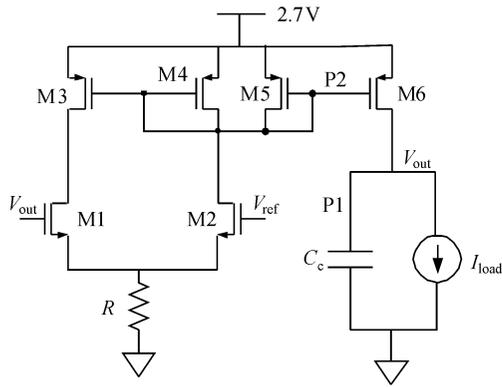


图 7 误差放大器及功率 pMOS 电路图

Fig.7 Schematic of error amplifier and power pMOS

放大器以及 pMOS 功率管引入的等效输入噪声. 由于采用了低噪声参考电压源, 总的输出噪声低于 $30\text{nV}/\sqrt{\text{Hz}}$ @100kHz.

误差放大器及功率管详细电路结构如图 7 所示, 误差放大器采用了类似以电流镜为负载的差分对结构, 电阻 R 提供尾电流, M1 和 M2 为完全匹配的 nMOS 差分输入对管, M3, M4 为匹配 pMOS 电流镜, M5 为二极管方式连接的 pMOS 负载管. 其中 M3, M4 和 M5 的宽长比 $(W/L)_3 : (W/L)_4 : (W/L)_5$ 为 4 : 3 : 1, 这样可以使得差分对管左右两支的直流工作点相对对称, 以减小因直流工作点偏差而引入的直流输入偏差 (DC input offset). 环路稳定性是 LDO 设计中的一个重点, 由误差放大器和 pMOS 功率管 M6 组成的反馈环路的主极点位置设计在输出端 P1, 次极点位置设计在 P2. 这是因为在负载电路中通常有较大而又难以准确估算的寄生电容, 例如 n 阱与衬底 psub 间的寄生电容. 如果将输出端 P1 设计为次极点, 则这些寄生电容将削弱环路稳定性, 而将 P1 设计为主极点, 这些寄生电容将加强环路的稳定性. 二极管方式连接的 M5 使得误差放大器有较小的输出阻抗, 从而使得 P2 点的极点位置较远, 保证反馈环路的稳定性.

该 LDO 的反馈环路增益为

$$T(s) = \frac{g_{m1}}{g_{m5}} g_{m6} r_{o6} \frac{1}{\left(1 + \frac{C_p s}{g_{m5}}\right) (1 + r_{o6} C_c s)} \quad (11)$$

由上式知, 主极点 $p_1 = 1/r_{o6} C_c$, 次极点 $p_2 = g_{m5}/C_p$, 单位增益带宽为 $\frac{g_{m1}}{g_{m5}} \times \frac{g_{m6}}{C_c}$. 要满足环路相位裕度大于 60° 的要求, 需满足次极点在单位增益带宽 2.2 倍以上, 即补偿电容 C_c 的取值需满足

$$C_c > 2.2 \frac{g_{m1} g_{m6}}{g_{m5}^2} C_p \quad (12)$$

5 仿真及测试结果

LDO 采用 TSMC 0.18 μm RF CMOS 工艺设计, 用于高性能射频接收器芯片中. 图 8、图 9 为电路的电源噪声抑制比和输出噪声的仿真结果, 其中图中上方标号

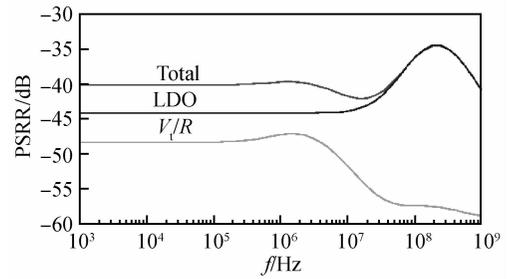


图 8 电源噪声抑制比的仿真结果

Fig.8 Simulation result of PSRR

Total 的曲线代表该电路总体的电源抑制比或输出噪声, 而标号 LDO 和 V_t/R 的曲线分别代表 LDO 本身 (即接理想参考电压源) 和 V_{th} 参考电压源的电源噪声抑制比或输出噪声. 从图 8 中可以看出, 该电路在全频带都有较好的电源噪声抑制比, 在 30MHz 以下频段内总体 PSRR 都小于 -40dB , 而这段频段通常是射频接收芯片中基带信号最集中的频率, 因此可以很好地抑制基带信号通过电源电压耦合到 PLL 中的 VCO 和晶体振荡器 (XO) 中, 减小电源毛刺和噪声对 PLL 相位噪声的影响. 除此之外, 在 PLL 相位噪声最为敏感的 100kHz~1MHz 范围内, 电路具有很低的输出噪声. 仿真结果如图 9 所示, 全部电路总输出噪声在 100kHz 频率处为 $26\text{nV}/\sqrt{\text{Hz}}$, 在 1MHz 频率处为 $14\text{nV}/\sqrt{\text{Hz}}$.

由于该 LDO 是全片内集成, 无外接电容, 而且考虑到尽量减小噪声耦合, 因此设计时没有引出测试管脚. 为了间接测试该 LDO 的噪声特性, 芯片中还设计了一个以 Bandgap 为参考电压的传统结构的 LDO, 并可在作者提出的低噪声 LDO 与传统结构 LDO 之间切换. 图 10 为该传统 LDO 的输出噪声 PVT 仿真结果, 输出总噪声在 100kHz 频率处约为 $500\text{nV}/\sqrt{\text{Hz}}$, 在 1MHz 频率处约为 $170\text{nV}/\sqrt{\text{Hz}}$, 均远大于作者提出的 LDO 的输出噪声. 图 11 为锁相环 (PLL) 的相位噪声测试图, 图中上方曲线为采用传统 LDO 供电情况下的相位噪声, 而图中下方曲线为采用作者提出的低噪声 LDO 供电情况下的相位噪声. 可以看出, 由于采用了作者提出的低噪声 LDO, PLL 的相位噪声有明显降低. 在频偏 1kHz 处, 采用传统 LDO 供电的 PLL 其相位噪声值为 -62dBc , 而采用了低噪声 LDO 的 PLL 相位噪声值为

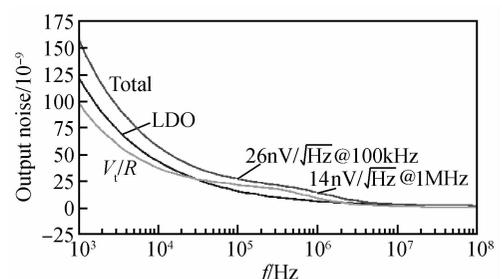


图 9 输出噪声的仿真结果

Fig.9 Simulation result of output noise

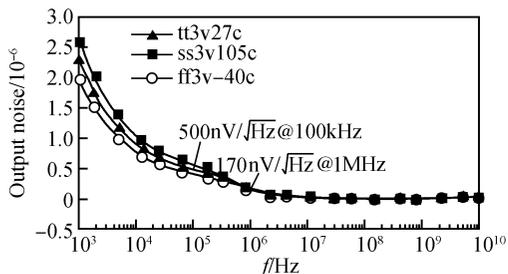


图 10 采用 Bandgap 偏置的 LDO 的输出噪声

Fig.10 Output noise of LDO with bandgap reference

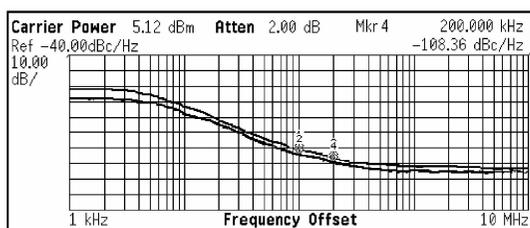


图 11 VCO 相位噪声测试结果

Fig.11 Test results of VCO phase noise

-68dBc, 降低了 6dBc, 在频偏 200kHz 处, 采用传统 LDO 供电的 PLL 其相位噪声值为 -108dBc, 而采用了低噪声 LDO 的 PLL 相位噪声值为 -110dBc, 降低了 2dBc. 图 12 为该射频接收器芯片局部微缩照片.

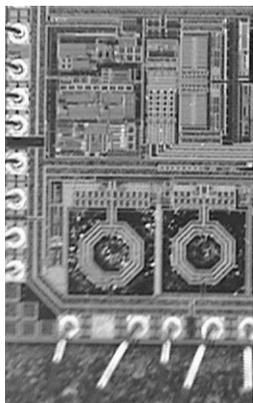


图 12 芯片的显微照片

Fig.12 Micrograph of the chip

6 结论

本文提出了一种全片内集成的低噪声、高电源噪声抑制比的低压差线性稳压器, 它采用了带数字校正的基于阈值电压的低噪声参考电压源, 在保证输出电压精度的同时大大减小了由参考电压引入的噪声. 该 LDO 采用 TSMC 0.18 μ m RF CMOS 工艺设计, 被用于片内低相位噪声 PLL 供电, 其输入电压 2.7V, 输出电压 2V, DC 负载电流 10mA. 仿真结果表明, 该 LDO 输出噪声低于 26nV/ $\sqrt{\text{Hz}}$ @100kHz, 14nV/ $\sqrt{\text{Hz}}$ @1MHz, 电源抑制比达到 -40dB@1MHz, 全频率范围内低于 -34dB. 流片测试结果表明采用该低噪声 LDO 的锁相环电路与采用传统 LDO 的锁相环电路相比, 其相位噪声低 6dBc@1kHz, 低 2dBc@200kHz.

参考文献

- [1] Evans D, McConnell M, Kawamura P, et al. SoC integration challenges for a power management/analog baseband IC for 3G wireless chipsets. 16th Int Symp Power Semiconductor Devices and ICs, 2004; 77
- [2] Gupta V, Rincon-Mora G A, Raha P. Analysis and design of monolithic high PSR linear regulators for SoC applications. IEEE Int SoC Conf, 2004; 311
- [3] Hoon S K, Chen S, Maloberti F, et al. A low noise, high power supply rejection low dropout regulator for wireless system-on-chip applications. IEEE Custom Integrated Circuits Conference, 2005
- [4] Alon E, Kim J, Pamarti S, et al. Replica compensated linear regulators for supply-regulated phase-locked loops. IEEE J Solid-State Circuits, 2006, 41; 413
- [5] Khawshie V, Kumar P V, Rangnekar R, et al. A 2.5Gbps quad CMOS transceiver cell using regulated supply low jitter PLL. 20th International Conference on VLSI design, 2007; 141
- [6] Maxim A. A low reference spurs 1~5GHz 0.13 μ m CMOS frequency synthesizer using a fully-sampled feed-forward loop filter architecture. IEEE J Solid-State Circuits, 2007, 42; 2503
- [7] Ingino J M, von Kaenel V R. A 4-GHz clock system for a high-performance system-on-a-chip design. IEEE J Solid-State Circuits, 2001, 36; 1693
- [8] Maxim A. A 2~5GHz low jitter 0.13 μ m CMOS PLL using a dynamic current matching charge-pump and a noise attenuating loop-filter. IEEE Custom Integrated Circuits Conference, 2004; 147
- [9] Lee T H. The design of CMOS radio-frequency integrated circuits. 2nd ed. New York: Cambridge University Press, 2004

A Novel Fully On-Chip CMOS Low-Dropout Linear Regulator with Ultra Low Noise

Mao Cui[†], He Lenian, and Yan Xiaolang

(*Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China*)

Abstract: A fully on-chip low-dropout linear regulator (LDO) with ultra low noise is presented. This regulator uses a V_t/R based voltage reference rather than a commonly used bandgap reference to minimize the noise introduced by the reference voltage. The V_t/R based voltage reference employs a digital calibration schema to increase the accuracy of the output voltage. This fully on-chip LDO is designed in a TSMC 0.18 μm RF CMOS process for the power supply of a low phase noise phase lock loop (PLL) with 10mA of DC current consumption. The simulation results indicate that the total output noise of the LDO is $26\text{nV}/\sqrt{\text{Hz}}$ @ 100kHz and $14\text{nV}/\sqrt{\text{Hz}}$ @ 1MHz, and the power supply reject ratio is -40dB @ 1MHz and less than -34dB in all frequency bands. The test results show that the phase noise of the PLL using this LDO is 6dBc @ 1kHz less and 2dBc @ 200kHz less than using conventional LDO.

Key words: low-dropout regulator; low noise; SOC; radio frequency receiver

EEACC: 2570

Article ID: 0253-4177(2008)08-1602-06

[†] Corresponding author. Email: maocui@vlsi.zju.edu.cn

Received 21 February 2008, revised manuscript received 8 April 2008