

SET 传播过程中的脉冲展宽效应

梁 斌[†] 陈书明 刘必慰 刘 征

(国防科技大学计算机学院, 长沙 410073)

摘要: 利用 SPICE 电路模拟研究了 SET 在传播过程中的脉冲展宽效应. 结果表明, 负载的不均衡、电路上/下拉网络驱动能力的不对称以及浮体效应是造成脉冲展宽/压缩的主要原因. 本文从基本的上升/下降延迟计算出发, 对脉冲展宽/压缩的机理进行了深入的分析, 认为在负载均衡的条件下, SOI 反相器链中的脉冲展宽效应主要归因于浮体效应和“局部”浮体效应.

关键词: 电路模拟; SET; 脉冲展宽

EEACC: O170N

中图分类号: TN406

文献标识码: A

文章编号: 0253-4177(2008)09-1827-05

1 引言

随着工艺特征尺寸的不断缩减, 工作电压不断降低, 节点电容不断减小, 高速数字电路中的单粒子瞬态 (single event transient, SET) 正在变得越来越严重^[1~4]. 重离子辐射实验结果表明, 同一线性能量传输 (linear energy transfer, LET) 条件下的 SET 脉冲宽度并不是唯一的, 而是具有一个很宽的分布^[1,5]. 过去, 学者们将以上实验现象的原因归结于粒子轰击位置的不同. 最近, Ferlet-Cavrois 等人^[6] 通过 0.13 μm PD SOI 反相器链的重离子辐射实验发现, SET 在沿组合通路传播的过程中可能展宽或者压缩, 并且认为脉冲展宽效应是造成同一 LET 下能够测量到不同 SET 脉冲宽度的主要原因, 这一解释与以往的结论有很大差别, 对过去基于反相器长链的脉冲测量技术提出了严重质疑.

虽然过去亦有研究指出 SET 脉冲在沿组合通路传播的过程中能够展宽或者压缩, 但对造成 SET 展宽/压缩的基本机理仍缺乏深入的研究^[7,8]. 本文采用 SPICE 电路模拟手段, 面向标准体硅和 SOI 工艺, 对 100 级反相器长链中的 SET 传播进行了研究. 从基本的上升/下降延迟计算出发, 详细分析了造成脉冲展宽/压缩的基本机理, 对文献^[6] 描述的重离子辐射实验现象给出了合理的解释.

2 模拟实验设置

本文进行 SPICE 模拟实验采用的基本结构为 100 级反相器链, 见图 1. SPICE 模拟时, 在输入端 IN 施加一个梯形脉冲, 然后量测输出端 OUT 的脉冲宽度, 输出和输入脉冲宽度之差即为脉冲展宽/压缩量. 在输入端施加的梯形脉冲低电平为 0V, 高电平为电源电压 V_{DD} , 上升和下降时间均为 0.1ns, 脉冲宽度为 3ns. 在本文的

所有研究中, 脉冲宽度均指 $V_{DD}/2$ 处的宽度.

本文研究的工艺包括 0.25~0.09 μm 标准体硅工艺以及 0.13 μm SOI 工艺, 其中体硅工艺的 SPICE 模型来自 SMIC^[9], SOI 工艺的 SPICE 模型来自 Berkeley^[10]. 对本文的所有研究, 晶体管的栅长均为相应工艺的最小栅长, nMOS 管的栅宽 W_n 均为 1 倍驱动能力反相器的栅宽, 工作电压均为 V_{DD} , 见表 1.

3 实验结果

本文主要进行了两组实验: 第一组实验将所有节点的电容固定为 10fF, 第二组实验将奇数和偶数节点的电容分别设为 15 和 5fF. 两组实验分别研究负载均衡和负载不均衡的条件下, 反相器晶体管尺寸调整 (transistor sizing) 对脉冲展宽效应的影响. 在每一组实验中,

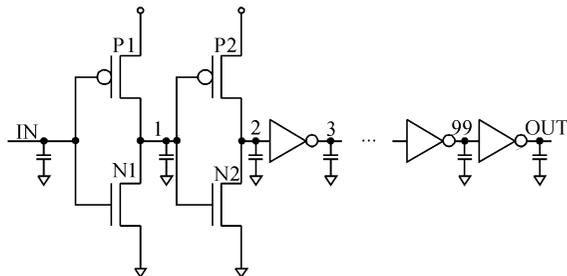


图 1 100 级反相器链结构

Fig.1 100-stage inverter chain

表 1 晶体管尺寸和电源电压

Table 1 Transistor sizing and power supply voltage

工艺类型	特征尺寸/ μm	栅长/ μm	nMOS 管栅宽/ μm	电源电压/V
标准体硅	0.25	0.25	0.8	2.5
	0.18	0.18	0.6	1.8
	0.13	0.13	0.4	1.2
	0.09	0.10	0.3	1.0
PD SOI	0.13	0.13	0.4	1.2

[†] 通信作者. Email: liangbin@nudt.edu.cn

2008-03-17 收到, 2008-05-19 定稿

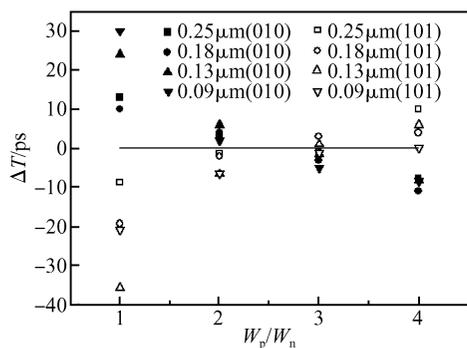


图 2 体硅反相器链负载均衡时的模拟实验结果

Fig. 2 Simulation results for bulk inverter chain under balanced loads

对于每种体硅工艺,分别在输入“010”和“101”脉冲两种条件下进行 4 次模拟,4 次模拟时 pMOS 管栅宽 W_p 分别为 W_n 的 1~4 倍;对于 0.13 μm SOI 工艺,分别在带理想体引出和浮体两种条件下重复 0.13 μm 体硅工艺下的 8 次模拟.

3.1 负载均衡条件下的脉冲展宽效应

图 2 和图 3 分别给出了体硅和 SOI 工艺下的第一组模拟实验结果.从图 2 和图 3 可以看出,在负载均衡的条件下,对于体硅和带理想体引出的 SOI 反相器链,脉冲展宽效应不明显,在本文研究的所有条件下,脉冲展宽/压缩的绝对值均不超过 40ps;而浮体 SOI 反相器链中则存在明显的脉冲展宽效应,在经过 100 级反相器之后,脉冲展宽可达 0.6ns 到接近 1.4ns,平均每经过 1 级反相器展宽约 6~14ps.

对于体硅和带理想体引出的 SOI 工艺,“010”和“101”脉冲的展宽效应正负刚好相反,而展宽/压缩的绝对值基本相同;在浮体 SOI 工艺条件下,无论是“010”还是“101”脉冲,在经过反相器链之后均发生了展宽.

在负载均衡的条件下,对于体硅和带理想体引出的 SOI 工艺,在 W_p/W_n 从 1 增加到 4 的过程中,“010”脉冲从展宽逐渐变为压缩,而“101”脉冲则与之相反.从图 2 中还可以看出,脉冲展宽与压缩的转折点发生在 W_p/W_n 等于 2~3 之间.

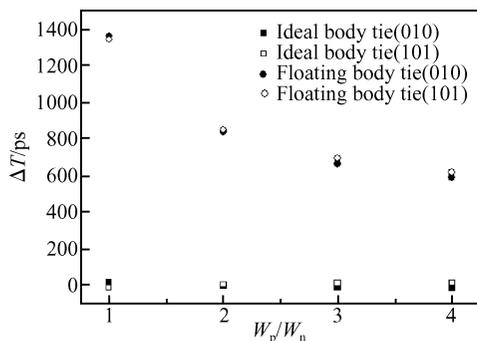
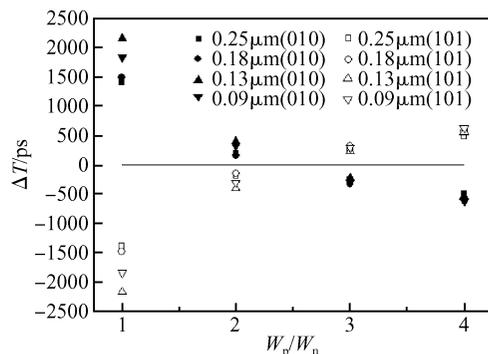
图 3 0.13 μm SOI 反相器链负载均衡时的模拟实验结果Fig. 3 Simulation results for 0.13 μm SOI inverter chain under balanced loads

图 4 体硅反相器链负载不均衡时的模拟实验结果

Fig. 4 Simulation results for bulk inverter chain under unbalanced loads

3.2 负载不均衡条件下的脉冲展宽效应

图 4 和图 5 所示分别为体硅和 SOI 工艺下的第二组模拟实验结果.比较图 4 和图 2 可以发现,在负载不均衡的条件下,脉冲展宽效应更加显著.在本文研究的条件下,脉冲展宽最大可达 2~2.5ns,远远高于第一组实验中的 40ps.

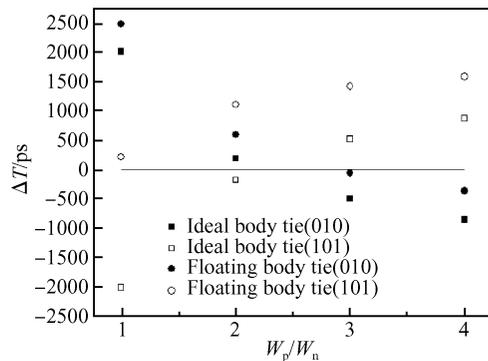
对于体硅和带理想体引出的 SOI 工艺,在负载不均衡的条件下,“010”和“101”脉冲的展宽效应也呈现出大小相等、方向相反的特点,并且也在 W_p/W_n 等于 2~3 之间发生了展宽/压缩的转变.而对于浮体 SOI 工艺,脉冲展宽/压缩的规律相对而言不明显.

4 分析与讨论

首先以脉冲经过 1 级反相器为例,说明脉冲展宽的基本原理.对于一个“010”脉冲,在经过 1 级反相器之后,变为“101”脉冲,假设输入和输出脉冲的宽度分别为 t_{in} 和 t_{out} ,则脉冲的展宽量 ΔT_{010} 可由公式(1)给出,见图 6.

$$\Delta T_{010} = t_{out} - t_{in} = t_{PLH} - t_{PHL} \quad (1)$$

类似地, $\Delta T_{101} = t_{PHL} - t_{PLH}$.其中, t_{PLH} 和 t_{PHL} 分别为反相器的上升和下降传播延迟.可见,脉冲展宽的根本原因在于反相器上升/下降延迟的不相等.

图 5 0.13 μm SOI 反相器链负载不均衡时的模拟实验结果Fig. 5 Simulation results for 0.13 μm SOI inverter chain under unbalanced loads

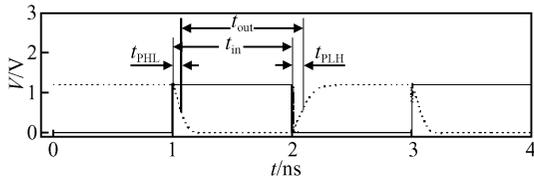


图 6 脉冲展宽示例
Fig.6 Example of pulse broadening

在一阶分析时, t_{PLH} 和 t_{PHL} 可由公式(2)给出. 其中, k_p 和 k_n 分别为 pMOS 管和 nMOS 管的增益因子. 在 pMOS 和 nMOS 管栅长相等的条件下, k_p 与 k_n 之间的关系可由公式(3)给出, 其中 W_p 和 W_n 分别为 pMOS 管和 nMOS 管的栅宽, μ_p 和 μ_n 分别为空穴和电子迁移率^[11].

$$t_{PLH} = \frac{C_L}{k_p V_{DD}}, t_{PHL} = \frac{C_L}{k_n V_{DD}} \quad (2)$$

$$\frac{k_p}{k_n} = \frac{W_p}{W_n} \times \frac{\mu_p}{\mu_n} \quad (3)$$

下面分析“010”脉冲经过 2 级反相器的情形. 在“010”脉冲经过第 1 级反相器之后, 脉冲展宽量为 $\Delta T(1) = t_{PLH1} - t_{PHL1}$, 并且脉冲变为“101”脉冲, 在经过第 2 级反相器之后, 脉冲进一步展宽 $\Delta T(2) = t_{PHL2} - t_{PLH2}$. 因此, “010”脉冲在经过两级反相器之后总的展宽量为:

$$\begin{aligned} \Delta T &= \Delta T(1) + \Delta T(2) = \\ &= (t_{PLH1} - t_{PHL1}) + (t_{PHL2} - t_{PLH2}) = \\ &= \left(\frac{C_{L1}}{k_p V_{DD}} - \frac{C_{L1}}{k_n V_{DD}} \right) + \left(\frac{C_{L2}}{k_n V_{DD}} - \frac{C_{L2}}{k_p V_{DD}} \right) \end{aligned} \quad (4)$$

其中 C_{L1} 和 C_{L2} 分别为第 1 级和第 2 级反相器的输出负载. 在负载均衡的条件下, $C_{L1} = C_{L2}$, 从而, $t_{PLH1} = t_{PHL2}$ 且 $t_{PHL1} = t_{PLH2}$. 因此, $\Delta T(1)$ 和 $\Delta T(2)$ 大小相等, 方向相反, 在“010”脉冲经过 2 级反相器之后, 总的脉冲展宽量约为 0. 这就合理地解释了为什么在负载均衡的条件下, 体硅和带理想体引出的 SOI 反相器链中没有发生明显的脉冲展宽效应.

在负载不均衡的条件下, $C_{L1} \neq C_{L2}$, 若 $k_p \neq k_n$, 根据公式(4), SET 脉冲在经过 2 级反相器之后的展宽量 ΔT 不为 0. 在脉冲经过反相器长链时, 每经过两个反相器, 就会发生一次净的脉冲展宽或者压缩, 脉冲展宽/压缩的多次叠加就造成了明显的展宽效应. 这就解释了为什么在负载不均衡的条件下, 体硅和带理想体引出的 SOI 反相器链中的脉冲展宽效应更加显著.

显然, 即使 $C_{L1} \neq C_{L2}$, 若 $k_p = k_n$, SET 脉冲在经过 2 级反相器之后的净展宽量仍然可以为 0. 根据公式(3), 在 $W_p/W_n = \mu_n/\mu_p$ 时, $k_p = k_n$. 在深亚微米工艺条件下, μ_n 约为 μ_p 的 2~3 倍. 在前面的模拟实验中, 对于体硅和带理想体引出的 SOI 工艺, 脉冲展宽/压缩的转变均发生在 W_p/W_n 等于 2~3 之间, 与此处的分析完全吻合.

从以上的分析可知, 对于体硅和带理想体引出的 SOI 工艺, 负载的不均衡和反相器上/下拉网络驱动力的不对称是造成脉冲展宽/压缩的两个必要条件. 为

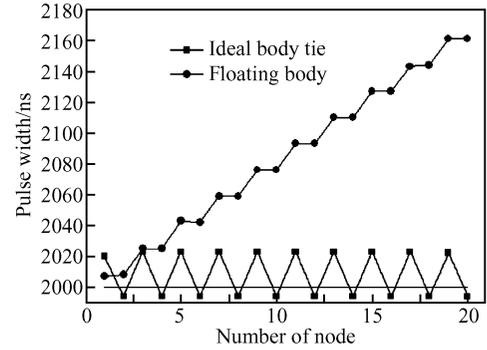


图 7 SET 脉冲宽度在传播过程中的动态变化
Fig.7 Widths of SET pulses in propagating

了抑制脉冲展宽效应, 可以设计对称的反相器或者从平衡负载入手. 本文的分析同时表明, 在体硅和带理想体引出的 SOI 工艺下, 过去基于反相器长链的脉冲测量技术仍然有效.

浮体 SOI 工艺下的脉冲展宽效应表现出两个特有的现象: 一是在负载均衡的条件下也存在明显的脉冲展宽效应, 且只发生展宽而不发生压缩; 二是在负载不均衡的条件下, 脉冲展宽/压缩的规律不明显.

为了进一步深入研究负载均衡条件下的脉冲展宽效应, 监测了 SET 脉冲宽度在传播过程中的动态变化, 见图 7. 为清晰起见, 图 7 中只给出了带理想体引出和浮体 SOI 反相器链中前 20 个节点的脉冲宽度, pMOS 管和 nMOS 管栅宽之比为 2.

从图 7 可以看出, 带理想体引出和浮体 SOI 工艺下的脉冲展宽效应有明显的区别. 在带理想体引出的条件下, SET 在沿反相器链向下传播的过程中呈现出“展宽→压缩→展宽→...”的间隔变化趋势, 而在浮体条件下, SET 脉冲宽度在传播过程中呈现阶梯状上升趋势. 显然, 这一区别主要归因于 SOI 工艺下特有的浮体效应.

从图 7 还可以看出, 在浮体条件下, “101”脉冲在经过 1 级反相器之后脉冲宽度基本不变, 而“010”脉冲在经过 1 级反相器之后展宽约 16~17ps, 表现出 SOI 工艺下特有的记忆效应. 文献[6]的重离子辐射实验结果表明, 在带体引出的条件下, SET 脉冲每经过 1 级反相器展宽约 2ps. 可见, SOI 工艺下的体引出对脉冲展宽效应具有很大的影响, 浮体条件下的脉冲展宽效应最强, 实际体引出条件下的脉冲展宽效应次之, 带理想体引出时基本观察不到明显的脉冲展宽效应. 这进一步说明, 在负载均衡的条件下, 浮体 SOI 反相器链中的脉冲展宽效应主要归因于浮体效应. 在文献[6]中, 虽然使用了体引出, 但仍然存在“局部”浮体效应, 从而也表现出一定的脉冲展宽效应.

前已述及, 在负载不均衡的条件下, 浮体 SOI 反相器链中的脉冲展宽效应似乎没有任何规律, 为此进行了进一步的数据处理. 将负载不均衡条件下 SOI 反相器链中的脉冲展宽定义为 ΔT_{total} , 将负载均衡条件下的脉冲展宽定义为 ΔT_1 , 并定义 $\Delta T_2 = \Delta T_{total} - \Delta T_1$, 见图 8.

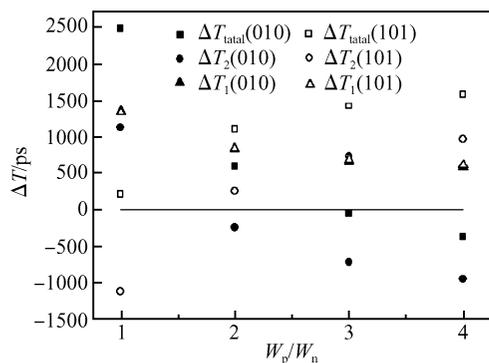


图 8 浮体 SOI 反相器链中的脉冲展宽效应分析

Fig. 8 Analysis of propagation induced pulse broadening in floating body SOI inverter chain

从图 8 可以明显看出, ΔT_2 随 W_p/W_n 的变化与带理想体引出的 SOI 工艺相类似, 亦即: 1) “010”和“101”脉冲的展宽效应大小相等, 方向相反; 2) 脉冲展宽与压缩的转折点发生在 W_p/W_n 等于 2~3 之间. 这表明, 在负载不均衡的条件下, 浮体 SOI 反相器链中的脉冲展宽效应是两个因素的简单叠加, 一是负载均衡条件下由浮体效应引起的脉冲展宽, 二是负载不均衡引起的脉冲展宽.

5 结论

利用 SPICE 模拟手段, 研究了体硅和 SOI 反相器链中的脉冲展宽效应, 并进一步从最基本的上升/下降延迟计算出发, 对脉冲展宽效应进行了详细分析. 结果表明, 在体硅和带理想体引出的 SOI 工艺下, 负载的不均衡和电路上/下拉网络驱动能力的不对称是造成脉冲展宽/压缩的两个必要条件.

在体硅和带理想体引出的 SOI 工艺下, SET 在沿反相器链传播的过程中发生展宽还是压缩与输入脉冲的特征有关. 如果在输入“010”脉冲时发生了展宽(压缩), 则对于“101”脉冲必然发生压缩(展宽), 且展宽和压缩的绝对值基本相等.

对于体硅和带理想体引出的 SOI 工艺, 在负载均衡的条件下, 仍然表现出微弱的脉冲展宽效应, 这可能是由其他的二阶效应所引起. 但无论如何, 对于当前的高速数字电路, 负载均衡下的脉冲展宽效应基本可以忽略.

在浮体 SOI 工艺下, 脉冲展宽效应是两个部分的简单叠加, 一部分与体硅和带理想体引出的 SOI 反相器链相类似, 另一部分由浮体效应和“局部”浮体效应引起,

这部分无论输入“010”还是“101”脉冲, 都只发生展宽而不发生压缩.

即使在负载均衡的条件下, 浮体 SOI 反相器链中也产生了强烈的脉冲展宽效应, 这表明, 本文根据公式(2)进行的一阶分析不适用于浮体 SOI 工艺.

在浮体 SOI 工艺下且负载均衡时, “010”和“101”脉冲在经过 1 级反相器之后发生了截然不同的脉冲展宽效应, “010”脉冲发生了明显的展宽, 而“101”脉冲宽度基本不变, 这显然归因于 SOI 工艺下特有的浮体效应, 但关于浮体效应如何导致“010”和“101”脉冲展宽效应截然不同的机理, 仍需进一步研究, 这将是我们的下一步的主要工作方向.

本文的研究表明, 对于体硅工艺, 过去基于反相器长链的脉冲测量技术仍然是有效的, 但对于 SOI 工艺, 即使采用了体引出, 由于“局部”浮体效应的存在, 基于反相器长链的脉冲测量技术将不再有效.

参考文献

- [1] Benedetto J M, Eaton P H, Mavis D G, et al. Digital single event transient trends with technology node scaling. *IEEE Trans Nucl Sci*, 2006, 53(6): 3462
- [2] Benedetto J, Eaton P, Avery K, et al. Heavy ion-induced digital single-event transients in deep submicron processes. *IEEE Trans Nucl Sci*, 2004, 51(6): 3480
- [3] Kobayashi D, Saito H, Hirose K. Estimation of single event transient voltage pulses in VLSI circuits from heavy-ion-induced transient currents measured in a single MOSFET. *IEEE Trans Nucl Sci*, 2007, 54(4): 1037
- [4] Baze M P, Wert J, Clement J W, et al. Propagating SET characterization technique for digital CMOS libraries. *IEEE Trans Nucl Sci*, 2006, 53(6): 3472
- [5] Benedetto J M, Eaton P H, Mavis D G, et al. Variation of digital SET pulse widths and the implications for single event hardening of advanced CMOS processes. *IEEE Trans Nucl Sci*, 2005, 52(6): 2114
- [6] Ferlet-Cavrois V, Paillet P, McMorrow D, et al. New insights into single event transient propagation in chains of inverters-evidence for propagation-induced pulse broadening. *IEEE Trans Nucl Sci*, 2007, 54(6): 2338
- [7] Dodd P E, Shaneyfelt M R, Felix J A, et al. Production and propagation of single-event transients in high-speed digital logic ICs. *IEEE Trans Nucl Sci*, 2004, 51(6): 3278
- [8] Mavis D G, Eaton P H. Soft error rate mitigation techniques for modern microcircuits. *IEEE 40th Annual International Reliability Physics Symposium*, 2002: 216
- [9] <http://www.smics.com>
- [10] <http://www-device.eecs.berkeley.edu/~bsimsoi>
- [11] Rabaey J M. *Digital integrated circuits: a design perspective*. USA: Prentice Hall, 1998

Propagation Induced Pulse Broadening of Single Event Transient

Liang Bin[†], Chen Shuming, Liu Biwei, and Liu Zheng

(School of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: Propagation induced pulse broadening of single event transient is studied by SPICE simulation. It is demonstrated that an unbalanced output load, asymmetric current drive strengths of pull up/pull down networks, and floating body effects are the primary sources for pulse broadening/compression. Grounded on basic formulae of rise/fall propagation delay, the mechanism of pulse broadening/compression is analyzed. We point out definitely for the first time that propagation induced pulse broadening in an SOI inverter chain under a balanced output load is mainly due to floating body effects or local floating body effects.

Key words: circuit simulation; single event transient; pulse broadening

EEACC: 0170N

Article ID: 0253-4177(2008)09-1827-05

[†] Corresponding author. Email: liangbin@nudt.edu.cn

Received 17 March 2008, revised manuscript received 19 May 2008