

功率 VDMOS 器件的 ESD 瞬态模型*

李泽宏^{1,2,†} 周春华¹ 胡永贵² 刘 勇² 张 波¹ 徐世六²

(1 电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054)

(2 中国电子科技集团公司第二十四研究所 模拟集成电路国家重点实验室, 重庆 400060)

摘要: 基于对功率 VDMOS 器件 ESD 保护及初始条件的分析, 建立了 VDMOS 器件的 ESD 保护等效电路, 分析了 ESD 响应过程, 得到功率 VDMOS 器件的 ESD 瞬态模型. 分析结果表明, 该模型准确地描述了功率 VDMOS 器件的 ESD 瞬态放电过程, 解决了以往模型中初始条件分析不足等问题. 借助该模型, 获得 ESD 器件的等效电阻和击穿电压、VDMOS 的栅极输入电阻、栅源电容、栅氧厚度等与功率 VDMOS 器件抗 ESD 能力的关系, 为功率 VDMOS 器件的抗 ESD 保护设计提供重要指导.

关键词: VDMOS; ESD; 等效电路; 初始条件; 瞬态模型

PACC: 7340Q

中图分类号: TN602

文献标识码: A

文章编号: 0253-4177(2008)10-2014-04

1 引言

静电泄放 (electro-static discharge, ESD) 对常规 MOS 器件的栅氧化层损坏已被广泛认可, 而功率 VDMOS 器件由于其较大的栅源电容, 通常认为不易受 ESD 的影响. 然而, 随着工艺技术的发展, VDMOS 的栅氧越来越薄 (小于 50nm), ESD 损伤问题越来越严重. 因此, 合理地设计 VDMOS 及其 ESD 保护对于提高器件可靠性非常重要^[1~10].

迄今, 学者们对 MOS 和 VDMOS 的 ESD 保护结构及其保护结构的建模进行了大量的研究^[1~10], 但仍存在不足. 如 Agatsuma 等人^[2] 针对一般 MOS 管的 ESD 保护结构进行等效电路建模, 但模型中并未反映功率 VDMOS 的特性, 且缺乏对初始条件的深入分析; Throngnumcha 等人^[1] 通过建立分布式 RC 网络, 采用电路仿真软件 SPICE 对功率 VDMOS 保护结构进行分析, 但未能建立解析模型, 不便于直接进行 ESD 设计; Paasi 等人^[3] 针对 HBM (人体模型) 与 MM (机器模型), 建立了 VDMOS 自身抗 ESD 能力的解析模型, 但该模型并未包括 ESD 保护结构. 由此, 建立了功率 VDMOS 器件的 ESD 瞬态模型, 可以解决以往模型中初始条件分析不足等问题的同时, 所建立的模型还可以直接用于 VDMOS 的抗 ESD 保护设计.

文中首先分析 VDMOS 器件的 ESD 瞬态响应, 建立 VDMOS 的 ESD 瞬态模型; 然后验证模型的正确性, 分析 ESD 保护结构和 VDMOS 自身参数对 VDMOS 器件抗 ESD 能力的影响; 最后给出结论.

2 VDMOS 器件的 ESD 瞬态响应分析及建模

由于 HBM 成为功率 VMDOS 发生 ESD 损坏的主

要原因之一^[1,2,4,11], 文中只针对 HBM 进行建模, 但该模型适用于 MM 等其他模型. 功率 VDMOS 器件的 ESD 等效电路如图 1 所示. 图中, ESD 保护结构由电阻 R_{in} 与齐纳二极管组成 (R_{in} 限制流入栅极的 ESD 电荷, 齐纳管实现 VDMOS 栅源电压箝位, V_z 为齐纳管击穿电压, R_d 为齐纳管的等效电阻); C_{ESD} 与 R_{ESD} 为人体等效电容与等效电阻 (典型值分别为 100pF 与 1500 Ω ^[10]); C_{ox} 为功率 VDMOS 寄生等效栅源电容; V_{in} 为 HBM 测试电压 V_{ESD} . 为简化分析, 忽略齐纳管击穿延迟时间对瞬态过程的影响, 即认为当齐纳管两端电压达到其击穿电压时, 瞬间发生击穿.

零时刻, 功率 VDMOS 器件的栅源电压 V_{ox} 为零. 根据零时刻 V_d 是否小于 V_z , 该瞬态过程可分为两种放电方式. 如果零时刻 V_d 小于 V_z , 则齐纳管将处于关断状态, ESD 首先上电到 VDMOS 的 C_{ox} , 定义这种情况为放电方式一. 如果零时刻 V_d 大于 V_z , 齐纳管在初始时刻即发生导通, ESD 同时上电到齐纳管和 VDMOS 的 C_{ox} , 定义这种情况为放电方式二.

放电方式一: 初始时刻齐纳管将处于关断状态, V_d 小于 V_z , $V_{ESD} R_{in} / (R_{in} + R_{ESD}) < V_z$ 成立, 该瞬态响应

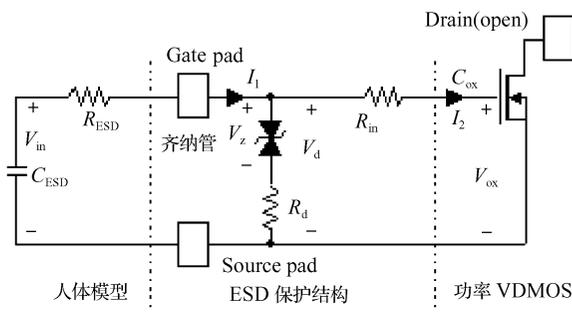


图 1 功率 VDMOS 器件的 ESD 等效电路
Fig.1 ESD equivalent circuit of VDMOS

* 模拟集成电路国家重点实验室研究基金资助项目 (批准号: 9140C0904070705)

† 通信作者. Email: lizh@uestc.edu.cn

2008-03-19 收到, 2008-04-24 定稿

分为两个阶段.

阶段一: V_{in} 通过 R_{ESD} 与 R_{in} 对 C_{ox} 充电, 直到 V_d 上升到 V_z , 此阶段齐纳管支路不通, 由欧姆定律可得:

$$\begin{aligned} V_{in} &= (R_{ESD} + R_{in}) I_1 + V_{ox} \\ I_1 = I_2 &= C_{ox} \frac{dV_{ox}}{dt} = -C_{ESD} \frac{dV_{in}}{dt} \end{aligned} \quad (1)$$

初始条件为:

$$\begin{aligned} V_{ox} |_{t=0} &= 0 \\ \frac{dV_{ox}}{dt} |_{t=0} &= \frac{V_{ESD}}{(R_{ESD} + R_{in}) C_{ox}} \end{aligned} \quad (2)$$

将(2)式作为初始条件代入(1)式可得:

$$V_{ox} = \frac{V_{ESD} C_{ESD}}{C_{ox} + C_{ESD}} (1 - e^{-\frac{C_{ox} + C_{ESD}}{C_{ESD} (R_{ESD} + R_{in})} t}), t < t_{on} \quad (3)$$

式中 t_{on} 为 V_d 升至 V_z 所需的时间,

$$t_{on} = \{ C_{ox} C_{ESD} (R_{ESD} + R_{in}) / (C_{ox} + C_{ESD}) \} \times \ln \{ [V_{ESD} (R_{in} C_{ox} - C_{ESD} R_{ESD})] / [(R_{ESD} + R_{in}) (V_z C_{ox} + V_z C_{ESD} - V_{ESD} C_{ESD})] \}.$$

阶段二: 当 $t > t_{on}$ 后, 齐纳管开始导通, 该支路可等效为正向电势差 V_z 与 R_d 串联, 由欧姆定律可得:

$$\begin{aligned} V_{in} &= R_{ESD} I_1 + R_{in} I_2 + V_{ox} \\ (I_1 - I_2) R_d + V_z &= R_{in} I_2 + V_{ox} \\ I_1 &= -C_{ESD} \frac{dV_{in}}{dt}, \quad I_2 = C_{ox} \frac{dV_{ox}}{dt} \end{aligned} \quad (4)$$

初始条件为:

$$V_{ox} |_{t=t_{on}} = V_{oxon}, \quad \frac{dV_{ox}}{dt} |_{t=t_{on}} = \frac{V_z - V_{oxon}}{R_{in} C_{ox}} \quad (5)$$

结合(4)和(5)式可得:

$$\begin{cases} V_{ox} = V_z + e^{\alpha(t-t_{on})} [\gamma_1 e^{\beta(t-t_{on})} + \gamma_2 e^{-\beta(t-t_{on})}], & t \geq t_{on} \\ \alpha = -\frac{(R_{in} + R_d) C_{ox} + (R_{ESD} + R_d) C_{ESD}}{2 C_{ESD} C_{ox} (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)} \\ \beta = \frac{\sqrt{[(R_{in} + R_d) C_{ox} - (R_{ESD} + R_d) C_{ESD}]^2 + 4 R_d^2 C_{ESD} C_{ox}}}{2 C_{ESD} C_{ox} (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)} \\ \gamma_1 = \frac{(V_z - V_{oxon}) [R_{in} C_{ox} (\alpha - \beta) - 1]}{2 \beta R_{in} C_{ox}} \\ \gamma_2 = -\frac{(V_z - V_{oxon}) [R_{in} C_{ox} (\alpha + \beta) - 1]}{2 \beta R_{in} C_{ox}} \end{cases} \quad (6)$$

放电方式二: 齐纳管在初始时刻即发生导通, 即 t_{on} 为零, ESD 放电瞬态过程将直接进入放电方式一的阶段二, ESD 同时上电到齐纳管和 VDMOS 的 C_{ox} , 电路方程为(4)式, 初始条件为:

$$\begin{aligned} V_{ox} |_{t=0} &= 0 \\ \frac{dV_{ox}}{dt} |_{t=0} &= \frac{R_{in} R_d V_{ESD} + R_{ESD} R_{in} V_z}{R_{in} C_{ox} (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)} \end{aligned} \quad (7)$$

求解(4)和(7)式, 得到该方式的瞬态放电模型, 如下所示:

$$\begin{cases} V_{ox} = V_z + e^{\alpha(t-t_{on})} [\gamma_1 e^{\beta(t-t_{on})} + \gamma_2 e^{-\beta(t-t_{on})}] \\ \alpha = -\frac{(R_{in} + R_d) C_{ox} + (R_{ESD} + R_d) C_{ESD}}{2 C_{ESD} C_{ox} (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)} \\ \beta = \frac{\sqrt{[(R_{in} + R_d) C_{ox} - (R_{ESD} + R_d) C_{ESD}]^2 + 4 R_d^2 C_{ESD} C_{ox}}}{2 C_{ESD} C_{ox} (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)} \\ \gamma_1 = \frac{R_{in} R_d V_{ESD} + R_{ESD} R_{in} V_z + V_z (\alpha - \beta) (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)}{2 \beta R_{in} C_{ox} (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)} \\ \gamma_2 = -\frac{R_{in} R_d V_{ESD} + R_{ESD} R_{in} V_z + V_z (\alpha + \beta) (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)}{2 \beta R_{in} C_{ox} (R_{ESD} R_{in} + R_{ESD} R_d + R_{in} R_d)} \end{cases} \quad (8)$$

3 结果与讨论

功率 VDMOS 器件的 ESD 等效电路图中 $V_{ESD} = 1000V$, $R_d = 20\Omega$, $C_{ox} = 2nF$, $V_z = 25.7V$. 借助仿真器^[12]验证所述瞬态响应模型, 并与 Agatsuma 等人的模型结果进行对比, 得到功率 VDMOS 器件的栅-源电压 V_{ox} 与时间的关系如图 2 所示. 当 $R_{in} = 0\Omega$ 时, 图中对应的我们模型的数据是放电方式一模型的解析值; $R_{in} = 100\Omega$ 时, 图中对应的我们模型的数据是放电方式二模型的解析值. 图 2 中, $R_{in} = 100\Omega$, $t = 2 \times 10^{-7} ns$ 时, 本文模型、Agatsuma 模型和仿真结果分别为 18.27, 18.35 和 18.12V, 数据基本一致. 同样, 别的时间点的

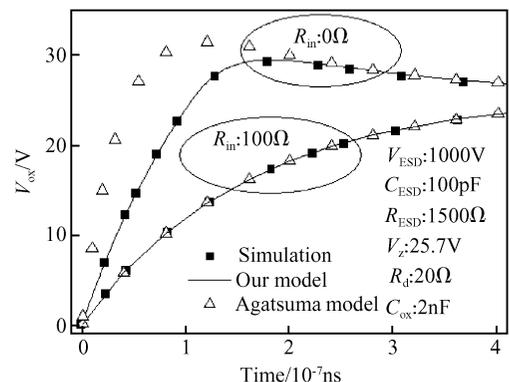
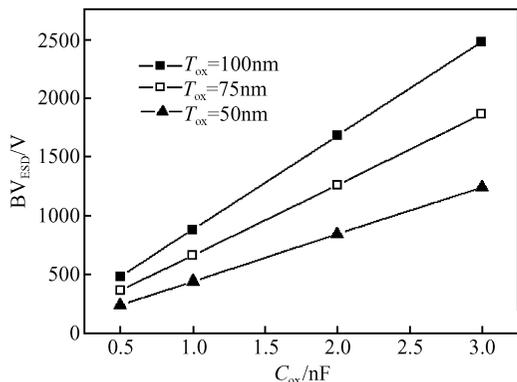


图 2 本文模型、Agatsuma 模型和仿真结果

Fig. 2 Results of the transient model, Agatsuma model and simulation

图 3 不同栅氧厚度下, BV_{ESD} 与栅源电容的关系Fig.3 Relationship between BV_{ESD} and C_{ox} at different T_{ox}

数据也基本相同,可知本文模型、Agatsuma 模型和仿真结果吻合得很好. $R_{in} = 0\Omega$ 时,本文模型和仿真结果吻合得好,Agatsuma 模型和仿真结果相差较大,可知本模型对所有放电方式均拟合良好,由此,可以验证本模型的正确性,而 Agatsuma 模型只能应用于该模型的放电方式二,具有一定的局限性.

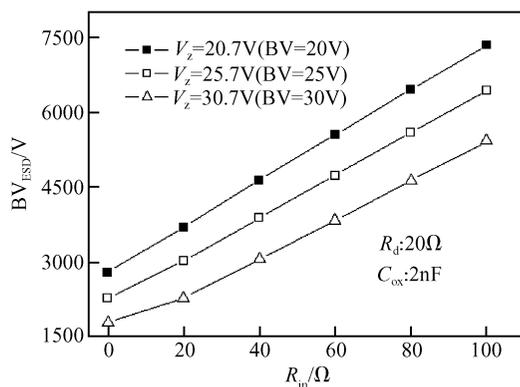
借助该模型,分析 VDMOS 器件没有 ESD 保护的情况下,功率 VDMOS 器件的自身抗 ESD 能力分析.定义栅氧击穿所加的 HBM 电压为 BV_{ESD} ,该 BV_{ESD} 可通过将 V_z 与 t_{on} 设定为无穷大而将 R_{in} 设为零,得到:

$$BV_{ESD} = \frac{BV_{ox}(C_{ox} + C_{ESD})}{C_{ESD}} \quad (9)$$

取氧化层击穿电场为 $8MV/cm^{[3]}$,由(9)式得 BV_{ESD} 与栅源电容、 BV_{ESD} 与栅氧厚度的关系如图 3 所示.图中 T_{ox} 为栅氧厚度.由图 3 可知,栅氧化层越薄,栅源电容 C_{ox} 越小,功率 VDMOS 器件越容易受到 ESD 的损坏. T_{ox} 为 50nm, C_{ox} 为 1nF 时, BV_{ESD} 只有 440V,抗 ESD 能力非常弱.随着栅氧化层越厚,栅源电容 C_{ox} 越大,功率 VDMOS 器件抗 ESD 能力逐渐提高,当栅氧厚度为 100nm,栅电容为 3nF 时, VDMOS 才具有 2000V 以上的 ESD 防护能力.为了更好地降低器件的成本,迄今的功率 VDMOS 器件元胞都越来越小,器件面积也越来越小,所带来的寄生栅源电容也越来越小,且栅氧的厚度基本都在 45nm 左右,由此可见为了得到高可靠性的功率 VDMOS 器件, VDMOS 器件的抗 ESD 保护设计是不可或缺的,很多公司推出了相关的 VDMOS 产品^[8,9].

有 ESD 保护情况下,除了分析参数的变化外,其余参数都相同情况下,分析 ESD 器件的等效电阻 R_d 和击穿电压 V_z , VDMOS 的栅极输入电阻 R_{in} 和栅源电容 C_{ox} 等对功率 VDMOS 器件抗 ESD 能力的影响.取 T_{ox} 为 50nm.

BV_{ESD} 与栅极输入电阻 R_{in} 、齐纳管击穿电压 V_z 的关系如图 4 所示.由于功率 VDMOS 器件的栅源工作电压 BV 有一定范围^[11],如图中的 $BV = 20V$ 等,为了防止 ESD 保护结构误开启, V_z 不能太靠近 BV,应略大于 BV.由图 4 可知, BV_{ESD} 与 R_{in} 及 V_z 为近线性关系,随 R_{in} 增大而增大,随 V_z 增大而减小,当 V_z 减小 10V 或

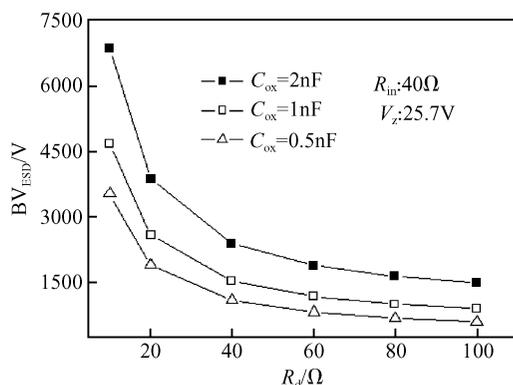
图 4 BV_{ESD} 与 R_{in} , V_z 的关系Fig.4 Relationship between BV_{ESD} and R_{in} , V_z

R_{in} 增大 50Ω 时, BV_{ESD} 将增大约 2kV. V_z 太小又不能满足 VDMOS 器件栅源正常工作电压要求, R_{in} 的增大又将显著增大 VDMOS 的开关时间^[10],近线性地恶化开关特性.因此, R_{in} 与 V_z 必须根据功率器件指标进行合理设计.一般情况下, R_{in} 选择在 5~10Ω, V_z 略大于栅源工作电压 0.5~1V.

图 5 为 BV_{ESD} 与 R_d , C_{ox} 的关系图.由图 5 可知, BV_{ESD} 随 C_{ox} 增大而增大,随 R_d 增大而减小.当 R_d 小于 40Ω 时, BV_{ESD} 随 R_d 与 C_{ox} 变化剧烈,而当 R_d 大于 40Ω 时, BV_{ESD} 随 R_d 的增大趋于饱和且随 C_{ox} 近似线性变化,变化率为约 600V/nF.然而, C_{ox} 的增大与 R_d 的减小均受到芯片面积与 VDMOS 开关特性的限制^[11],因为寄生二极管电容也会恶化开关特性.因此, R_d 与 C_{ox} 必须根据功率器件指标以及芯片面积要求进行合理设计.

4 结论

建立了 VDMOS 器件的 ESD 保护等效电路,分析了 ESD 响应过程,得到功率 VDMOS 器件的 ESD 瞬态模型.分析结果表明,该模型正确地描述了功率 VDMOS 器件的 ESD 瞬态放电过程,解决以往模型中初始条件分析不足等问题.利用该模型分析 VDMOS 器件有无 ESD 保护结构的抗 ESD 能力,结合功率 VDMOS

图 5 BV_{ESD} 与 R_d , C_{ox} 的关系Fig.5 Relationship between BV_{ESD} and R_d , C_{ox}

器件设计要求,可以很好地得到 R_d , R_{in} , V_z , T_{ox} 与 C_{ox} 等参数,完成功率 VDMOS 器件的抗 ESD 设计,同时调整模型中的 C_{ESD} 与 R_{ESD} 就可使其适用于 MM 等其他 ESD 模型.因此,本文提出的模型对于功率 VDMOS 的抗 ESD 设计具有重要意义.

参考文献

- [1] Throngnumcha K. A study on the effect of the gate contact geometry and dimensions on ESD failure threshold level of power MOSFET's. IEEE Trans Electron Devices, 1994, 41: 1282
- [2] Agatsuma T, Ishii S. An analysis of equivalent circuit with gate protection in MOS devices. IEEE Trans Electron Devices, 1978, 25: 491
- [3] Paasi J, Salmela H, Smallwood J. Electrostatic field limits and charge threshold for field-induced damage to voltage susceptible devices. J Electrostatics, 2006, 64: 128
- [4] Ker M D, Chang C Y. High-current characterization of polysilicon diode for electrostatic discharge protection in sub-quarter-micron complementary metal oxide semiconductor technology. Jpn J Appl Phys, 2003, 42: 3377
- [5] Xie Haolu, Feng Haigang, Zhan Rouying, et al. A New low-parasitic polysilicon SCR ESD protection structure for RF ICs. IEEE Electron Device Lett, 2005, 26: 121
- [6] Reggiani S, Gnani E, Rudan M, et al. A new numerical and experimental analysis tool for ESD devices by means of the transient interferometric technique. IEEE Electron Device Lett, 2005, 26: 916
- [7] Ker M D, Chen T Y, Wang T H, et al. On-chip ESD protection design by using polysilicon diodes in CMOS process. IEEE J Solid-State Circuits, 2001, 36: 676
- [8] ST Microelectronics. STP90NS04ZC Datasheet. www. st. com, 2007
- [9] On Semiconductor. NID9N05CL Datasheet. http://www.onsemi.com, 2006
- [10] Lenzlinger M. Gate protection of MIS devices. IEEE Trans Electron Devices, 1971, 18: 249
- [11] Zhang Bo. Power semiconductor device and smart power ICs. Chengdu: UESTC Press, 2001: 197
- [12] OrCAD, Inc. User's Guide for OrCAD PSpice A/D. 1998

ESD Transient Model of Vertical DMOS Power Devices*

Li Zehong^{1,2,†}, Zhou Chunhua¹, Hu Yonggui², Liu Yong², Zhang Bo¹, and Xu Shiliu²

(1 State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China)

(2 National Laboratory of Analog Integrated Circuits, Sichuan Institute of Solid-State Circuits, CETC, Chongqing 400060, China)

Abstract: Based on the equivalent circuit of VDMOS, the initial condition and transient response process are analyzed and the ESD transient model of the power VDMOS device is obtained. Results show that the ESD transient discharge process is correctly depicted with this model, which resolves the problem of the insufficient initial conditions of other models. Based on this model, the relationships between ESD threshold voltage and gate input protection series resistance, breakdown voltage, and parasitic dynamic resistance of the Zener diodes, and gate-source capacitance and gate oxide thickness of the power VDMOS, are obtained. This model can guide the design of ESD protection for power VDMOSs.

Key words: VDMOS; ESD; equivalent circuit; initial condition; transient model

PACC: 7340Q

Article ID: 0253-4177(2008)10-2014-04

* Project supported by the State Key Laboratory of Analog Integrated Circuit (No. 9140C0904070705)

† Corresponding author. Email: lizh@uestc.edu.cn

Received 19 March 2008, revised manuscript received 24 April 2008