

自缓释镍源的横向诱导晶化多晶硅薄膜晶体管*

刘召军^{1,2} 孟志国^{1,2} 赵淑云² 王 文² 郭海成² 吴春亚¹ 熊绍珍^{1,†}

(1 南开大学光电子器件与技术研究所, 天津 300071)

(2 香港科技大学电子及计算机工程系, 香港)

摘要: 以镍硅合金靶作为溅射源, 采用磁控溅射方法制备了一种自缓释镍源. 控制合适的自缓释镍源的准备条件, 以单一方向横向晶化条件对非晶硅薄膜进行再晶化, 可以获得低残余镍含量、大晶粒、高薄膜质量的多晶硅. 以此多晶硅为有源层进行了薄膜晶体管研究. 制备的 p 型 TFT 器件具有良好的特性, 可有效地减小漏电流, 同时具有很好的均匀性和稳定性.

关键词: 金属诱导横向晶化; 多晶硅薄膜; 低温制备; 退火处理

PACC: 7360F; 8140G; 8115H

中图分类号: TN32

文献标识码: A

文章编号: 0253-4177(2008)10-2009-05

1 引言

当前低温多晶硅薄膜晶体管(LTPS poly-Si TFT)已经在有源矩阵平板显示(AM-FPD)、3D 集成电路等多重领域获得应用. 尤其和非晶硅薄膜晶体管(a-Si TFT)相比, 低温多晶硅 TFT 具有迁移率高的特点, 因此在 AM-FPD 的像素电路和驱动电路的设计中得到了广泛应用^[1]. 在玻璃衬底上制备低温多晶硅 TFT 有多种方法, 如固相晶化(SPC)^[2]、准分子激光退火(ELA)^[3]和金属诱导横向晶化(MILC)^[4]等. 固相晶化是常用的一种获得多晶硅的方法, 但是由于其晶化温度高而不适用于玻璃衬底. ELA 是获得多晶硅的一种主要方法, 早期存在如均匀性较差等诸多问题, 现已有所解决, 因此在工业上得到广泛应用, 但是它的高设备成本以及高运营成本促使人们去研究新的替代方法, 以降低成本, 提高多晶硅 TFT 显示产品的竞争能力. 金属诱导晶化技术在以上几个方面具有明显优势. 金属诱导晶化技术中, 横向诱导晶化(metal induced lateral crystallization, MILC)所获得的材料和器件性能最佳. 采用金属诱导横向晶化技术, 有效地控制诱导金属在多晶硅薄膜中的残余量和在大面积衬底、批量制备过程中均匀一致的晶化速度, 是获得高质量、高均匀性、高稳定性、高重复性的低温多晶硅器件和有源显示基板的核心技术. 其中关键技术之一在于诱导源的选择与配置.

常规的金属诱导横向晶化技术是采用物理的方法(电子束蒸发或者溅射)在非晶硅表面上沉积一层纯镍金属作诱导源, 然后进行退火. 采用这种方法获得的多晶硅沟道中镍的含量相对较高, TFT 器件的稳定性和漏电流不能得到有效的控制^[5]. 因此如何减少制备流程, 并获得高性能、高稳定性、均匀分布的多晶硅 TFT 是该项技术是否实用的重要技术因素. 本文提出以镍硅

合金作为一种自缓释镍源的概念, 研究了其技术特征. 研究表明, 采用该镍源作为诱导源, 可以获得低残余镍含量、大晶粒、高质量的多晶硅薄膜. 用此类多晶硅为有源层制备的 p 型 TFT 器件, 能有效地降低漏电流, 同时具备良好的均匀性和稳定性.

2 实验

首先用低压化学气相沉积(LPCVD)法, 在单晶硅衬底上预先沉积了一层 500nm 的 LTO(低温氧化硅)作为隔离层, 以避免单晶硅衬底在随后金属诱导晶化退火过程中受到不必要的影响. 再在其上沉积 45nm 的非晶硅(a-Si)薄膜作为晶化前驱物, 然后用 LPCVD 的方法在非晶硅上面沉积第二层低温氧化物(LTO, 厚 100nm), 作为晶化阻挡层并光刻出诱导孔. 随后以镍硅比例为 1:9 的镍硅合金靶作为磁控溅射靶, 在适当氩氧混合气氛下, 在样品表面溅射诱导镍源层. 之后将样品置于退火炉中, 在 590°C、氮气气氛下退火 2h, 得到低温多晶硅薄膜材料. 实验过程中, 用光学显微镜来测量晶化速率; 采用时间飞行二次离子谱(TOF-SIMS)来分析晶化后多晶硅中的镍残余量; 采用微区拉曼(micro-Raman)来测量多晶硅薄膜的晶化速率.

以上述得到的多晶硅材料作为有源沟道, 制备了 p 沟道(p-channel)TFT 器件, 具体过程如下: 首先光刻出有源岛, 之后采用 LPCVD 的方法在 425°C 下沉积 50nm 的 LTO 作为栅氧化层. 随后, 用 LPCVD 的方法沉积 280nm 的多晶硅作为栅电极. 光刻出栅电极图形, 然后对源漏区域进行 B⁺ 离子注入, 注入剂量和能量分别为 $4 \times 10^{15} \text{ cm}^{-2}$ 和 47keV. 之后沉积 700nm 的 LTO 作为钝化层, 在上面光刻出接触孔, 然后沉积 700nm 的铝硅合金并光刻出源漏电极.

* 国家自然科学基金资助项目(批准号:60437030)

† 通信作者. Email: xionsz@nankai.edu.cn

2008-04-10 收到, 2008-05-29 定稿

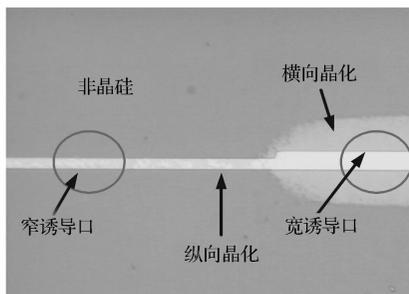


图 1 晶化需要一定尺寸的诱导口

Fig.1 Crystallizations need a suitable width of inducing hole

3 结果与分析

3.1 诱导孔宽度对晶化速度的影响

诱导孔的宽度决定了能够和非晶硅表面直接接触的镍量的多少,诱导孔越宽,和非晶硅直接接触的镍量就越多,此时晶化过程开始时能扩散到非晶硅中去的镍量也就多,故有利于纵、横方向的晶化.以镍硅合金作诱导源的晶化实验发现,若诱导孔宽度小于一定值,扩散到非晶硅的镍量不足以满足横向晶化所需要的“阈值”时,如图 1 所示,对于窄诱导口,仅能观察到诱导口内的不连续的晶化现象,并未观察到横向晶化.而宽诱导口则纵、横向晶化现象非常明显.为获得诱导孔宽度与晶化速率关系的数据,以供器件尺寸设计使用,采用宽度分别为 6, 3, 2, 1.5 和 $1\mu\text{m}$ 的诱导孔进行横向诱导晶化实验.图 2 示出晶化速率对诱导孔宽度的依赖关系.当诱导口宽度超过横向晶化阈值时能发生横向晶化,而且随诱导口宽度的增大晶化速率几乎呈指数增大,如图 2 所示.当诱导孔宽度大于 $6\mu\text{m}$ 之后,晶化速度则趋向于饱和.此后诱导孔宽度继续增大不会明显提高晶化速度,而只能增加晶化后多晶硅薄膜中的残余镍量.这是因为对横向晶化而言,起作用的是横向方向处晶化前沿的镍量.当镍量足够并且晶化已经开始之后,诱导口的作用已不再显现了.因此要得到高质量的金属诱导横向晶化多晶硅材料,就必须选择一个合适的诱导孔宽度以兼顾晶化速率、开口率以及诱导口处高镍含量导致絮状结晶影响等多种因素^[7].

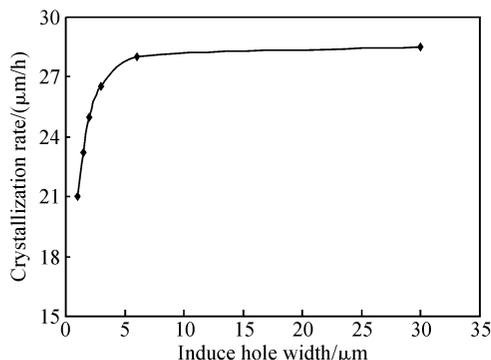


图 2 晶化速度和诱导孔宽度的关系

Fig.2 Crystallization rate versus inducing hole's width

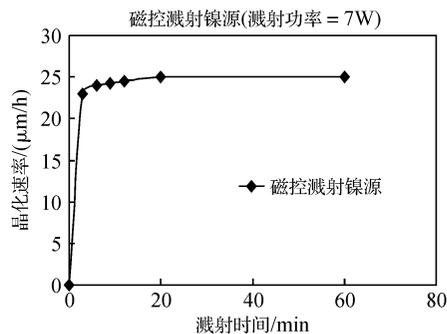


图 3 镍源层厚度对晶化速率的影响

Fig.3 Effect of new Ni-source thickness on the crystallization rate

3.2 镍源层厚度对晶化速度的影响

通过上面两个实验结果可以看出,在金属诱导横向晶化过程中,诱导孔宽度和间距的变化实际上是对晶化过程中有效镍量及晶化动力学过程的控制.这部分镍量越多,晶化速度就会越快,反之就越慢,所以镍源的厚度亦会对晶化速度起到直接的影响.我们通过改变薄膜的厚度(以时间表征)观察对晶化速度的调控.从图 3 可以看到,在其他条件不变的情况下,晶化速率在镍层较薄时随镍层厚度增厚而迅速增大,但随后很快趋近饱和;之后即使溅射镍源层的时间增加几十倍,晶化速率也没有明显的变化.因此镍层厚度,按现有溅射速率,选用 10min(约 100nm)即可.

3.3 多晶硅的表面形貌和喇曼分析结果

图 4 是不同厚度镍源层得到的多晶硅经过 25% TMAH 溶液腐蚀以后的光学显微照片.由于 TMAH 溶液对不同晶向结晶的硅腐蚀速率明显不同,腐蚀后的多晶硅可反映出晶体的结构^[6].从图中可以看出,晶粒的晶向都是由诱导孔(图 4 中不整齐长条处呈现小晶粒状的位置)向外横向生长的条状晶粒,上下条相接处呈现很整齐的晶界.可以看到,如 3.2 节所述的,镍层厚度并未对晶化效果有明显的影

响.图 5 为图 4 所示两个多晶硅样品的微区喇曼测试结果.因为晶粒大小在几十微米量级,所以氦氛激光束的光斑聚焦到直径为 $5\sim 6\mu\text{m}$.测试系统使用单晶硅材料 的 520cm^{-1} 峰作为参照,两个样品都在 518.439cm^{-1}

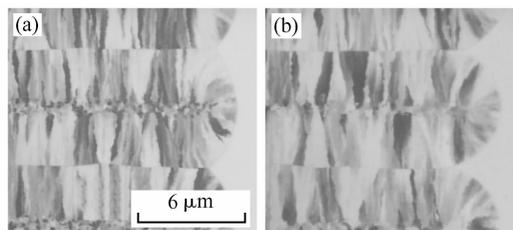


图 4 TMAH 腐蚀后的多晶硅显微图片 (a) 溅射 3min; (b) 溅射 1h

Fig.4 Photos of poly-Si surface etched by TMAH (a) Sputtering 3min; (b) Sputtering 60min

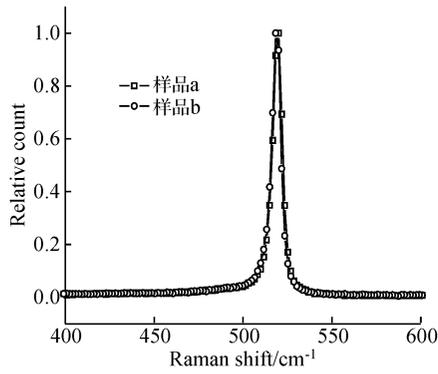


图 5 两种多晶硅的微区喇曼测试结果

Fig. 5 Comparison of poly-Si thin film made by different thickness of new Ni-source

附近存在很尖锐的峰,而在表征非晶硅的 485cm^{-1} 峰处并未观察到任何信息.这说明非晶硅已经完全被晶化成为多晶硅了^[7].

3.4 多晶硅中残余镍量的分布

图 6 是对应于图 4 中的两个样品与用电子束蒸发纯镍金属源制备的多晶硅样品中用 TOF-SIMS 探测到的镍含量的比较.该三维图像能够更加直观地反映多晶硅中镍的分布.其中 xy 平面表示多晶硅表面, z 轴表示深度方向,亮点代表晶化后多晶硅薄膜中残留的镍.无论是在诱导孔还是在晶界对接处,比样品 a 厚约 20 倍的样品 b,虽可见稍有增加但增加得并不非常明显.这说明镍源层厚度的增加不会引起多晶硅残余镍量的明显增长.这似乎可以表明,这种合金类的镍源具有自控缓慢由源中释放镍原子进入硅层中去的作用,进入的量与诱导源的厚薄无关.镍只是按照晶化的需要而缓慢进入硅中.与此相比,在电子束蒸发 5nm 的镍源诱导晶化的多晶硅内,镍含量却相当高.这正是合金镍源的优点.不仅降低了多晶硅内残存的镍含量,而且能有效地排除工艺中由于镍源层大面积的不均匀性和批次之间的参数波动带来的影响,从而拓宽了工艺窗口.由此得到的多晶硅材料更加适合作为 TFT 器件的有源沟道,降低

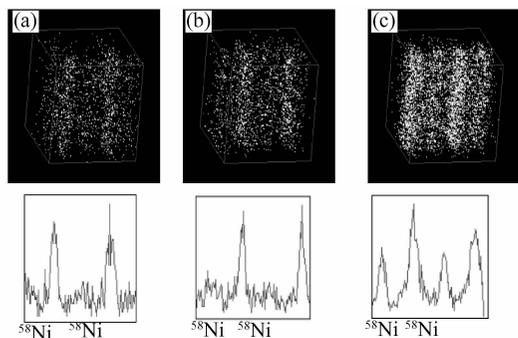


图 6 多晶硅中残余镍分布的立体图像 (a)溅射 3min; (b)溅射 1h; (c) 电子束蒸发 5nm 纯 Ni 源

Fig. 6 Three-dimensional map of nickel distribution in three samples (a) Sputtering 3min; (b) Sputtering 1h; (c) E-beam vaporizing 5nm nickel source

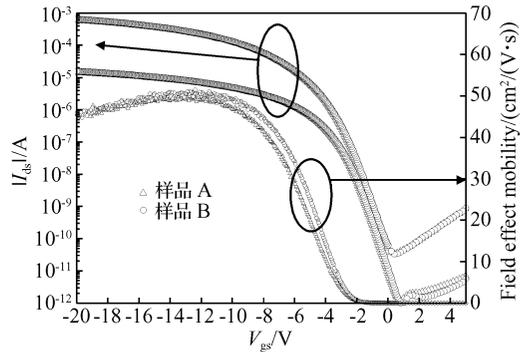


图 7 自缓释镍源低温多晶硅 TFT 转移特性

Fig. 7 Transfer characteristics of poly-Si TFT made by self-released new Ni source

了传统金属诱导横向晶化技术中设计掩模版时需要避开高残余镍区域的难度,提高了多晶硅材料的利用率。

4 低温多晶硅 TFT

以上述自缓释镍源多晶硅作为有源层,制备了 p 型低温多晶硅 TFT,并对其转移特性、漏电流、均匀性和稳定性进行了测量和比较.被测器件的沟道宽长比 (W/L) 为 $30\mu\text{m}/10\mu\text{m}$.测试源漏电压分别为 -0.1 和 -5.0V ,栅电压测量范围为 $-20 \sim +10\text{V}$.转移特性测量结果如图 7 所示,其中横坐标为栅源电压 (V_{gs}),左纵坐标为源漏电流,右纵坐标为 V_{ds} 为 -0.1V 时的场效应迁移率.

由上可以看出,上述两个样品的 p 沟道 TFT 器件的开态电流 I_{on} 约为 1mA ,亚阈值摆幅 S 约为 $0.7\text{V}/\text{dec}$,阈值电压 V_{th} 约为 2.6V ,场效应迁移率为 $49.7 \sim 50.8\text{cm}^2/(\text{V} \cdot \text{s})$.综合测量结果如表 1 所示.

对自缓释镍源多晶硅 TFT 器件性能的均匀性进行了测量.在 100mm 衬底片上划分出 9 个相同的单元,在每个单元中选取 10 个结构相同、位置相近的器件,进行同一特性的测量与参数的提取,然后给出其分布.选取位置相近的器件可以避免由于制备流程中的设备因素造成的薄膜材料本身的差异带来的器件特性不同.从源漏电压 $V_{ds} = -0.1\text{V}$ 的转移特性曲线提取器件的阈值电压 V_{th} ;由源漏电压 $V_{ds} = -5\text{V}$ 的转移特性曲线提取器件的开态电流 I_{on} ($V_{gs} = -20\text{V}$),最低漏电流 I_{off} 和栅诱导漏电流 GIDL ($V_{gs} = 5\text{V}$).

表 1 多晶硅 TFT 综合测量结果

Table 1 Comparison of parameters from results in Fig. 7

参数	样品 a	样品 b
V_{th}/V	-2.7	-2.6
Mobility/ $(\text{cm}^2/(\text{V} \cdot \text{s}))$	50.8	50.6
Subslope/ (V/dec)	0.7	0.73
I_{on}/A	5.98×10^{-4}	6.58×10^{-4}
I_{off}/A	3.45×10^{-11}	3.31×10^{-11}
I_{on}/I_{off}	1.73×10^7	1.91×10^7
GIDL/A	8.43×10^{-10}	9.01×10^{-10}

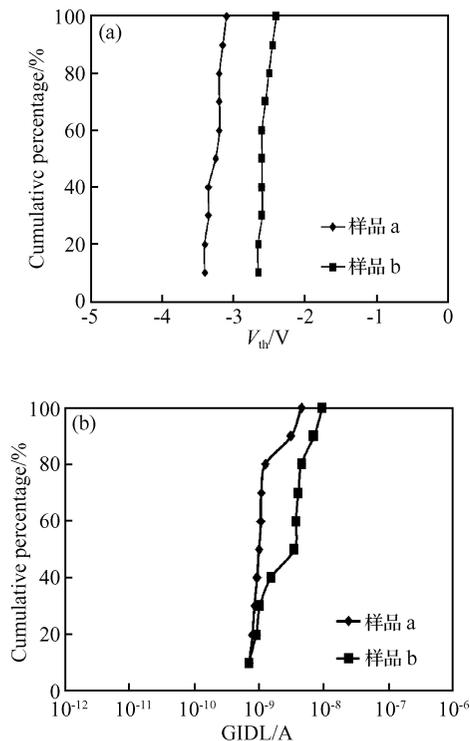


图 8 (a) TFT 阈值电压的均匀性; (b) TFT GIDL 的均匀性

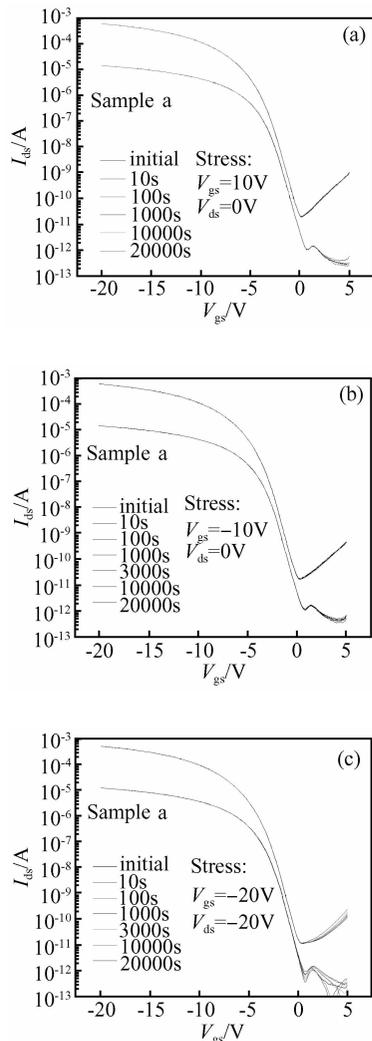
Fig.8 Uniformity of V_{th} (a) and GIDL (b) for poly-Si TFT made by new Ni-source

在图 8 中,纵坐标表示被测量器件的编号(以百分比表示),其中(a)图的横坐标表示 TFT 阈值电压的大小.(b)为 TFT 器件的栅诱导漏电流 GIDL 的均匀性测试结果.测量结果越接近直线,则表明所测数据相近,说明器件具有很好的分布均匀性;反之,则表明所测器件的数据离散度很大,器件分布均匀性差.结果表明阈值电压的偏离度为 $\pm 6\%$ 左右,而 GIDL 起伏较大.

通过上述 poly-Si TFT 阈值电压和栅诱导漏电流均匀性的分析可以看出,采用自缓释镍源获得的多晶硅薄膜材料制备的 TFT 具有很好的均匀性,这对于有源选址液晶显示(AMLCD)来说更为重要.图 9 所示的是 A 类 TFT 样品分别在 $V_{gs} = 10V, V_{ds} = 0V$; $V_{gs} = -10V, V_{ds} = 0V$ 和 $V_{gs} = -20V, V_{ds} = -20V$ 三种栅压偏置和源漏电压偏置下稳定性的测试结果.加偏压的时间间隔分别为 0, 10, 100, 1000, 3000, 10000 和 20000s.每次偏压完成后进行转移特性曲线的测量.从图中可以看出,上述所制备的多晶硅 TFT 转移特性曲线没有发生明显的变化,呈现出很好的稳定性.

5 结论

利用新型镍源——自缓释镍源为诱导层,制备了金属诱导横向晶化低温多晶硅,并对晶化过程中影响晶化速率的主要因素(诱导孔宽度及镍源层的厚度)进行了研究.制备的多晶硅材料具有很好的条状大晶粒结构和晶化率,同时晶化后的残余镍含量很低.以该多晶硅为有源层,制备了 p 型 TFT,该器件具有很好的转移特性、

图 9 自缓释镍源多晶硅 TFT 的稳定性 (a) $V_{gs} = 10V, V_{ds} = 0V$; (b) $V_{gs} = -10V, V_{ds} = 0V$; (c) $V_{gs} = -20V, V_{ds} = -20V$ Fig.9 Stability of poly-Si TFT crystallized by self-released new Ni-source using stress condition (a) $V_{gs} = 10V, V_{ds} = 0V$; (b) $V_{gs} = -10V, V_{ds} = 0V$; (c) $V_{gs} = -20V, V_{ds} = -20V$

均匀性和稳定性,同时关态漏电流很低,因此适用于大面积、高分辨率、全彩色的 AM-FPD 的像素电路及驱动电路的制备.

参考文献

- [1] Song N K, Kim M S, Han S H, et al. The electrical properties of unidirectional metal-induced lateral crystallized polycrystalline-silicon thin-film transistors. *IEEE Trans Electron Devices*, 2007, 54 (6): 1420
- [2] Tu C H, Chang T C, Liu P T, et al. Electrical enhancement of solid phase crystallized poly-si thin-film transistors with fluorine ion implantation. *Journal of The Electrochemical Society*, 2006, 153 (9): 815
- [3] Brendel K, Nickel N H, Lengsfeld P, et al. Excimer laser crystallization of amorphous silicon on metal coated glass substrates. *Thin Solid Films*, 2003, 427: 86
- [4] Yuen C Y, Poon M C, Chan W Y, et al. Investigation of grain formation and growth in nickel-induced lateral crystallization process. *J Appl Phys*, 2002, 92(10): 6291

- [5] Bhat G A, Kwok H S, Wong M. Behavior of the drain leakage current in metal-induced laterally crystallized thin film transistors. *Solid-State Electron*, 2000, 44: 1321
- [6] Sonphao W, Chaisirikul S. Silicon anisotropic etching of TMAH solution. *ISIE*, 2001: 2049
- [7] Zhao Shuyun, Wu Chunya, Liu Zhaojun, et al. Study on the large grain size poly-Si prepared by metal induced crystallization using nickel chemical source. *Acta Physica Sinica*, 2006, 55(11): 6095 (in Chinese) [赵淑云, 吴春亚, 刘召军, 等. 大尺寸化学 Ni 源金属诱导晶化多晶硅的研究. *物理学报*, 2006, 55(11): 6095]

Metal Induced Lateral Crystallization Poly-Si Thin Film Transistors of Self-Released Nickel Source^{*}

Liu Zhaojun^{1,2}, Meng Zhiguo^{1,2}, Zhao Sunyun², Wong Man², Kwok H S²,
Wu Chunya¹, and Xiong Shaozhen^{1,†}

(1 *Institute of Photo-Electronics, Nankai University, Tianjin 300071, China*)

(2 *Department of Electrical and Electronic Engineering, Hong Kong University of Science and Technology, Hong Kong, China*)

Abstract: Nickel-silicon alloy target is used as a source of sputtering; a new type of nickel source, called a self-released nickel source, is fabricated. Self-released nickel source can control the crystallization rate efficiently and the obtained poly-Si material has a low level of nickel residue and high quality. p-type thin film transistors are fabricated using this kind of poly-Si as active islands. They have good performance and lower leakage current.

Key words: metal induced lateral crystallization; poly-silicon thin film; low temperature preparation; annealing treatment

PACC: 7360F; 8140G; 8115H

Article ID: 0253-4177(2008)10-2009-05

^{*} Project supported by the National Natural Science Foundation of China (No. 60437030)

[†] Corresponding author. Email: xiongsz@nankai.edu.cn

Received 10 April 2008, revised manuscript received 29 May 2008