

一种高性能、低功耗音频 $\Sigma\Delta$ 调制器

马绍宇¹ 韩 雁^{1,†} 黄小伟¹ 杨立吾²

(1 浙江大学微电子与光电子研究所, 杭州 310027)

(2 中芯国际集成电路制造有限公司, 上海 201203)

摘要: 设计了一个应用于 18 位高端音频模数转换器(ADC)的三阶低功耗 $\Sigma\Delta$ 调制器. 调制器采用 2-1 级联结构, 通过优化调制器系数来提高其动态范围, 并减小调制器输出频谱中的杂波. 电路设计中采用栅源自举技术实现输入信号采样开关, 有效提高了采样电路的线性度; 提出一种高效率的 A/AB 类跨导放大器, 在仅消耗 0.8mA 电流的情况下, 达到 100V/ μ s 以上的压摆率. 针对各级积分器不同的采样电容, 逐级对跨导放大器进行进一步功耗优化. 调制器在中芯国际 0.18 μ m 混合信号 CMOS 工艺中流片, 芯片核心面积为 1.1mm \times 1.0mm. 测试结果表明在 22.05kHz 带宽内, 信噪失真比和动态范围分别达到 91dB 和 94dB. 在 3.3V 电源电压下, 调制器功耗为 6.8mW, 适合于高性能、低功耗音频模数转换器应用.

关键词: $\Sigma\Delta$ 调制器; 栅源自举; 低功耗; 音频模数转换器

EEACC: 2579D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2008)10-2050-07

1 引言

高端音频系统需要高分辨率和高线性度的模数转换器(ADC). 基于 $\Sigma\Delta$ 调制的模数转换器利用过采样和噪声整形技术, 大大简化了模拟电路的设计, 以复杂的数字电路换取相对简单的模拟电路, 从而能够以较低的成本来取得极高的分辨率(16 位以上), 非常适合于高端音频应用^[1~3]. 从制造工艺来说, $\Sigma\Delta$ ADC 与标准 CMOS 工艺兼容, 很容易与数字系统集成在一起, 从而获得最为优化的速度、分辨率、集成度、成本的折衷, 符合目前集成电路设计中 SOC 的发展趋势^[4]. 此外, 由于 $\Sigma\Delta$ ADC 中模拟电路的复杂度降低, 因此 $\Sigma\Delta$ 调制是高分辨率模数转换的一种低功耗实现方法^[5].

本文实现了一种应用于 18 位音频模数转换器的高分辨率、高线性度 2-1 级联 $\Sigma\Delta$ 调制器. 通过结构和电路两个方面进行性能和功耗的优化设计, 在 22.05kHz 带宽内, 调制器达到 91dB 的信噪失真比和 94dB 的动态范围. 首先采用行为仿真工具优化调制器系数, 一方面提高调制器输入信号的过载幅度, 从而实现更大的动态范围, 另一方面降低调制器输入与量化噪声的相关性, 减小输出频谱中杂波(spectrum tones)功率. 对于同样的动态范围, 提高调制器输入信号的过载幅度, 允许使用相对较小的采样电容, 从而降低了调制器的功耗. 电路设计中, 对于线性度要求极高的输入信号采样电路, 采用一种新颖的栅源自举开关电路, 实现了恒定的过驱动电压, 有效地减小了采样信号的失真. 还提出一种高效率的 A/AB 类跨导放大器, 在仅消耗 0.8mA 电流的情况下, 达到 100V/ μ s 以上的压摆率. 针对各级积分器不同的采样电容, 逐级对跨导放大器进行进一步功耗优

化. $\Sigma\Delta$ 调制器电路在中芯国际 0.18 μ m CMOS 混合信号工艺中进行了流片, 在 3.3V 电源电压下, 芯片工作电流仅为 2.1mA, 实现了低功耗的设计目标.

2 调制器结构设计与优化

在高分辨率音频 $\Sigma\Delta$ 调制器设计中, 模拟电路的噪声是限制分辨率的主要因素^[5]. 为了提高调制器的动态范围, 应该尽量增大输入信号的过载水平. 级联结构调制器能够实现大的输入范围, 而不会出现稳定性问题, 然而, 与单环结构相比, 级联结构对于元件的匹配精度要求较高. 文献[6]通过仿真和解析模型证明了 2-1 级联三阶调制结构对于积分器泄漏和失配相对不敏感, 适合在标准 CMOS 工艺下实现.

对于图 1 所示的 2-1 级联调制器结构, 调整调制器系数 b, β 和 λ 能够实现量化噪声和输入过载范围的折衷^[7]. 由于过采样率每增加一倍, 调制器的量化噪声降

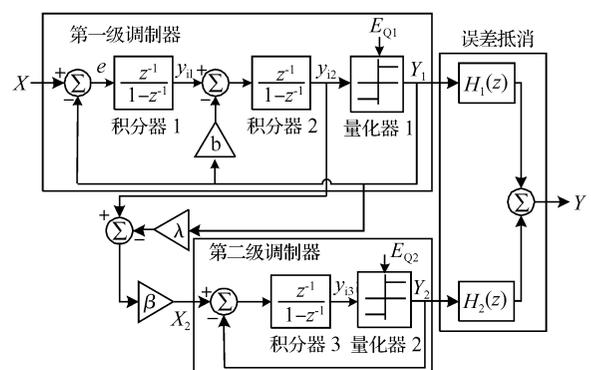


图 1 2-1 级联调制器结构

Fig. 1 2-1 cascaded modulator architecture

† 通信作者. Email: hany@zju.edu.cn

2008-05-10 收到, 2008-06-23 定稿

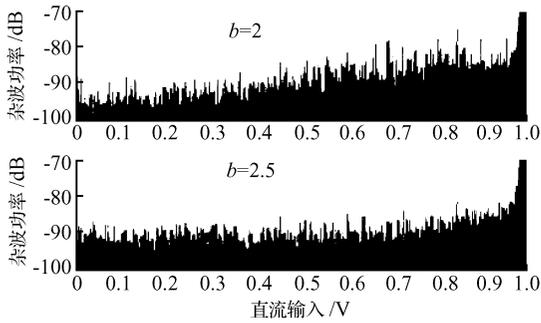


图 2 二阶调制器的频谱杂波

Fig.2 Spectrum tones in a second order modulator

低 21dB,因此,对于三阶音频设计,电路热噪声通常是限制调制器性能的主要因素.选择调制器系数,通过增大输入过载范围来提高调制器的动态范围.传统的二阶调制器中反馈系数 $b = 2$,然而通过行为仿真发现第一级调制器输出频谱中存在明显的杂波,如图 2 所示.人耳对于非白噪声非常敏感,因此在音频应用中,这是我们不希望看到的.而 $b = 2.5$ 时,在输入为零时,杂波明显降低,而且整体相对比较平坦,如图 2.因此,考虑到调制器的频谱杂波特性和,调制器系数 $b = 2.5$ 是更为优化的选择.

为了防止第二级调制器过载,需要限制第二级调制器输入信号 X_2 的幅度,最简单的方法就是减小误差增益因子 β .当然这并不是没有代价的, β 每减小一倍,调制器的动态范围相应降低 6dB^[5].因此,系数 β 的选择需要在第二级调制器过载与动态范围的降低之间进行折衷.采用不同的 β 值,信噪失真比与输入信号功率的关系如图 3 所示.如果系数 β 大于 0.5,第二级调制器的输入信号超过了其动态范围,因此输入过载电平出现明显的降低.对于小于 0.5 的系数 β ,第一级调制器比第二级先发生过载,此时第一级调制器的输入过载范围限制了级联调制器的动态范围,因此,输入过载范围不会随 β 的减小出现明显的增加. β 从 0.5 下降到 0.25,输入信号过载范围增加 3dB,而量化噪声增加 6dB,从而调制器动态范围降低 3dB;然而,如果电路噪声限制了调制器的噪底,那么调制器的动态范围将增加 3dB.当误差增益因子 β 小于 0.25 时,调制器动态范围将明显减小,因此,本设计中增益误差因子优化值 β 为 0.25.

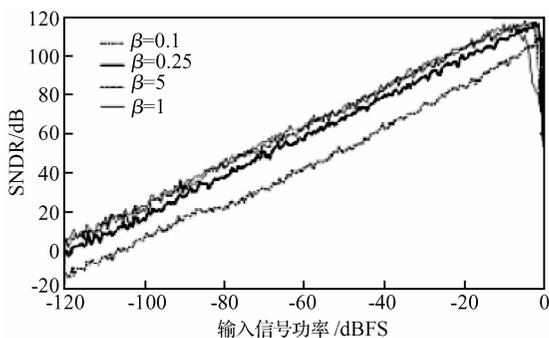


图 3 信噪失真比与误差增益因子 β 关系

Fig.3 Signal-to-noise ratio versus error gain β

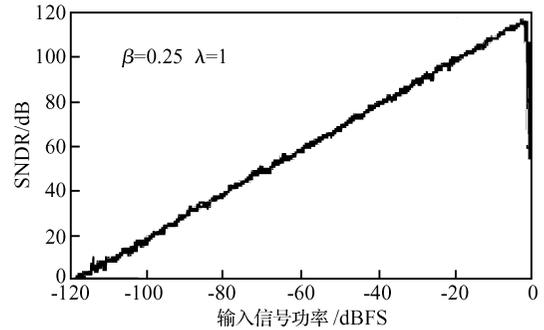
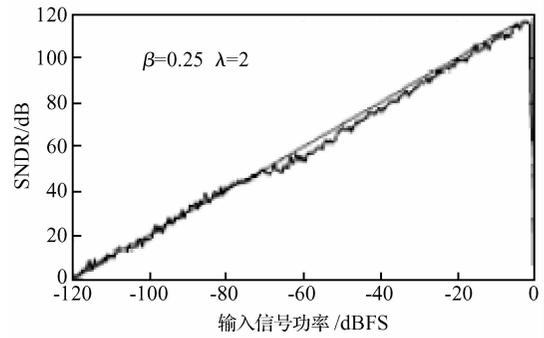


图 4 不同调制器系数量化噪底与输入信号的相关性

Fig.4 SNDR versus input power showing signal dependence in noise floor

改变误差混合因子 λ 能够改变第二级调制器输入信号的分布,从而影响第二级调制器的过载.因此,系数 λ 会影响级联调制器的最大信噪失真比和输入过载范围.文献[6]通过解析模型和行为仿真工具证明了对于 2-1 级联结构, $\lambda = 2$ 时输入信号过载范围最大.2-1 级联调制器系数满足 $\beta = 0.25, \lambda = 2$ 时,输入过载范围达到 -1dBFS (相对于满幅输入范围).然而,进一步的仿真发现,对于系数 $\beta = 0.25, \lambda = 2$,级联调制器的量化噪底明显地表现出与输入信号的相关性,如图 4 所示,在调制器输入信号幅度为 -70dB 时,信噪失真比出现下降.作为对比,对于系数 $\beta = 0.25, \lambda = 1$,量化噪声几乎与调制器输入信号功率无关,代价是输入过载范围降低为 -1.3dBFS (一个很小的动态范围损失).因此 2-1 级联调制器的原型采用系数: $b = 2.5, \beta = 0.25, \lambda = 1$.

3 调制器实现

调制器采用开关电容电路实现,第一级调制器如图 5 所示.电路采用全差分结构来抑制不希望的共模信号,比如衬底和电源噪声以及时钟馈通.输入端增加电容 C_{B1} 和 C_{B2} 的目的是将封装管脚和键合线引入到某个差分输入端的干扰也同时耦合到另外一个输入端上,使其成为调制器的共模输入,然后利用全差分电路将其抑制掉.采用两相时钟控制开关, $p1$ 为采样相位, $p2$ 为积分相位,设计 $p1a$ 和 $p2a$ 的下降沿稍超前于 $p1$ 和 $p2$,以抑制与输入信号相关的沟道电荷注入效应.

电路中对于不同的信号采用了 3 种开关电路.输入信号采样精度将直接影响调制器的输出精度,尤其是对

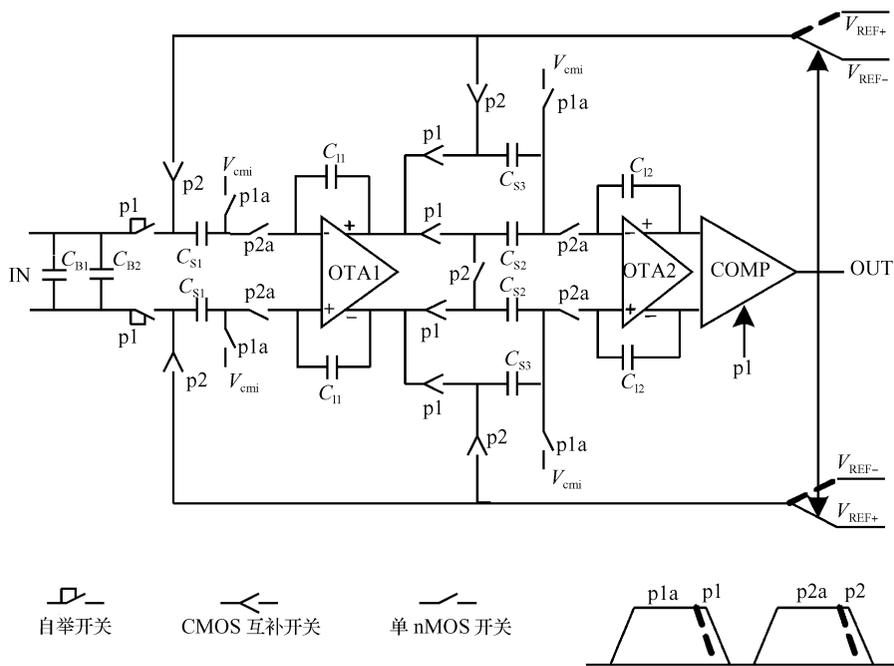


图 5 第一级调制器电路实现
Fig. 5 First-stage modulator implementation

于较大输入信号时,因此输入采样电路采用一种新颖的自举开关,实现全摆幅的输入信号的高精度采样;第二个积分器输入信号的采样误差由于经过了一阶噪声整形,因此只需要采用 CMOS 互补开关就能够满足精度要求;由于反馈参考电压只有两个电平,所以采用 CMOS 互补开关能够实现可靠导通;连接到运放输入端的开关,需要根据输入共模电压的幅度来确定开关电路形式,对于 pMOS 器件作为输入差分对的跨导放大器,可以采用较小的共模输入电压,因此只需要采用简单的 nMOS 开关.

3.1 自举采样开关

标准 CMOS 工艺中通常采用 CMOS 互补开关作为采样开关,但是当输入信号摆幅增大时,CMOS 互补开关已经无法满足采样线性度的要求.因此本文设计了一种栅源自举 (bootstrapping)^[8,9] 采样开关,图 6 是这种自举开关的晶体管级实现电路,时钟 ϕ 用来控制开关 MNSW 导通或者截止.在截止相位 (ϕ 为低电平),MN-

SW 的栅极通过 MNT5 和 MN5 放电至地电位,同时,电容 C_{offset} 通过 MP4 和 MN3 充电到电源电压 V_{DD} ,这个电容在导通相位时相当于一个电池,在电容充电期间 MN1 和 MP2 将电容与开关 MNSW 隔离开.当 ϕ 变为高电平时,MN6S 将 MP2 的栅压拉低,允许“电池电容”的电荷流到 MNSW 的栅上,从而使 MNSW 和 MN1 导通,MN1 使 MNSW 的栅电压 $V_{G,MNSW} = Input + V_{DD}$,保证在任何输入的情况下 MNSW 的栅源电压差都为恒定的值 V_{DD} .MNT5 和 MN6 在功能上是冗余的,目的是提高电路的可靠性.MNT5 降低了 $\phi = 0$ 时 MN5 的漏源电压差 V_{DS} 和栅漏电压差 V_{GD} ,增加 MNT5 的沟道长度来提高它的穿通电压.器件 MN6 保证了 MP2 的栅源电压差不会超过 V_{DD} .因此这个电路保证了开关 MNSW 的导通电阻与输入信号无关,提高了开关的线性度,同时限制所有器件的栅源电压差不超过 V_{DD} ,保证电路的可靠性.通过对比仿真发现,这种自举采样开关能够使采样信号的谐波失真比 CMOS 互补开关降低 50dB 以上,有效弥补了电路线性度不足的问题.

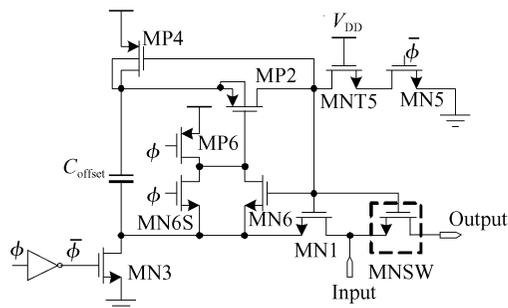


图 6 自举采样开关实现电路
Fig. 6 Bootstrapped sampling switch circuit

3.2 跨导放大器

积分器中的跨导放大器 (OTA) 的性能对于调制器的影响非常大,尤其是对于级联结构的调制器.而且,调制器中大多数静态功耗消耗在跨导放大器中,因此,在低功耗设计中,运放的功耗优化是最为重要的.图 7 是跨导放大器的核心电路,采用一个简单的差分对作为第一级,有源电流镜作为第二级.输出级的上拉和下拉支路都参与驱动输出负载,构成推挽结构.除了较低的输入参考噪声,采用 pMOS 作为输入差分对可以使放大器输入共模电压 V_{cmi} 较低,连接到 V_{cmi} 的开关可以用较小的 nMOS 器件实现.而且,在 n 阱工艺中采用 pMOS 输

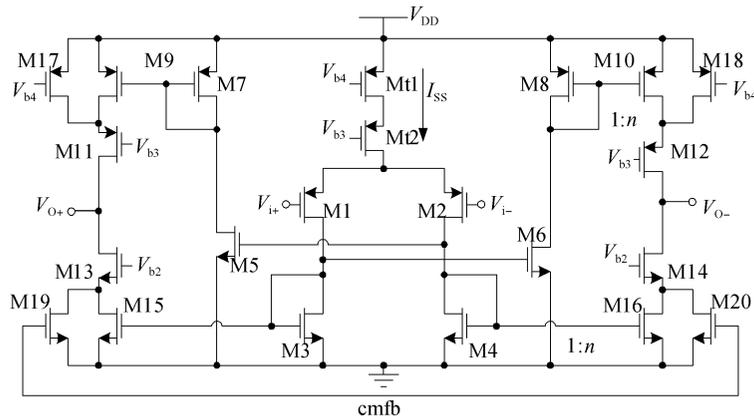


图 7 跨导放大器电路
Fig.7 OTA circuit

入差分对,能够将 M1 和 M2 的源端连接在 n 阱端,提高电路的电源抑制比.采用 pMOS 输入差分对的一个重要不足是降低了放大器的增益.图 7 所示的跨导放大器的第一级采用电流比率来实现增益,如果 nMOS 器件 M4 和 M16 比例为 $1:n$,pMOS 器件 M8 和 M10 也是同样的比例,那么可以计算得到跨导放大器的直流增益 A_{V0} 为

$$A_{V0} = 2ng_m r_{out} \quad (1)$$

其中 r_{out} 为跨导放大器的输出电阻; g_m 为输入差分对的跨导.增益中的 2 倍是由于输出级的推挽特性.输出级采用共源共栅结构增大放大器的输出电阻,从而进一步提高放大器的直流增益.

图 5 所示调制器中第一个积分器在积分相位时,如图 8(a)所示,跨导放大器需要在不到 $T_s/2$ 的时间内(考虑到时钟的不交叠时间)建立到需要的精度,其中 T_s 为采样周期.积分器的建立特性主要由跨导放大器的单位增益带宽和压摆率决定,对于积分器增益较小的情况,必须充分考虑放大器的有限压摆率.但是压摆率的要求限制了运放的最小尾电流 I_{SS} ,在低功耗设计中,充分利用这个电流很重要.图 7 所示结构输出级的上拉和下拉支路都参与驱动输出负载,能够有效提高放大器的压摆率,计算得到输出差分压摆率为

$$SR = \frac{2nI_{SS}}{C_{Leff}} \quad (2)$$

其中 I_{SS} 为跨导放大器的尾电流; C_{Leff} 为跨导放大器的有效负载.可见,对于同样的尾电流,图 7 所示的跨导放大器的压摆率是经典折叠共源共栅放大器的 $2n$ 倍,从而能够降低静态电流和功耗.对于图 8(a)所示的反馈结构,计算得到跨导放大器有效负载为

$$C_{Leff} = C_{L1} + (1 - F)C_{I1} \quad (3)$$

其中负载电容 C_{L1} 包括放大器的输出寄生电容和积分电容的底板寄生电容,反馈因子 F 为

$$F = \frac{C_{I1}}{C_{I1} + C_{S1} + C_{p1}} \quad (4)$$

其中 C_{p1} 为放大器输入端寄生电容.

在线性建立过程中,需要考虑跨导放大器的单位增益带宽和相位裕度.这里需要特别注意的是,由于跨导

放大器的主极点为输出极点(负载电容提供补偿),而第二主极点为电流镜引入的极点.虽然增大电流镜的比例 n 能够提高放大器的直流增益和压摆率,但是增大 n 会减小运放的相位裕度,因此为了保证足够的相位裕度,电流镜像因子 n 不能取得很大,设计中 $n = 1.6$.仿真得到在积分相位跨导放大器在最差工艺角下能够达到 72.2MHz 单位增益带宽和 69.16° 相位裕度.另外,这里必须考虑在采样相位时跨导放大器的相位裕度,如图 8 (b).由于采样相位跨导放大器的反馈因子近似为 1,相应的等效负载电容为

$$C_{Leff} = C_{L1} + C_{S2} + C_{S3} + C_{p1} \quad (5)$$

因此,除了热噪声和匹配度的要求,第二个积分器的采样电容还要满足第一个积分器补偿电容的要求.对于第二个和第三个积分器,设计过程与第一个积分器类似,但是由于其非理想性引入的误差分别经过二阶和三阶噪声整形,因此,设计中有意识地降低其性能指标,相应可以减小调制器的功耗.调制器中 3 个积分器中跨导放大器的尾电流分别为 0.79,0.45 和 0.24mA.

3.3 比较器

调制器中的两个 1 位量化器采用比较器实现.因为第一级比较器和第二级比较器的非理想性误差分别经过了二阶和三阶噪声整形的抑制,调制器整体性能对于比较器的失调和延迟性能并不敏感,所以采用图 9 所示简单的动态比较器来实现 1 位模数转换.动态比较器的优势在于速度快,功耗低.时钟信号 CK 为低时,比较器

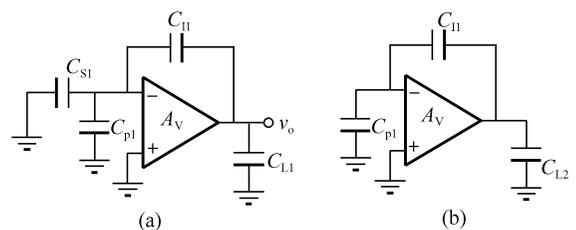


图 8 第一个积分器 (a)积分相位;(b)采样相位

Fig.8 First integrator in integration phase (a) and sampling phase (b)

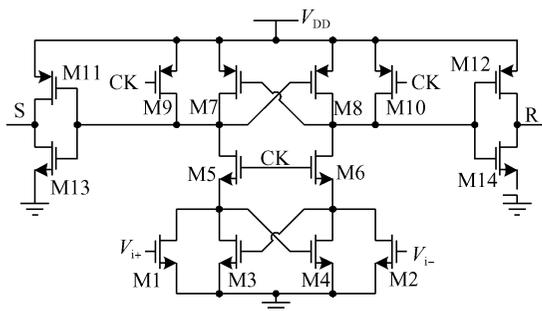


图 9 动态锁存比较器

Fig.9 A dynamic latch comparator

输出 S 和 R 被复位到低电平;当时钟信号 CK 变高时,交叉耦合晶体管 M3, M4, M7 和 M8 形成正反馈环路,将输入差分信号放大到“满轨”输出.增加开关管 M5 和 M6 用来减小回程噪声对输入信号的影响.动态锁存器输出存储在一个 CMOS 或非门实现的 SR 锁存器中. SR 锁存器输出经过反相器缓冲,驱动连接在负参考电压的 nMOS 开关和连接在正参考电压的 pMOS 开关.仿真得到比较器失调小于 10mV,延时小于 2ns,远远高于应用要求.

4 芯片测试

经过芯片系统设计,前端电路设计,后端版图实现,最终完成了完整的 $\Sigma\Delta$ 调制器电路.芯片在中芯国际 $0.18\mu\text{m}$ CMOS 混合信号工艺中进行了流片,电容采用金属-绝缘层-金属(MIM)结构.芯片版图照片如图 10 所示,电路核心部分面积为 1.1mm^2 ($1.1\text{mm} \times 1.0\text{mm}$).

利用逻辑分析仪 TLA621 捕获调制器输出信号,将数据传送到工作站上进行信号处理,为了抑制频谱泄漏,使傅立叶变换的结果更加接近于实际情况,首先对数据加高阶凯塞窗(Kaiser)处理.图 11 为测试得到的

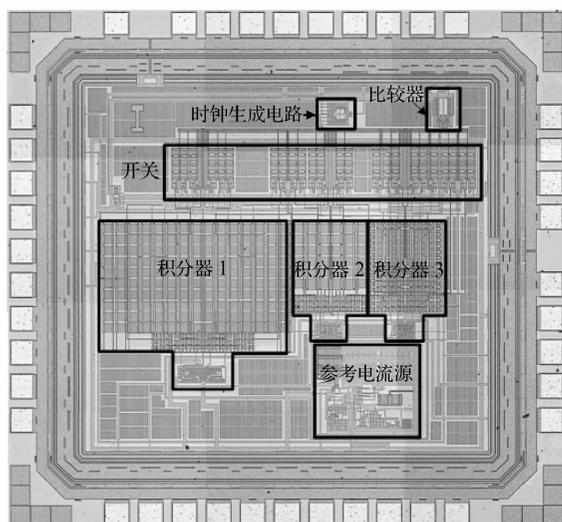


图 10 调制器芯片照片

Fig.10 Micro-graph of the modulator chip

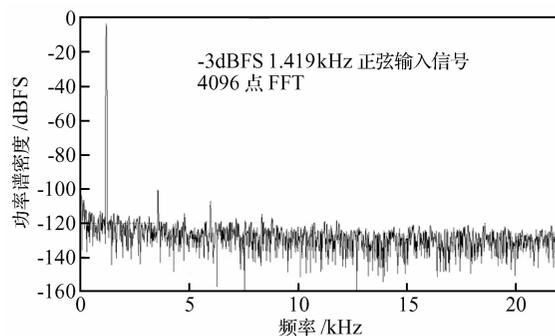


图 11 调制器输出频谱

Fig.11 Output spectrum for -3dBFS 1.419kHz input

调制器基带输出频谱,输入信号为 1.419kHz, -3dBFS 正弦信号(参考电压为 2V,因此 0dBFS 对应信号峰峰值为 4V).从图中可以看出,调制器基带频谱的噪底非常平坦,证明了芯片噪声为电路本身的热噪声,而且频谱中没有明显的杂波.对于 -3dBFS 输入信号,调制器输出的信噪比达到 91dB,实现了低噪声的设计目标.在输入信号功率较大(-3dBFS)时,调制器基带内最大谐波功率(三次谐波)仍然低于 -100dBFS ,总谐波失真(定义为输出频谱中所有基波信号的谐波功率之和与输入基波功率的比值)低于 -95dB ,达到了优异的低失真性能,非常适合于高保真的音频系统应用.在较小的输入幅度下测试得到的调制器输出频谱中谐波失真明显减小,淹没在热噪声中.

测试得到不同输入信号幅度下调制器输出的信噪比和信噪失真比,如图 12 所示.在输入信号为 -1.8dBFS 时,调制器输出得到最大信噪失真比 91dB 和最大信噪比 93dB.由于信号发生器的限制,输入信号在 -63dB 以下部分对测试曲线进行了延长,得到调制器输出频谱噪底为 -95dB .在输入信号达到 -1.1dBFS 时,调制器过载,因此调制器的动态范围为 94dB.证明了 2-1 级联结结构 $\Sigma\Delta$ 调制器能够实现很大的输入信号范围,满足系统大动态范围的要求.此外,采用栅源自举采样开关设计,使得 $\Sigma\Delta$ 调制器的线性度得到明显改善.从图 12 中可以看到,输入信号低于 -6dBFS 的范围内,信噪比与信噪失真比基本相等.表 1 对测试得到的调制器性能进行了总结.在 3.3V 电源电压下,整个 $\Sigma\Delta$ 调制器的工作电流仅为 2.1mA,实现了低功耗的设计目标.

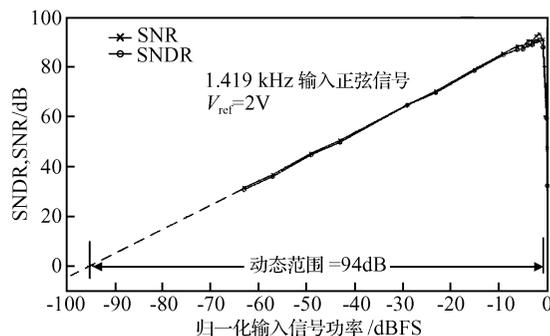


图 12 测试信噪比和信噪失真比与输入信号功率关系

Fig.12 Measured SNR and SNDR versus input signal power

表 1 调制器性能总结

Table 1 Modulator performance summary

电源电压	3.3V
功耗	6.8mW
过采样率	128
信号带宽	22.05kHz
时钟频率	5.6448MHz
最大信噪失真比	91dB
最大信噪比	93dB
动态范围	94dB
工艺	0.18 μm 标准 CMOS

表 2 表示与近几年国内测试成功的 $\Sigma\Delta$ 调制器^[10~13]进行的比较,由于应用于不同场合,精度和速度

要求不同,因此采用综合指标 FOM (figure of merit) 来进行衡量.综合指标 FOM 定义为

$$\text{FOM} = 4kT \times \frac{2^{\text{SNR}/6.02} \text{BW}}{P} \quad (6)$$

其中 P 为调制器的总功耗;BW 为信号带宽;SNR 为调制器达到的信噪比.综合指标 FOM 表征了 $\Sigma\Delta$ 调制器的功率效率.从表 2 可以看到,本设计能够在很低的功耗下达到高性能,综合指标处于国内领先水平.此外,从表 2 中的最后一列可以看到,在接近的功耗综合指标下,本设计实现了非常优异的低失真性能,信噪失真比指标具有明显的优势,非常适合于高端音频领域的应用.

表 2 国内 $\Sigma\Delta$ 调制器性能对比Table 2 Performance comparison of $\Sigma\Delta$ modulator

	工艺/ μm	芯片面积/ mm^2	电压/功耗(V/mW)	带宽/kHz	信噪比/dB	FOM/ 10^{-9}	信噪失真比/dB
文献[10]	0.5	9.84	5/90	21.8	96	0.25	80
文献[11]	0.18	2.16	1.8/16.7	250	76	1.56	73
文献[12]	0.18	2.68	1.8/9.8	96	83	2.22	83
文献[13]	0.6	1.8	5/15	200	74	1.10	72
本文	0.18	1.1	3.3/6.8	22.05	93	2.49	91

5 结论

通过调制器结构和电路模块设计两个方面进行性能和功耗优化,成功地在 0.18 μm 混合信号 CMOS 工艺下实现了一种高性能、低功耗的 $\Sigma\Delta$ 调制器.测试结果表明芯片能够在音频带宽内达到 94dB 的动态范围、93dB 的信噪比和 91dB 的信噪失真比,功耗仅为 6.8mW,适合于高性能、低功耗音频模数转换器应用.

参考文献

- [1] Yavari M, Shoaie O, Afzali-Kusha A. A very low-voltage, low-power and high resolution sigma-delta modulator for digital audio in 0.25 μm CMOS. Proceedings of the 2003 International Symposium on Circuits and Systems, 2003; I-1045
- [2] Ranjbar M, Lahiji G R, Olliaei O. A low power third order delta-sigma modulator for digital audio applications. Proceedings of the 2006 International Symposium on Circuits and Systems, 2006; 4759
- [3] Rabii S, Wooley B A. A 1.8-V digital-audio sigma-delta modulator in 0.8- μm CMOS. IEEE J Solid-State Circuits, 1997, 32(6): 783
- [4] Grilo J, Huang Y, Temes G C. The realization of delta-sigma A/D converters in low-voltage digital CMOS technology. Proceedings of the 40th Midwest Symposium on Circuits and Systems, 1997; 172
- [5] Rabii S, Wooley B A. The design of low-voltage, low-power sigma-delta modulators. Norwood, MA; Kluwer Academic Publications, 2001
- [6] Williams L A, Wooley B A. Third-order cascaded sigma-delta modulators. IEEE Trans Circuits Syst, 1991, 38(5): 489
- [7] Williams L A, Wooley B A. A third-order sigma-delta modulator with extended dynamic range. IEEE J Solid-State Circuits, 1994, 29: 193
- [8] Steensgaard J. Bootstrapped low-voltage analog switches. Proceedings of the 1999 International Symposium on Circuits and Systems, 1999; II-29
- [9] Fayomi C J B, Roberts G W, Sawan M. Low-voltage CMOS analog bootstrapped switch for sample-and-hold circuit: design and chip characterization. Proceedings of the 2005 International Symposium on Circuits and Systems, 2005; III-2200
- [10] Chen Lei, Zhao Yuanfu, Gao Deyuan, et al. A 16bit stereo audio sigma-delta A/D converter. Chinese Journal of Semiconductors, 2006, 27(7): 1183
- [11] Chen Jianqiu, Ren Junyan, Xu Jun, et al. An 80dB dynamic range $\Sigma\Delta$ modulator for a GSM system. Chinese Journal of Semiconductors, 2007, 28(2): 294 (in Chinese) [陈建球, 任俊彦, 许俊, 等. 一种用于 GSM 的 80dB 动态范围 $\Sigma\Delta$ 调制器. 半导体学报, 2007, 28(2): 294]
- [12] Cao Ying, Ren Tenglong, Hong Zhiliang. A 16bit 96kHz chopper-stabilized sigma-delta ADC. Chinese Journal of Semiconductors, 2007, 28(8): 1204
- [13] Yang Pei, Yin Xiumei, Yang Huazhong. An 80dB dynamic range $\Sigma\Delta$ modulator for low-IF GSM receivers. Journal of Semiconductors, 2008, 29(2): 256

A High-Performance, Low-Power $\Sigma\Delta$ Modulator for Digital Audio Applications

Ma Shaoyu¹, Han Yan^{1,†}, Huang Xiaowei¹, and Yang Liwu²

(1 *Institute of Microelectronics and Optoelectronics, Zhejiang University, Hangzhou 310027, China*)

(2 *Semiconductor Manufacturing International Corporation, Shanghai 201203, China*)

Abstract: A third-order low-power $\Sigma\Delta$ modulator for a high-end 18bit audio-band analog-to-digital converter is developed. The modulator is based on a 2-1 cascaded architecture with optimized coefficients to extend the dynamic range and reduce the spectrum tones. The gate-source bootstrapping technique is employed to enhance the sampling switch linearity. A power-efficient class A/AB operational transconductance amplifier (OTA) is proposed, which achieves a high slew rate of 100 V/ μ s with only 0.8mA current consumption. The OTA designed for the second and third integrators is a scaled version of the first OTA, which allows for further power reduction. The modulator is implemented in SMIC mixed-signal 0.18 μ m CMOS technology, and the area is 1.1mm \times 1.0mm. Experimental results indicate a peak signal-to-noise-and-distortion ratio (SNDR) of 91dB and a dynamic range of 94dB over a 22.05kHz bandwidth. The chip operates under a 3.3V power supply with a power dissipation of 6.8mW, which is suitable for high-performance, low-power audio ADC applications.

Key words: $\Sigma\Delta$ modulator; gate-source bootstrapped; low power; audio analog-to-digital converter

EEACC: 2579D

Article ID: 0253-4177(2008)10-2050-07

[†] Corresponding author. Email: hany@zju.edu.cn

Received 10 May 2008, revised manuscript received 23 June 2008