

一种采用新颖的双重自适应补偿的低静态电流 LDO 稳压器的设计

叶 强[†] 来新泉 袁 冰 陈富吉 李演明

(西安电子科技大学电路 CAD 所, 西安 710071)

摘要: 设计了一种采用双重自适应补偿的两级结构 LDO 线性稳压器, 该补偿技术能够产生两个随负载变化的零点以抵消不同负载条件下的极点变化带来的影响, 从而保证系统的稳定性. 与传统的设计方法相比, 该补偿方法几乎不消耗电流, 文中设计的 LDO 静态电流小于 $1\mu\text{A}$, 并且采用折返式电流限制, 减小了芯片的功耗. 采用该双重自适应补偿的 LDO 已在 Hynix $0.5\mu\text{m}$ CMOS 工艺线投片, 当负载电流为 300mA 时, 漏失电压为 150mV , 线性调整率为 2mV/V , 负载调整率为 0.75% . 测试结果表明, 采用该双重自适应补偿结构的 LDO 工作良好.

关键词: 低漏失; 稳定性; 双重自适应补偿; 低功耗

EEACC: 2570D

中图分类号: TN433

文献标识码: A

文章编号: 0253-4177(2008)10-2057-07

1 引言

低压差线性稳压器(LDO)由于具有低噪声、高 PSRR、低静态电流以及低成本等优点, 在便携式电子设备中得到了广泛应用^[1-3]. LDO 稳压器的稳定性补偿的一大难点是全负载范围内的系统稳定性^[4], 作者提出了一种双重自适应补偿技术, 该技术能产生两个随负载变化的零点, 以抵消在不同的负载条件下极点变化所带来的影响, 从而保证系统的稳定性. 值得一提的是, 内部第二个动态补偿利用输出级的阻容网络产生的一个零点, 实际上起到了替代传统的输出电容的 ESR 产生的零点的作用, 因此芯片在应用时可以使用价格便宜、体积小的陶瓷电容即可稳定, 从而降低了设计成本, 减小了 PCB 面积, 非常有利于便携式电子产品的设计.

为了提高增益和输出电压精度以及降低静态电流, 笔者采用双重自适应补偿结构, 并且这种补偿方法几乎不消耗额外的电流, 因而极适合低功耗芯片的设计.

2 双重自适应补偿设计原理

2.1 第一重自适应补偿网络

图 1 是采用第一重自适应补偿网络的 LDO 结构图, MS1 为负载电流采样管, MP 为功率管. R_O 为误差放大器的输出阻抗, g_{m1} 是误差放大器的跨导, C_1 为补偿电容, BUFFER 的输出阻抗为 R_{OB} , 功率管 MP 的寄生电容为 C_P , R_{OUT} 是输出级的阻抗, R_L 是负载, C_L 是负载电容, 当 LDO 采用第一重自适应补偿网络时, A_0 为采用第一重自适应补偿的环路增益,

$$A_0 = g_{m1} g_{mp} R_O R_{OUT} \quad (1)$$

开环传输函数可表示为,

$$\frac{V_{FB}}{V_{REF}} = \frac{A_0 (1 + S/2\pi f_{z1})}{(1 + S/2\pi f_{p1})(1 + S/2\pi f_{p2})(1 + S/2\pi f_{p3})} \times \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) \quad (2)$$

其中 f_{p1} 为误差放大器输出端产生的极点; f_{p2} 为 LDO 输出端产生的极点; f_{p3} 为 BUFFER 输出端产生的极点,

$$f_{p1} = \frac{1}{2\pi R_O C_1} \quad (3)$$

$$f_{p2} = \frac{1}{2\pi R_L C_L} = \frac{I_L}{2\pi V_{OUT} C_L} \propto I_L \quad (4)$$

$$f_{p3} = \frac{1}{2\pi R_{OB} C_P} \quad (5)$$

MS1 和 C_1 组成第一重补偿网络, MS1 的栅源电压与功率管 MP 的栅源电压相等, f_{z1} 为采样管 MS1 的导

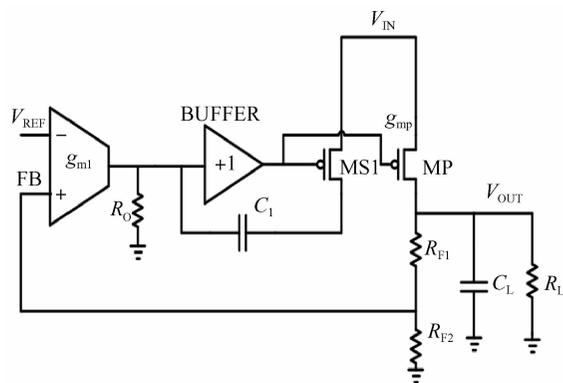


图 1 采用第一重自适应补偿网络的 LDO 结构图

Fig.1 Topology diagram of LDO with the first adaptive compensation

[†] 通信作者. Email: yeqiang4213@126.com

2008-05-11 收到, 2008-06-19 定稿

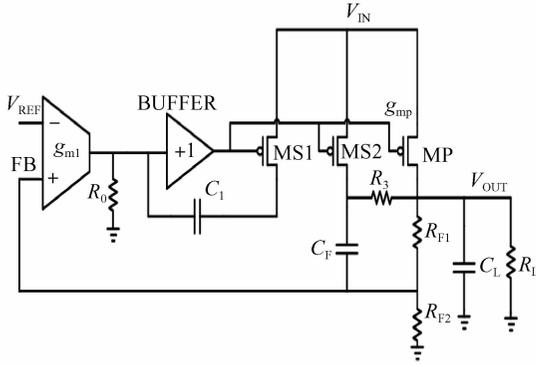


图 2 采用双重自适应补偿网络的 LDO 结构图

Fig.2 Topology diagram of LDO with dual adaptive compensation

通电阻 R_{DS_MS1} 与补偿电容 C_1 产生的零点, MS1 工作在线性区, MP 工作在饱和区, 其跨导为 g_{mp} , $(W/L)_{MS1} : (W/L)_{MP} = 1 : K_1$,

$$\begin{aligned} g_{mp} &= \mu_p C_{ox} (W/L)_{MP} (V_{GS} - V_{THP}) \\ &= \sqrt{2\mu_p C_{ox} (W/L)_{MP} I_L} \\ &= K_1 \mu_p C_{ox} (W/L)_{MS1} (V_{GS} - V_{THP}) \end{aligned} \quad (6)$$

$$\begin{aligned} R_{DS_MS1} &= \frac{1}{\mu_p C_{ox} (W/L)_{MS1} (V_{GS} - V_{THP})} \\ &= \frac{K_1}{g_{mp}} = \frac{K_1}{\sqrt{2\mu_p C_{ox} (W/L)_{MP} I_L}} \end{aligned} \quad (7)$$

$$f_{z1} = \frac{1}{2\pi R_{DS_MS1} C_1} = \frac{\sqrt{2\mu_p C_{ox} (W/L)_{MP} I_L}}{2\pi K_1 C_1} \propto \sqrt{I_L} \quad (8)$$

由(4)式可知, f_{p2} 与负载电流 I_L 成正比, 由(8)式可知, 采用第一重补偿网络的 LDO 电路, 产生了一个与负载电流 I_L 的平方根成正比的动态零点 f_{z1} 跟踪 f_{p2} 的变化, 从而实现第一重自适应补偿^[5,6], 然而由于在本文的低功耗 LDO 设计中, 静态电流小于 $1\mu A$, 大部分电路器件工作在亚阈值区, BUFFER 的输出阻抗和功率管 MP 的栅极寄生电容较大, f_{p3} 往往落在 0dB 带宽附近, 这样会减小整个环路的相位裕度, 引起系统不稳定, 甚至会引起振荡, 因此增加第二个自适应频率补偿, 组成双重自适应补偿网络来实现 LDO 的系统稳定, 图 2 为采用双重自适应补偿网络的 LDO 结构图。

2.2 第二重自适应补偿网络的构造原理

图 3 为第二重自适应补偿网络的构造示意图, 如图 3(1)所示, 输出反馈电阻 R_{F1} 两端跨接在电容 C_F 上, 形成超前补偿网络, 从而改善系统稳定性, 并能提高瞬态响应和 PSRR, 减小输出噪声, 传输函数可表示为:

$$\frac{V_{FB}}{V_{OUT}} = \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) \left[\frac{1 + SC_F R_{F1}}{1 + SC_F (R_{F1} \parallel R_{F2})} \right] \quad (9)$$

由(9)式可知, 该传输函数有一个极点 f_p 和一个零点 f_z , 分别表示如下:

$$f_p = \frac{1}{2\pi (R_{F1} \parallel R_{F2}) C_F} \quad (10)$$

$$f_z = \frac{1}{2\pi R_{F1} C_F} \quad (11)$$

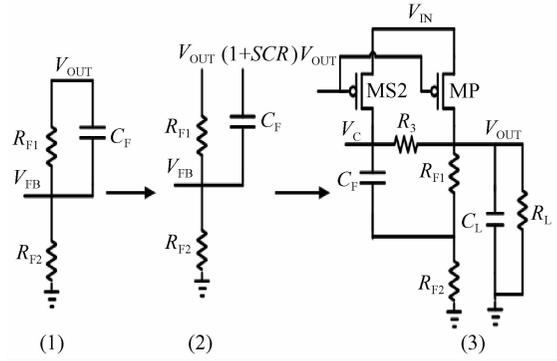


图 3 第二重自适应补偿网络的构造示意图

Fig.3 Illustration of the second adaptive compensation net

显然, 零点 f_z 低于极点 f_p , 因此对改善系统稳定性会有所帮助. 为了补偿功率管 MP 寄生电容过大和 BUFFER 的输出阻抗较大带来的低频极点, 需要在系统中引入一个零点, 由(9)式可知, 只需在其分子项上引入 $(1 + SCR)$ 的乘积因子, 即需新引入一个零点, 此时传输函数可表示为,

$$\begin{aligned} \frac{V_{FB}}{V_{OUT}} &= \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) \left[\frac{(1 + SC_F R_{F1})(1 + SCR)}{1 + SC_F (R_{F1} \parallel R_{F2})} \right] = \\ &= \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) \left[\frac{1 + S(C_F R_{F1} + CR) + S^2 C_F R_{F1} CR}{1 + SC_F (R_{F1} \parallel R_{F2})} \right] \end{aligned} \quad (12)$$

当 $CR \ll C_F R_{F1}$ 时, 上式可以简化为:

$$\frac{V_{FB}}{V_{OUT}} = \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) \left[\frac{1 + SC_F R_{F1} (1 + SCR)}{1 + SC_F (R_{F1} \parallel R_{F2})} \right] \quad (13)$$

为实现(13)式所示的传递函数, 将 C_F 跨接在 R_{F1} 和 R_{F2} 的公共端, 另一端引入一个其值为 $(1 + SCR)$ V_{OUT} 的信号, 如图 3(2)所示, 则可在(10)和(11)式中零极点的基础上, 产生一个新的零点 f_{zN} ,

$$f_{zN} = \frac{1}{2\pi RC} \quad (14)$$

图 3(3)实现了上述思想, 其中 MS2 为采样管, MP 为功率管, $(W/L)_{MS2} : (W/L)_{MP} = 1 : K_2$, 并且电路中 $R_{F1}, R_{F2} \gg R_3$, 则

$$\begin{aligned} V_C &= V_{OUT} + I_{D_MS2} R_3 = V_{OUT} + V_{OUT} R_3 / K_2 Z_L \\ &= V_{OUT} (1 + R_3 / K_2 Z_L) \end{aligned} \quad (15)$$

其中 Z_L 为输出阻容网络的阻抗, 忽略输出电容的 ESR, 其大小为:

$$Z_L = \frac{1}{SC_L} \parallel R_L = \frac{R_L}{1 + SC_L R_L} \quad (16)$$

由(15)和(16)式可知, 在图 3(3)中:

$$V_C = (1 + R_3 / K_2 R_L) \left[1 + \frac{SC_L R_3}{K_2 (1 + R_3 / K_2 R_L)} \right] V_{OUT} \quad (17)$$

$$\begin{aligned} \frac{V_{FB}}{V_{OUT}} &= \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) \times \\ &= \left[\frac{1 + (1 + R_3 / K_2 R_L) R_{F1} C_F S + (C_L R_3 C_F R_{F1} / K_2) S^2}{1 + SC_F (R_{F1} \parallel R_{F2})} \right] \end{aligned} \quad (18)$$

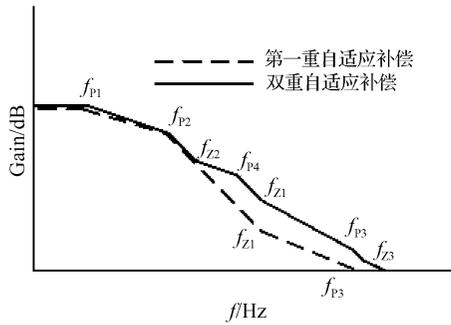


图 4 环路增益的幅频特性

Fig.4 Gain-frequency character of open loop

当 $R_3/K_2 R_L \ll 1$, 并且 $R_3 C_L/K_2 \ll C_F R_{F1}$ 时, 由 (18) 式可知输出端产生的极点和零点为:

$$f_{P4} = \frac{1}{2\pi(R_{F1} \parallel R_{F2}) C_F} \quad (19)$$

$$f_{Z2} = \frac{1}{2\pi(1 + R_3/K_2 R_L) R_{F1} C_F} \approx \frac{1}{2\pi R_{F1} C_F} \quad (20)$$

$$f_{Z3} = \frac{1}{2\pi C_L R_3 / [K_2(1 + R_3/K_2 R_L)]} \approx \frac{1}{2\pi C_L R_3 / K_2} \quad (21)$$

若采用负载电容 C_L 的 ESR 进行补偿, 其产生的零点为:

$$f_{ZESR} = \frac{1}{2\pi C_L R_{ESR}} \quad (22)$$

由 (21) 式可知, 第二个动态自适应补偿网络相当于把电阻 R_3 和负载电容 C_L 引入, 从而产生一个零点以实现补偿, 该补偿方法的效果与 (22) 式中使用输出电容的 ESR 产生的一个零点进行补偿是一致的. 图 4 为系统采用第一重自适应补偿与双重自适应补偿的零极点分布示意图, f_{P3} 是由于功率管 MP 的寄生电容过大和 BUFFER 输出阻抗较大所带来的低频极点. 可以看出采用第一重自适应补偿, f_{P3} 分布在 0dB 带宽附近, 会减小相位裕度, 甚至会引起振荡. 采用双重自适应补偿通过引入一个零点可以有效地解决该问题, 并且第二个动态补偿利用输出级的阻容网络产生的一个零点, 实际上起到了替代传统的输出电容的 ESR 产生的零点作用. 因此芯片在应用时可以使用价格便宜, 体积小的陶瓷电容即可稳定, 从而降低了设计成本, 减小了 PCB 面积, 非常有利于便携式电子产品的设计.

2.3 双重自适应补偿在 SOC 设计中的可行性分析

由 (2) 和 (21) 式可知, 输出电容产生的极点 f_{P2} 和零点 f_{Z3} , 当减小输出电容 C_L 的值时, 可以使 f_{P2} 分布在带宽之外, 只有 f_{P1}, f_{P3}, f_{P4} 分布在 0dB 带宽以内. 由第二重自适应补偿网络的分析可知, 增加电阻 R_3 或减小 K_2 可以使 f_{Z3} 的大小不变, 即当 C_L 下降, R_3 上升或 K_2 下降时, f_{Z3} 不变, 从而解决了由于 f_{P3} 所带来的稳定性问题, 因此在增加少量芯片面积的情况下, 笔者的设计亦可以用于 SOC (system on chip) 的设计中, 将双重自适应补偿网络、功率管、反馈电阻、负载电容集成在芯片内部, 减少了外接电容并提高了系统的稳定性, 从而

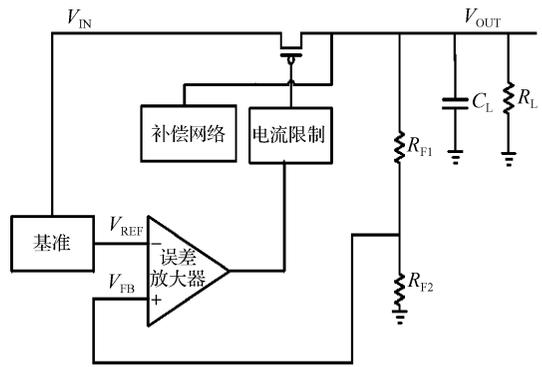


图 5 笔者提出的 LDO 功能框图

Fig.5 Structure of the proposed LDO

减少了 PCB 面积, 很好地满足了 SOC 的设计要求. 当减小电容 C_L 并将其集成在芯片内部时, 系统的负载瞬态响应会受到影响, 当负载发生突变时, 电容 C_L 越小, 输出的过冲电压 ΔV 越大. 可通过增加静态电流从而加快系统的环路响应速度来减小过冲电压 ΔV , 因此在 SOC 的设计中采用笔者所提的补偿方法, 要在芯片面积、系统的负载瞬态响应、静态功耗等方面折中考虑. 负载电容 C_L 集成在芯片内部时, 其容值大小会受到温度、工艺等因素的影响, 在设计过程中要保证系统的稳定性, 因此要考虑一定的设计裕量.

3 电路设计

图 5 是本文提出的 LDO 的功能架构图, 主要包括基准模块、误差放大器模块、折返式电流限制模块、频率补偿网络、调整管、反馈电阻和容阻负载等. 基准模块主要是产生 1.25V 的基准电压, 作为误差放大器的参考电平与反馈电压进行比较放大误差信号, 从而控制调整管来调节输出电压 V_{OUT} , 频率补偿网络主要采用的是双重自适应补偿结构, 在不消耗静态电流的情况下, 能很好地满足系统稳定性的要求, 电流限制模块采用的是折返式电流限制结构, 使 LDO 在限流的状态下功耗降低. 输出电压 V_{OUT} 为:

$$V_{OUT} = V_{REF}(1 + R_{F1}/R_{F2}) \quad (23)$$

3.1 基准电压电路

图 6 是基准电路图, 其左半部分的 M2, M3, M12~

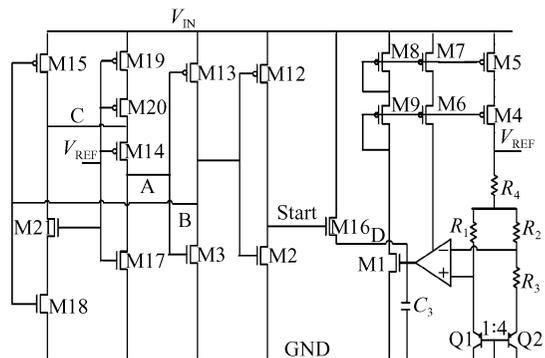


图 6 基准电路图

Fig.6 Circuit of reference

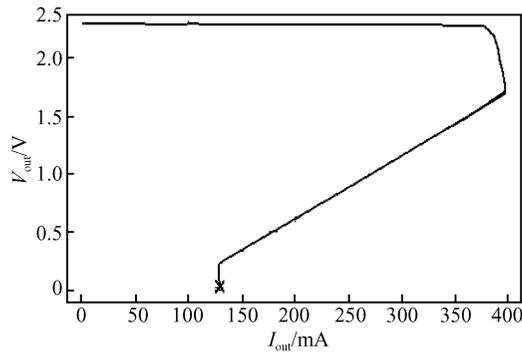


图 9 折返式电流限制仿真波形
Fig.9 Simulated result of fold back current limit

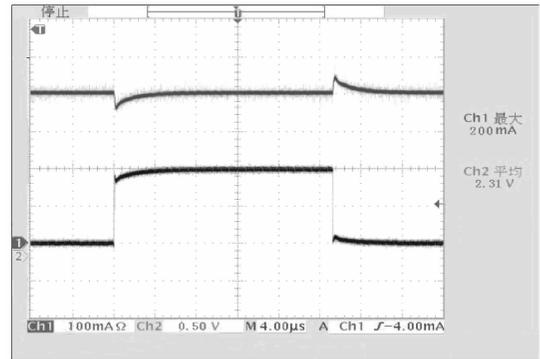


图 12 负载瞬态响应
Fig.12 Load transient response

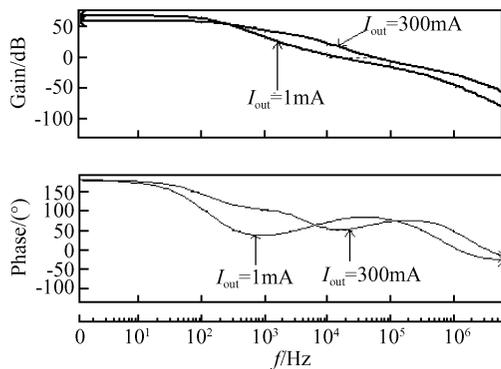


图 10 不同负载下的环路增益仿真曲线
Fig.10 Loop gain versus different output currents

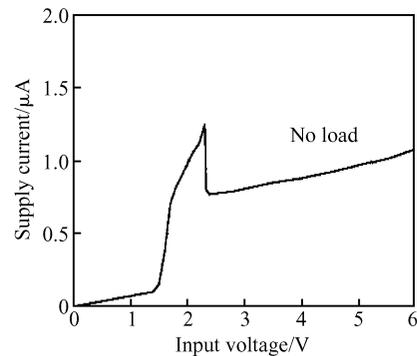


图 13 静态电流随电源电压的变化实测曲线
Fig.13 Quiescent current versus supply voltage

表 1 环路稳定性关键参数的计算值和仿真值对照

Table 1 Comparison of calculation and simulation results of the critical parameters for loop stability

参数 负载	环路增益 A_v /dB		主极点 /Hz		单位增益频率 /kHz		相位裕度 /(°)	
	计算值	仿真值	计算值	仿真值	计算值	仿真值	计算值	仿真值
1mA	70	67.3	128	116.4	20	15.1	80	77
300mA	60	59.2	200	185	60	54.4	70	64.9

4.2 投片测试结果及版图

上述采用双重自适应补偿低静态电流的芯片已在 Hynix 0.5 μ m CMOS 工艺线投片,对投片结果进行实测可知,输出电容为 1 μ F, $V_{OUT} = 2.3V$.图 11 为输入电源电压瞬态响应,其中 Ch1 是输入电源电压 V_{IN} ,

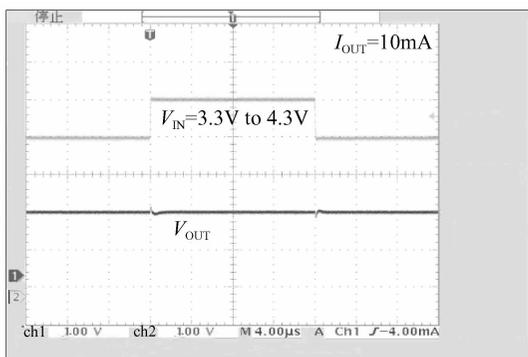


图 11 输入电源电压瞬态响应
Fig.11 Input transient response

V_{IN} 从 3.3V 变化到 4.3V, Ch2 是 LDO 输出电压 V_{OUT} , V_{OUT} 的过冲电压在 10mV 以内.图 12 为负载瞬态响应,其中 Ch1 是上升时间和下降时间为 1 μ s、幅度为 200mA 的方波负载电流,满足系统稳定性要求,并且没有振铃.图 13 是静态电流随电源电压的变化实测曲线,当电源电压为 2.5~5.5V 时,静态电流小于 1 μ A,满足系统的低功耗应用要求.图 14 是芯片的 PSRR 随频率变化的实测曲线,满足电源抑制要求.表 2 为采用双重自适应补偿的 LDO 与参考文献中 LDO 的电特性对比.由表 2 可以看出本文中的 LDO 静态电流很小,漏失电压较小,输出电压范围较宽,PSRR 特性很好,满足系统的低功耗应用要求.图 15 为 LDO 芯片的版图,其面积为 910 μ m \times 880 μ m.

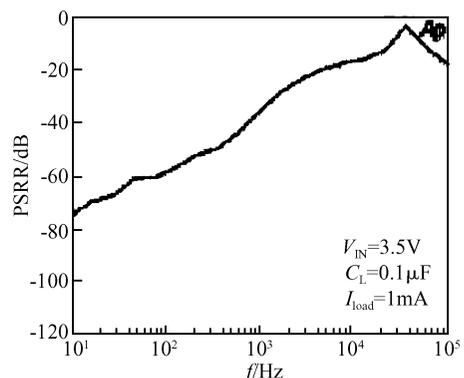


图 14 PSRR 随频率的变化实测曲线
Fig.14 PSRR versus frequency

表 2 本文与参考文献设计的 LDO 的电特性对比

Table 2 Comparison of electrical characters of the proposed LDO with the reference ones

LDO	工艺	输出电压 /V	漏失电压/mV	静态电流 / μ A	最大带载能力 /mA	负载调整 /%	线性调整 /(mV/V)	PSRR@10Hz /dB
本文	0.5 μ m CMOS	1.5~3.3	150@300mA	1	300	0.75	2	-75
文献[1]	0.6 μ m CMOS	3.3	无说明	4	800	无说明	无说明	无说明
文献[3]	0.5 μ m CMOS	2.8	500@100mA	30	160	0.78	无说明	无说明
文献[6]	0.5 μ m CMOS	1.8~4.5	650@3A	1000	3000	1.1	3	-65
文献[7]	1 μ m Bi-CMOS	3.3	600@200mA	30	200	1.6	2	无说明
文献[8]	0.6 μ m CMOS	1.5	200@300mA	38	100	0.25	2.2	-60

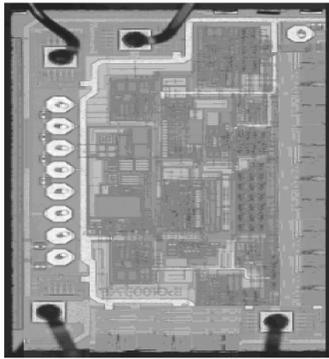


图 15 LDO 芯片照片

Fig.15 Microphotograph of LDO chip

5 结论

在分析 LDO 稳定性的基础上,设计了一种采用双重自适应补偿的低静态电流的 LDO,该补偿方法能够产生两个随负载变化的零点以抵消不同负载条件下的极点变化带来的影响,从而保证系统的稳定性.与传统补偿方法相比,该补偿方法几乎不消耗电流,整个芯片的静态电流小于 $1\mu\text{A}$,第二重补偿网络产生的零点替代了传统的输出电容的 ESR 产生的零点作用,因此芯片在应用时可以使用价格便宜、体积小的陶瓷电容,使性能稳定,从而降低了设计成本,减小了 PCB 面积,非

常有利于便携式电子产品的设计. LDO 的电流限制采用折返式电流限制,使芯片在限流状态下功耗减小了 $2/3$. 芯片采用 Hynix 0.5 μm CMOS 工艺设计,并进行了投片验证,测试结果满足设计和低功耗应用的要求.

参考文献

- [1] Wang Yikai, Wang Yi, Gong Wenchao, et al. High stability LDO with large output current. Chinese Journal of Semiconductors, 2007, 28(7): 1149 (in Chinese) [王义凯, 王忆, 巩文超, 等. 大电流、高稳定性的 LDO 线性稳压器. 半导体学报, 2007, 28(7): 1149]
- [2] Ricon-Mora G A, Allen P A. A low-voltage, low quiescent current, low drop-out regulator. IEEE J Solid-State Circuits, 1998, 33(1): 36
- [3] Chava C K, Silva-Martinez J. A frequency compensation scheme for LDO voltage regulators. IEEE Trans Circuits Syst I, 2004, 51(6): 1041
- [4] Leung K N, Mok P K T. Analysis of multistage amplifier-frequency compensation. IEEE Trans Circuits Syst I, 2001, 48(9): 1041
- [5] Kwork K C, Mok P K T. Pole-zero tracking frequency compensation for low dropout regulator. IEEE J International Symposium on Circuits and Systems, 2002, 4: 735
- [6] Lai Xinquan, Guo Jianping, Sun Zuozhi, et al. A 3-A CMOS low-dropout regulator with adaptive miller compensation. Analog Integrated Circuits and Signal Processing, 2006, 49(10): 5
- [7] Rincon G A. Active capacitor multiplier in Miller compensated circuits. IEEE J Solid-State Circuits, 2000, 35(1): 26
- [8] Leung K N, Mok P K T. A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation. IEEE J Solid-State Circuits, 2003, 38(10): 1691

Design of a Low Quiescent Current Low-Dropout Regulator with Novel Dual Active Compensation

Ye Qiang[†], Lai Xinquan, Yuan Bing, Chen Fuji, and Li Yanming

(*Institute of Electronic CAD, Xidian University, Xi'an 710071, China*)

Abstract: In order to improve the accuracy of the output voltage of a LDO, which consumes low quiescent current, a novel dual active compensation technique is used to design a LDO. It can produce two system zeros varying from load current to cancel the negative effect of the pole at different loads on the system's stability. Compared with traditional compensation, the dual active compensation does not consume current. The quiescent current of the proposed LDO is less than $1\mu\text{A}$, and the fold back current limit reduces the power consumption of the chip. A low quiescent current LDO employing the dual active compensation technique is implemented in a Hynix $0.5\mu\text{m}$ CMOS process. The dropout voltage is 150mV when the load current is 300mA , the line regulation is 2mV/V , and the load regulation is 0.75% , indicating that the circuit works well and effectively.

Key words: low drop-out; stability; dual active compensation; low consumption

EEACC: 2570D

Article ID: 0253-4177(2008)10-2057-07

[†] Corresponding author. Email: yeqiang4213@126.com

Received 11 May 2008, revised manuscript received 19 June 2008