

45nm 工艺 pn 混合下拉网络多米诺异或门设计

汪金辉^{1,†} 官娜² 耿淑琴¹ 侯立刚¹ 吴武臣¹ 董利民¹

(1 北京工业大学集成电路与系统研究室, 北京 100022)

(2 河北大学电子信息工程学院, 保定 071002)

摘要: 提出了一种 pn 混合下拉网络技术, 即在多米诺门的下拉网络中混合使用 pMOS 管和 nMOS 管来降低电路的功耗并提高电路的性能. 首先, 应用此技术设计了多米诺异或门, 与标准的 n 型多米诺异或门相比, 新型异或门的静态功耗和动态功耗分别减小了 46% 和 3%. 然后, 在此技术的基础上, 综合应用多电源电压技术和双阈值技术设计了功耗更低的多米诺异或门, 与标准的 n 型多米诺异或门相比, 静态功耗和动态功耗分别减小了 82% 和 21%. 最后分析并确定了 4 种多米诺异或门的最小漏电流状态和交流噪声容限.

关键词: 异或门; pn 混合网络; 动态功耗; 静态功耗

EEACC: 1130B; 1265

中图分类号: TN4

文献标识码: A

文章编号: 0253-4177(2008)12-2443-06

1 引言

作为运算电路的基本单元和数字系统最关键的部件之一, 异或门的功耗和运算速度直接决定整个电路系统的综合性能. 而以 CMOS 多米诺异或门为代表的动态异或门以其速度快、面积小等优良特性被广泛应用于微处理器的流水线结构及关键路径中, 它是微处理器中必不可少的组成部分^[1,2]. 但是, 随着 CMOS 集成电路技术的快速发展, 微处理器的时钟频率不断增加, 功耗不断增大, 从而影响了性能的进一步提高^[3,4]. 尤其是在手机、掌上电脑(PDA)、笔记本电脑等大量便携式设备的出现以后, 低功耗的要求更加迫切. 而且, 对于 CMOS 多米诺电路, 异或门的输入需要正反双向信号, 因此不得不在电路中加入反相器来满足设计需要, 可是增加的反相器在消耗了额外功耗的同时, 又使输入信号产生了偏差, 从而极大影响了多米诺异或门的性能. 显然, 设计出低功耗, 单向信号输入的多米诺异或门将会有有效的推动微处理器性能的提高, 所以多米诺异或门研究已成为微处理器发展的关键和挑战之一.

CMOS 多米诺电路的功耗由动态功耗和静态功耗两部分组成. 在 CMOS 工艺达到 90nm 之前, 由于多米诺电路的高频开关特性, 使得动态功耗成为多米诺电路功耗的主要部分. 但是, 随着集成电路工艺特征尺寸的减小, 晶体管的阈值电压和栅氧化层的厚度也必须相应地缩小, 而亚阈值漏电流和栅极漏电流却分别随着阈值电压和栅氧化层的厚度的缩小而呈指数倍增加. 根据国际半导体发展规划^[5]预测, 亚 65nm 工艺下, 漏电流消耗的功耗将占到电路总功耗的 50%. 因此低静态功耗设计与低动态功耗设计共同成为当前 VLSI 设计的关键.

业已提出了诸多降低多米诺电路功耗的方法, 如门控时钟技术^[6]、p 型网络技术^[7]、电荷自补偿技术^[8]和窄脉冲技术^[9]等, 但这些技术在降低功耗的同时均使电路更加复杂, 从而增加了版图面积. 本文提出了 pn 混合下拉网络技术, 创造性地在多米诺电路的下拉网络中混合应用 pMOS 管和 nMOS 管, 从而实现了异或门信号的单向输入, 简化了电路结构, 提高了性能, 降低了功耗.

2 pn 混合下拉网络多米诺异或门设计

CMOS 多米诺电路分为 p 型和 n 型两种. 基于标准的 p 型和 n 型多米诺电路实现的多米诺异或门如图 1 所示. 当输入为两组正反双向信号时, 它们均能实现 $A \oplus B$ 的功能. 由于电子的迁移率远远大于空穴的迁移率, 所以 n 型异或门的求值速度明显优于 p 型异或门. 但是 p 型多米诺电路也有显著优点, 它可以有效地抑制栅极漏电流. 研究表明, 在电压反偏情况下, 相同尺寸的 pMOS 管通过栅氧化层的栅极漏电流要比 nMOS 管小得多^[10], 如表 1 所示^[7]. 这是因为, nMOS 管的栅极漏电流主要是由导带中的电子隧穿引起的, pMOS 管的栅极漏电流主要由价带中的空穴隧穿产生. 而价带的势垒高度要远远大于导带的势垒高度, 所以 pMOS 管栅极漏电流小得多^[10]. 因此, 与 n 型多米诺异或门相比, p 型多米诺异或门的上拉网络产生的栅极漏电流较小. 总地来说, n 型结构速度快、功耗高; p 型结构速度慢、功耗低.

但是, 对于多米诺异或门, 无论是 n 型结构还是 p 型结构, 都存在着明显的缺点, 即输入信号必须为正反双向, 这就要求电路中采用反相器逻辑来达到设计目的. 反相器的采用, 一方面将消耗大量功耗; 另一方面, 因反相器固有的时间延迟, 反向信号与正向信号产生偏差.

† 通信作者. Email: wangjinhui888@emails.bjut.edu.cn

2008-07-12 收到, 2008-09-04 定稿

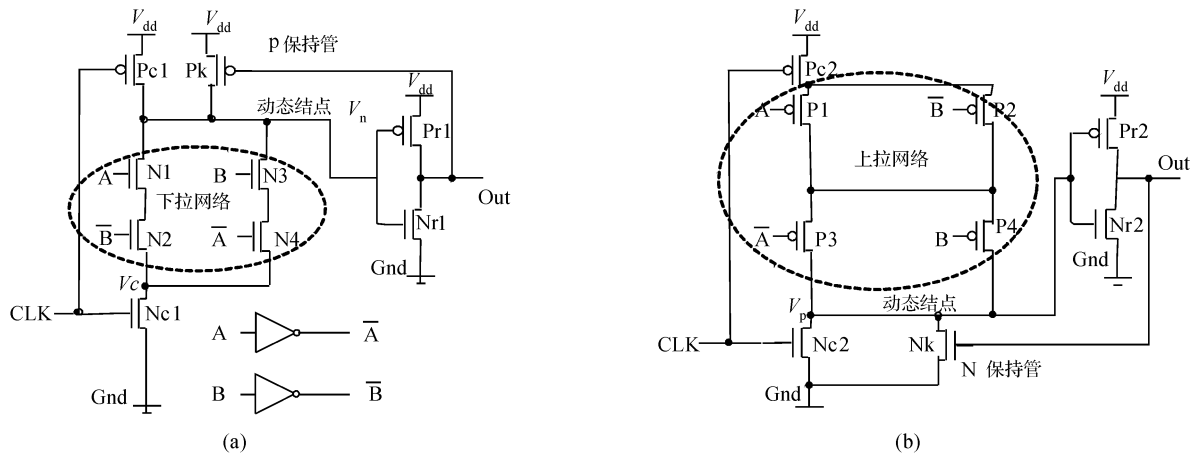


图 1 多米诺异或门 (a)标准的 n 型多米诺异或门;(b)标准的 p 型多米诺异或门

Fig.1 Domino XOR gate (a) Standard n type domino XOR gate; (b) Standard p type domino XOR gate

表 1 两种典型温度下,低阈值器件和高阈值器件归一化后的漏电流

Table 1 Normalized gate leakage current of low- V_t and high- V_t devices at two typical die temperatures

	nMOS		pMOS	
	低阈值器件	高阈值器件	低阈值器件	高阈值器件
A: $I_{leak}(I_{sub}, I_{gate})$ [110°C]	34.9(33.3,1.6)	2.7(1.2,1.5)	22.8(22.7,0.09)	1.09(1,0.09)
B: I_{gate} [110°C]	4.7	3.5	0.1	0.1
A: $I_{leak}(I_{sub}, I_{gate})$ [25°C]	126.2(66.5,59.6)	60.4(0.8,59.6)	56.3(52.8,3.4)	4.4(1,3.4)
B: I_{gate} [25°C]	159.1	124.0	5.3	5.3

I_{leak} :总漏电流; I_{gate} :栅极漏电流; I_{sub} :亚阈值漏电流. A(截止): $|V_{gs}| = 0, |V_{ds}| = V_{dd}$; B(导通): $|V_{gs}| = |V_{gd}| = |V_{gb}| = V_{dd}$. 晶体管沟道宽度为 $1\mu\text{m}$, 长度为 45nm . 高阈值为 0.35V , 低阈值为 0.22V , 电源电压 0.8V . 图中表示的电流值以在 I_{leak} 状态下, pMOS 管的栅极漏电流归一化.

首先,我们分析反相器的延迟时间对输入和输出信号的影响.图 2 为 45nm 工艺下反向器输出电压的仿真波形图.反相器中的 nMOS 和 pMOS 的宽长比都是从 1 到 20 均匀变化,经 400 次(20×20)仿真.从图中可以看出,宽长比不同的晶体管组成的反相器的延迟时间变化很大,输出电压的波形随之变化很大:在输出电压从低变化到高的过程中,反相器中的 nMOS 截止, pMOS 导通,输出延时随 pMOS 的宽长比(W/L)的增加而减小;在输出电压从高变化到低的过程中,反相器中的 pMOS 截止, nMOS 导通,输出延时随 nMOS 的宽长比(W/L)的增加而减小.正是这些输出延时带来正反双向信号的偏差,从而极大地影响异或门的性能,甚至发生逻辑错

误.

接着,我们分析采用反相器对电路功耗的影响.图 3 是反相器中 nMOS 和 pMOS 的宽长比分别从 1 到 20 时的功耗分布图.可以看出,随着宽长比的增加,反相器的动态功耗不断增大.但是为了保证异或门的性能,防止产生其较大的延迟时间,只能采用较大宽长比的晶体管.本文中,要求标准的多米诺异或门的时钟频率至少为 1GHz ,所以经反相器后的输出电压的延迟时间不能大于 0.5ns ,即图中的只有部分波形的上升时间和下降时间的形延迟都小于 0.5ns ,因此,选取 nMOS 管的宽长比为 14, pMOS 管的宽长比为 20 的反相器,来保证标准多米诺异或门的性能.

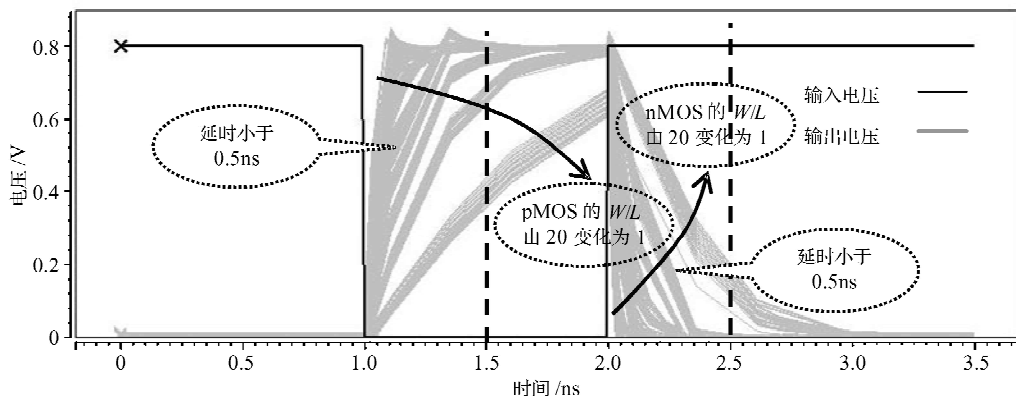


图 2 45nm 工艺下反向器输出电压的波形图

Fig.2 Output voltage waves of the inverter in 45nm technology

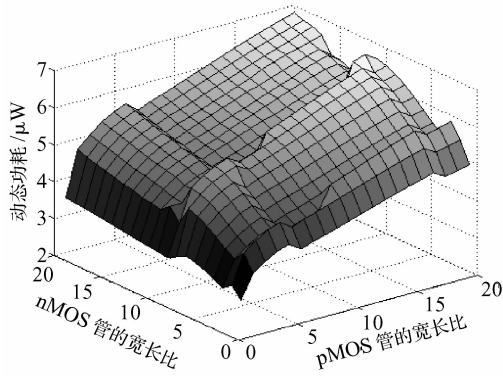
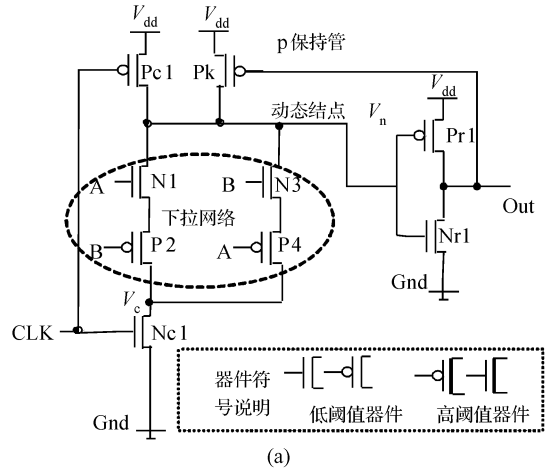


图 3 反相器动态功耗分布图

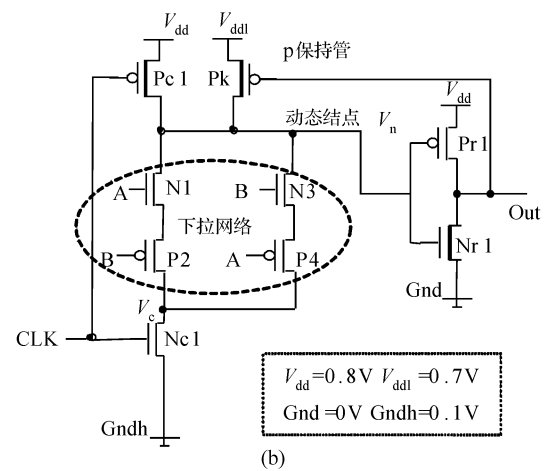
Fig.3 Active power distribution of the inverter

基于标准异或门的这些特点,本文提出了 pn 混合型下拉网络异或门,如图 4(a)所示,在电路的下拉网络中混合使用了 nMOS 晶体管和 pMOS 晶体管,用 pMOS 管部分代替了原来的 nMOS 管.输入为(0,0)或(1,1)时,输出为 0;输入为(0,1)或(1,0)时,输出为 1,从而利用单向正输入信号实现了 $A \oplus B$ 逻辑,省去了反相器.电路工作原理如下:当时钟信号 $CLK = 0$ 时,为预充阶段,Pc1 管导通,动态结点被预充到高电平 V_{dd} ,输出为低电平;当 $CLK = 1$ 时,为求值阶段,Pc1 管关闭,动态结点视下拉网络有条件地放电:如果下拉网络存在从动态结点到地的直流通路,那么动态结点对地放电至低电平;否则,动态结点将借助于保持管 Pk 保持高电平值 V_{dd} .此电路结构具有以下三大优点:一是由于新型异或门不需要采用反相器提供反输入信号,因此消除了反相器对功耗和信号偏差的影响,实现了低功耗高性能逻辑门的设计;二是由于采用了 pn 混合下拉网络结构,提出的异或门既具有 n 型多米诺异或门速度快的优点,又具有 p 型多米诺异或门漏功耗低的优点;三是由于省去了输入反相器,从而减小了版图面积.

另外,作者在 pn 混合型网络技术基础上,综合应用了双阈值技术和多电源电压技术,设计了功耗更低的多米诺异或门,如图 4(b).文献[11]提出的双阈值技术是目前在降低亚阈值漏电流方面被广为认可的技术,该技术在多米诺电路的关键路径即求值路径采用低阈值电压晶体管,在非关键路径应用高阈值电压晶体管,从而在保证电路速度的同时,有效地降低了电路的亚阈值漏电流.表 1 示出了 45nm 工艺低阈值器件和高阈值器件归一化后的漏电流.阈值技术需要增加门控级,使静态的多米诺门位于最小的漏电流状态下^[11,12].文献[13]提出了多电源电压技术,即在电路中的不同路径采用不同的电源电压,达到降低功耗的目的.



(a)



(b)

图 4 新型异或门 (a)pn 混合网络异或门;(b)多电源电压、双阈值 pn 混合网络异或门

Fig.4 Novel XOR gates (a) pn mixed pull-down network domino XOR gate; (b) pn mixed pull-down network domino XOR gate with the dual-threshold voltage and the multiple supply voltages

3 仿真结果

基于 45nm CMOS BSIM4 器件模型^[14],对标准 n 型多米诺异或门(图 1(a))、标准 p 型多米诺异或门(图 1(b))、本文提出的 pn 混合网络多米诺异或门(图 4(a))和应用 pn 混合网络多电源电压、双阈值的多米诺异或门(图 4(b)),分别进行了 HSPICE 仿真.每个异或门均驱动 8fF 的负载电容,工作温度为 110℃,静态休眠温度为室温 25℃,器件参数如表 2 所示.通过调整晶体管尺寸,使所有的多米诺异或门具有相同的延迟时间,并都工作在 1GHz 频率下,从而有效地比较了不同异或门达到相同性能时的噪声容限、动态功耗和静态功耗.

表 2 器件参数

Table 2 Parameters of devices

工艺尺寸	电源		地电压		器件阈值			
	V_{dd}	V_{dd1}	Gnd	Gndh	高阈值 nMOS	高阈值 pMOS	低阈值 nMOS	低阈值 pMOS
45nm	0.8V	0.7V	0V	0.1V	0.35V	-0.35V	0.22V	-0.22V

表 3 4 种异或门,不同输入矢量和时钟信号时的静态漏电流(nA)

Table 3 Leakage current of four XOR gates in the different input vector and clock states at 25°C (nA)

异或门	标准 n 型		标准 p 型		pn 混合网络		多电源电压双阈值 pn 混合网络		
	时钟信号	CLK = 0	CLK = 1	CLK = 0	CLK = 1	CLK = 0	CLK = 1	CLK = 0	CLK = 1
输入 矢量	(0,0)	153.7	267.4	414.3	410.9	82.91	22190	1926	164.3
	(0,1)	218.4	270.0	859.0	166.2	145.3	240.4	1970	27.11
	(1,0)	218.4	270.0	726.6	196.2	156.6	493.1	1974	63.69
	(1,1)	187.0	290.0	436.6	433.1	118.9	259.1	1937	610.6

从表 3 可以看出,对于标准 n 型异或门和 pn 混合网络异或门,输入矢量为(0,0)和 CLK = 0 时,电路的漏电流最小.矢量(0,0)使两种异或门的漏电流最小,有两方面原因:一是因为导通的 nMOS 的漏电流 159.1 大于截止时的 126.2,截止的 pMOS 的漏电流 56.3 大于导通时的 5.3(见表 1).如图 1(a)和图 4(a)所示,输入矢量是(0,0)时,对于标准 n 型异或门,下拉网络中的 nMOS 管 N3,N4 截止,两个反相器中的 pMOS 导通, nMOS 截止;对于 pn 混合网络异或门,下拉网络中的 nMOS 管 N1,N3 截止,pMOS 管 P2,P4 导通.二是因为输入矢量(0,0)使两个异或门下拉网络中的晶体管 N1, N3 截止,它们与 Pc1 产生了堆栈效应^[15],有效地抑制了漏电流.所以,矢量(0,0)使标准 n 型异或门和 pn 混合网络异或门漏电流最小.而在室温 25°C 下,在标准 n 型和 pn 混合网络的异或门中晶体管都为低阈值,CLK = 0 时,低阈值 nMOS 管 Nc1 截止,低阈值 pMOS 管 Pc1 导通,由表 1,总的漏电流为 126.2 + 5.3 = 131.5; CLK = 1 时,低阈值 nMOS 管 Nc1 导通,低阈值 pMOS 管 Pc1 截止,由表 1,总的漏电流为 159.1 + 56.3 = 215.4,所以,CLK = 0 更加有助于减小漏电流.

对于标准的 p 型异或门,矢量为(0,1)和 CLK = 1 时,电路的漏电流最小,如表 3 所示.从图 1(b)可以看出,矢量(0,1)使其上拉网络中的 P3,P4 截止,它们与 Nc2 产生了堆栈效应,有效抑制了漏电流.对于时钟,由于 CLK = 0 时,虽然 Nc2,Pc2 本身产生更少的漏电流,但由于 Pc2 的导通,上拉网络的漏电流直接由电源不断地供给,而且 Vp 由 Nc2 漏电流放电,被拉为低电平,使 Pr2 导通,继而 Nk 导通,直至产生了从电源到地的漏电流回路(电源-下拉网络-地电压),而 CLK = 1 有效避免了这一情况发生.所以矢量为(0,1)和 CLK = 1 为标准的 p 型异或门的最小漏电流状态.

对于多电源电压、双阈值 pn 混合网络异或门,也是矢量为(0,1)和 CLK = 1 时,电路的漏电流最小,如表 3 所示.从图 4(b)可以看出,由于此异或门采用了多电源电压技术,地电压从原来 Gnd 增加到 Gndh,从而增加了衬底电压 V_b ,大大提高了 N1,N3 和 Nc1 的阈值电压.(1)式所示,所以 Nc1 导通和截止时的漏电流都很小,分别设为 β 和 ϵ ,由表 1 可知,高阈值 nMOS 的特性为:导通时的漏电流远远小于截止时的漏电流($\beta \ll \epsilon$).当 CLK = 1 时,Nc1 导通,Pc1 截止,总电流为 $\beta + 4.4$,当 CLK = 0 时,Nc1 截止,Pc1 导通,总电流为 $\epsilon + 5.3$,所以 CLK = 1 更有利于抑制漏功耗.另外,矢量(0,1)使

N3,P4 导通,从而 V_n 存在到地的通路,因此 Pc1 产生的漏电流直接流向地,避免了 V_n 因电荷积累成为高电平而导致 Nr1 和 Pk 导通产生更大漏电流,所以输入矢量(0,1)和 CLK = 1 为多电源电压、双阈值 pn 混合网络异或门最小的漏电流状态.

$$V_{th} = V_{th0} + \gamma(\sqrt{|-2\phi_F + V_{sb}|} - \sqrt{|-2\phi_F|}) \quad (1)$$

图 5 示出了归一化的 4 种异或门动态功耗和最小静态功耗的比较.从图中可以看出,与标准的 n 型多米诺异或门相比,pn 混合网络异或门的动态功耗和静态功耗分别减小了 3%和 46%,这主要是因为电路中省去了反相器,从而节省了动态功耗,同时,电路在下拉网络中使用了静态功耗较小的 pMOS 管,而节省了静态功耗.与标准的 n 型多米诺异或门相比,多电源电压、双阈值 pn 混合网络异或门的动态功耗和静态功耗分别减小了 21%和 82%,这是因为电路综合应用了 pn 混合网络技术、多电源电压技术、双阈值电压技术.多电源电压技术通过采用较低的电源电压 V_{dd} ,和较高的地电平 Gndh,使电压摆幅 V_{swing} 从 $V_{dd} - Gnd$ 分别减小到 $V_{dd} - Gnd$ 和 $V_{dd} - Gndh$,从而降低了电路的动态功耗和静态功耗,如(2)式所示.双阈值电压技术采用了高阈值晶体管,由(3)式可知,阈值电压 V_{th} 越大,亚阈值漏电流 I_{sub} 越小,从而有效地减小了电路的亚阈值漏功耗.pn 混合网络异或门和多电源电压、双阈值 pn 混合网络异或门实现了低漏功耗和低动态功耗的设计目的.

对于标准的 p 型异或门,由于上拉网络中 pMOS 晶体管的低速特性,电路延迟时间较长.所以,必须增大标准的 p 型异或门上拉网络中 pMOS 的宽长比,使其与其他异或门具有相同的延迟时间以进行有效的功耗比较.

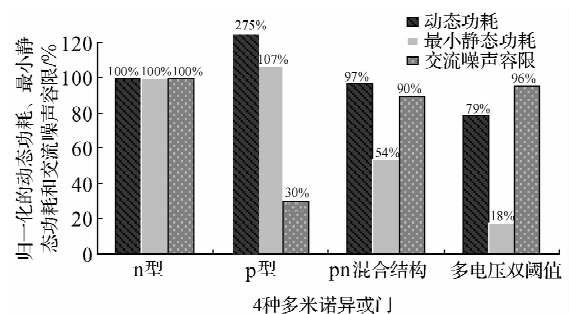


图 5 归一化的 4 种异或门动态功耗、最小静态功耗和交流噪声容限的比较

Fig.5 Comparison of normalized active power, lowest static power and AC noise margins of four XOR gates

但由(4)可以看出,随着晶体管栅宽 W_{eff} 的增加,栅极漏电流明显增大,而且动态功耗也随 pMOS 管宽长比的增加而明显增加,所以与标准的 n 型异或门相比,标准的 p 型异或门的动态功耗和静态功耗分别增加了 175% 和 7%.

$$P = P_{\text{switching}} + P_{\text{leak}} = \alpha f C_L V_{\text{dd}} V_{\text{swing}} + I_{\text{leak}} V_{\text{dd}} \quad (2)$$

$$I_{\text{sub}} = \frac{W_{\text{eff}}}{L_{\text{eff}}} u \sqrt{\frac{q \epsilon_{\text{si}} N_{\text{ch}}}{2 \Phi_s}} V_{\text{T}}^2 \exp\left(\frac{V_{\text{gs}} - V_{\text{th}}}{n V_{\text{T}}}\right) \times \left[1 - \exp\left(-\frac{V_{\text{ds}}}{V_{\text{T}}}\right)\right] \quad (3)$$

$$I_{\text{gate}} = W_{\text{eff}} L_{\text{eff}} A_{\text{g}} \left(\frac{V_{\text{ox}}}{t_{\text{ox}}}\right)^2 \exp\left(\frac{-B_{\text{g}}(1 - (1 - V_{\text{ox}}/\Phi_{\text{ox}})^{\frac{3}{2}})}{V_{\text{ox}}/t_{\text{ox}}}\right) \quad (4)$$

最后,以频率为 2GHz,占空比为 80% 的方波信号作为噪声信号,并将该信号加到每个异或门的输入 A 或 B 来模拟最大噪声情况^[16]. 交流噪声容限的大小即为输出端的幅值减低或升高 10% - V_{dd} 时的输入幅值. 如图 5 所示,由于 p 型异或门电路结构中的应用 N 保持管,如图 1(b),保持管导通后,使动态结点 V_{p} 的电压大于地电压 Gnd,使 V_{p} 保持在 V_{th} ,影响了保持效果,噪声容限减小,仅为 n 型异或门的 30%,n 型异或门和新型异或门应用 p 保持管,不存在保持电压的阈值损失. pn 混合网络异或门省去了输入反相器,失去了对输入噪声信号的缓冲,所以,与 n 型异或门相比新型异或门的噪声容限分别减小了 10% 和 4%. 但是,仿真结果表明新型异或门的噪声容限大于 0.5V ($>1/2 V_{\text{dd}}$),在实际的电路工作中,这一噪声容限足以使其有效防止绝大多数噪声的影响. 另外,综合考虑新型异或门简单的电路结构,较小的版图面积和改进的功耗特性,这一微小的噪声容限损失是值得的.

参考文献

- [1] Shu Y H, Tenqchen S, Sun M C, et al. XNOR-based double-edge-triggered flip-flop for two-phase pipelines. *IEEE Trans Circuits Syst*, 2006, 53(2): 138
- [2] Shams A M, Bayoumi M A. A novel low-power building block

CMOS cell for adders. *Proceedings of the 1998 IEEE International Symposium on Circuits and Systems*, 1998: 153

- [3] Bohr M T. Nanotechnology goals and challenges for electronic applications. *IEEE Trans Nanotechnol*, 2002, 1(1): 56
- [4] Guo B Z, Gong N, Wang J H. Designing leakage-tolerant and noise-immune enhanced low power wide or dominos in sub-70nm CMOS technologies. *Chinese Journal of Semiconductors*, 2006, 5(5): 804
- [5] Allan A, Edenfeld D, Joyner W H, et al. 2001 technology roadmap for semiconductors. *Computer*, 2002, 35(1): 42
- [6] Abdollahi A, Fallah F, Pedram M. Leakage current reduction in CMOS VLSI circuits by input vector control. *IEEE Trans Very Large Scale Integr Syst*, 2004, 12(2): 140
- [7] Wang Jinhui, Gong Na, Feng Shoubo, et al. A novel p-type Domino AND gate design in sub-65nm CMOS technologies. *Chinese Journal of Semiconductors*, 2007, 28(11): 1818 (in Chinese) [汪金辉, 宫娜, 冯守博, 等. 亚 65nm 工艺新型 p 结构多米诺与门设计. *半导体学报*, 2007, 28(11): 1818]
- [8] Wang Jinhui, Gong Na, Hou Ligang, et al. Charge self-compensation technology research for low power and high performance Domino circuits. *Journal of Semiconductors*, 2008, 29(7): 1412 (in Chinese) [汪金辉, 宫娜, 侯立刚, 等. 低功耗、高性能多米诺电路电荷自补偿技术研究. *半导体学报*, 2008, 29(7): 1412]
- [9] Chin P, Zukowski C A, Gristede G D, et al. Characterization of logic circuit techniques and optimization for high-leakage CMOS technologies. *The VLSI Journal*, 2005, 38(3): 491
- [10] Yeo Y C, Lu Q, Lee C W, et al. Direct tunneling gate leakage current in transistors with ultrathin silicon nitride gate dielectric. *IEEE Electron Device Lett*, 2000, 21: 540
- [11] Kao J T, Chandrakasan A P. Dual-threshold voltage techniques for low-power digital circuits. *IEEE J Solid-State Circuits*, 2000, 35(7): 1009
- [12] Khandelwal V, Srivastava A. Leakage control through fine-grained placement and sizing of sleep transistors. *IEEE Trans Comput-Aided Design Integr Circuits Syst*, 2004, 28(7): 1246
- [13] Hsu S, Krishnamurthy R. Multiple supply-voltage zipper CMOS logic family with low active leakage power dissipation. *United States Patent*, No. 6693461, 2004-02-17
- [14] <http://www.eas.asu.edu/~ptm>
- [15] Inaba S, Nagano H, Miyano K, et al. Low power logic circuit and SRAM cell applications with silicon on depletion layer CMOS (SODEL CMOS) technology. *IEEE J Solid-State Circuits*, 2006, 41(6): 1455
- [16] Kursun V, Friedman Eby G. Sleep switch dual threshold voltage Domino logic with reduced standby leakage current. *IEEE Trans Very Large Scale Integr Syst*, 2004, 12(5): 485

Design of pn Mixed Pull-Down Network Domino XOR Gate in 45nm Technology

Wang Jinhui^{1,†}, Gong Na², Geng Shuqin¹, Hou Ligang¹, Wu Wuchen¹, and Dong Limin¹

(1 *VLSI and System Laboratory, Beijing University of Technology, Beijing 100022, China*)

(2 *College of Electronic and Information Engineering, Hebei University, Baoding 071002, China*)

Abstract: A pn mixed pull-down network technique is proposed, based on the application of pMOS transistor and nMOS transistor in the pull-down network, to lower the power and improve the performance of the domino circuits. First, a domino XOR gate with this technique is designed. Compared to the standard N type domino XOR gate, its static power and dynamic power are reduced by up to 46% and 3%, respectively. Second, using this technique, the dual-threshold voltage techniques and the multiple supply voltages techniques, a novel domino XOR gate is present and its static power and dynamic power are reduced by up to 82% and 21%, as compared to the standard N type domino XOR gate. At last, the minimum static power state of four XOR gates and AC noise margins are analyzed and obtained thoroughly.

Key words: XOR gate; pn mixed pull-down network; dynamic power; static power

EEACC: 1130B; 1265

Article ID: 0253-4177(2008)12-2443-06

† Corresponding author. Email: wangjinhui888@emails.bjut.edu.cn

Received 12 July 2008, revised manuscript received 4 September 2008