

从微电子到纳电子

李志坚

(清华大学微电子学研究所, 北京 100084)

摘要: 从器件优值(功耗-延时积)出发,在介绍了微电子和纳电子技术发展现况的同时,讨论了从微电子到纳电子的演变本质;同时指出,信息处理系统在 SOC(片上系统)发展过程中变革的必然性.最后对纳电子学与微电子学内涵的主要差别进行了预测.

关键词: 微电子; 纳电子; 纳电子器件; 器件功耗-延时积

EEACC: 2220; 2570

中图分类号: TB383 文献标识码: A 文章编号: 0253-4177(2003)S0-0001-05

1 引言

微电子技术沿着摩尔定律^[1]的高速发展已近 40 年了.它推动了电子信息技术的不断更新,催化着人类信息化社会的到来.预期在十几、二十年内,这种高速发展的势头仍将继续^[2].问题是:依靠器件尺寸不断缩小的 MOS 技术的原理性极限正在日益迫近,而信息系统技术对微电子芯片性能却将继续提出更高的要求.这一问题已成为当前学术界关注的热点,它导致了纳电子的发展.国内外对 ULSI 微电子极限的讨论已持续多年了^[3],近来已进入结合现实应用的定量探讨^[4].受到 ULSI MOSFET 极限日益迫近的推动,近几年来纳电子器件发展很快,已有很多介绍性的文章发表^[5~7].当前,对微电子和纳电子做一个合理的、定性的和定量的界定已很有必要.本文从器件优值出发,以用控制准粒子(电子)的电迁移还是控制电子量子行为去处理信息作为基础,来界定微电子和纳电子;与此同时,认为现时之所以会向 ULSI 技术提出几乎是无止境高要求的根源,在于传统处理系统的局限性;因此,在 SOC 技术的发展中,各种非传统计算(处理)系统(本文统称纳系统)的发展将是必然的.上述器件级和系统级的本质变革将导致电子学进入一个新时代——纳电子学时代.基于上述观点,本文通过对微电子和纳电

子发展现况的概括介绍,得以在结论中勾画出纳电子学与微电子学的一些本质性区别.

2 微电子发展现况和 MOS 器件极限^[3]

当前,ULSI 的生产技术水平(特征线宽)已达到了 $0.13\mu\text{m}$ (DRAM)和 $0.1\mu\text{m}$ (MPU).研制出的最小的、有良好性能的(工作频率达 1.5THz)NMOSFET 的栅长已达到 $15\sim 20\text{nm}$ ^[8,9],其中等效栅 SiO_2 厚只有 0.8nm .光源波长仅有 13.4nm ^[10]的 EUV 步进曝光机已经研制成功,产率有望达到满足大生产的需要;电子束投影分步曝光机的研制也已初见成效^[11].

图 1 和图 2 分别是 ITRS'2001 对 ULSI DRAM 和 MPU 提出的特征线宽随年份演进的情况^[2].它

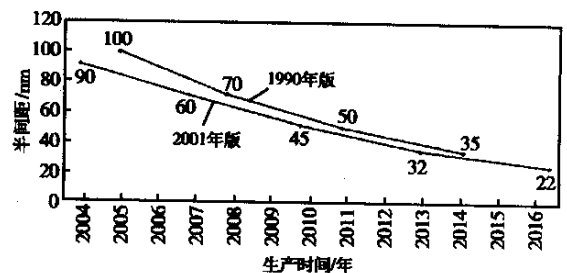


图 1 ITRS-DRAM 技术演进示意

Fig. 1 Development trend of DRAM, Source: ITRS

表明,现行的以 MOS 器件为基础的微电子至少分别到 2014 和 2016 年还会高速发展,但到对应的线宽约为 22nm (DRAM) 和 16nm (MPU) 时,摩尔定律有可能出现转折(高速发展期停止). 虽然这种端点的预测常常会随时间而改变,但无论如何它表明: MOS 微电子的极限已日益接近了.

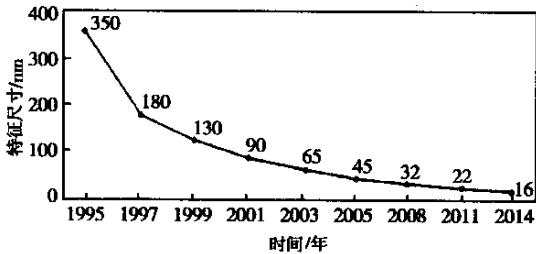


图 2 ITRS-MPU 技术演进

Fig. 2 Development trend of MPU Source: ITRS 2001

CMOS 开关(反相器)是现代 ULSI 的元胞,作为一个二值(开关)系统,开关功耗

$$P_{\text{tot}} = P_{\text{st}} + P_{\text{ac}} = P_{\text{st}} + fE \quad (1)$$

其中 P_{st} 为静态功耗; P_{ac} 为工作功耗; f 为开关频率; E 为开关能量(二个状态的能量差). 对于 CMOS:

$$P_{\text{st}} = I_{\text{off}}V, P_{\text{ac}} = f \times \frac{1}{2}CV^2, E = \frac{1}{2}CV^2 \quad (2)$$

只有在理想情况下:

$$I_{\text{off}} = 0, P_{\text{tot}} = P_{\text{ac}} = f \times \frac{1}{2}CV^2 \quad \text{或} \quad P_{\text{ac}}\tau = \frac{1}{2}CV^2 \quad (3)$$

其中 τ 为开关电路的级延时. 由(3)式可见,理想 CMOS 的优值,即 $P_{\text{tot}}\tau$ (功耗延时积 E), 与器件的缩小 (scaling down) 因子 K 呈立方关系而减小 ($C \propto K, V \propto K$). 因为 τ 随器件缩小而正比缩小, 所以 P_{tot} 随 K^2 而减小. 这就是每个新一代 ULSI 都会带来功耗、速度、集成度和单位电路价格极大的改善, 摩尔定律得以不断延伸的根本原因^[1,3]. 但是, 随着器件尺寸的日益缩小, 这种性能提高的优势受到了多方面的限制^[3]. 主要来自三个方面: (1) 器件所用的材料的参数(如 E_g) 不按比例缩小; (2) 二维效应; (3) 强电场和其他次级效应. 它们将影响器件的性能、可靠性和可生产性(成品率). 进行小尺寸器件设计时, 必须考虑这些因素, 包括结构在内的多方面的优化, 才能取得预期的效果^[4]. 从功耗角度看, 实际上 CMOS 的 I_{off} 并不为零, 而且随着器件尺寸的缩小而越来越大. 引起 I_{off} 增大的原因包括: 漏感应源势垒

下降 (DIBL), 栅感应漏漏电 (GIDL), 栅绝缘层载流子隧道穿透和源、漏直接隧道穿透等^[3].

由于 P_{tot} 受限于芯片有限的散热能力或电源供电能力(电池供电情况), 所以在不同条件下, 对 P_{tot} 有个实际限制, 这反过来又限制了可允许的最大 P_{st} (P_{st} 只能在 P_{tot} 中占一定的百分比, 例如在高性能应用中可高达百分之几十, 但在极低功耗应用中可小到万分或百万分之几), 一定的 P_{st} 在一定电源电压下又决定了最大 $I_{\text{off max}}$, 在一定的漏电机理下就决定了器件的某一最小尺寸. 表 1 为几种不同应用情况下, 由隧道电流限制所决定出的等效栅 SiO_2 厚度的允许最小值. 其中假定了 P_{ox} 为分配此部分 I_{off} 导致的 P_{st} , J_{ox} 为隧道穿透电流密度, 它决定了 $t_{\text{ox Teq}}$. $F_{\text{ox}10\text{yr}}$ 是指 10 年工作器件失效率, 它由 $J_{\text{ox}} = 10^4 \text{ A/cm}^2$ 时失效率为 1 的经验结果推出. 隧道电流 J_{ox} 与 $t_{\text{ox Teq}}$ 的关系由实验得到.

表 1 不同应用条件下 MOSFET 等效栅氧化层厚度的下限

Table 1 Minimum equivalent gate oxide thickness of MOSFET for different applications

应用分类	P_{tot} /($\text{W} \cdot \text{cm}^{-2}$)	P_{ox} /($\text{W} \cdot \text{cm}^{-2}$)	V_{DD} /V	J_{ox} /($\text{A} \cdot \text{cm}^{-2}$)	$t_{\text{ox Teq}}$ /nm	T /°C	$F_{\text{ox}10\text{yr}}$
高性能	100	10	1	667	1.2	85	0.25
桌上	10	1	1	67	1.4	85	3×10^{-3}
短电池寿命, 移动	50×10^{-3}	50×10^{-3}	1	0.33	1.8	40	3×10^{-7}
长电池寿命, 移动	50×10^{-6}	50×10^{-6}	1	3.3×10^{-4}	2.4	40	10^{-13}

此表表明, 所推算的 $t_{\text{ox Teq}}$ 最小值符合可靠性的要求. 进一步, 由已知的 $t_{\text{ox Teq}}$ 可以求得不同条件下的 DIBL 与等效沟长 L_{eff} 的关系, 由此推出这部分的 I_{off} 与 L_{eff} 的关系, 从而求得相应的 P_{st} 的限制和性能限制(输出阻抗随 I_{off} 增大而下降, 输出/输入阻抗比必须保持在一定值以上)所决定的 L_{eff} ^[12]. 如此循环(可考虑其他因素, 如带-带隧穿), 就不难推算出可行的最小 MOSFET (Ultimate MOSFET) 的尺寸和性能.

表 2 是我们以文献[12, 13]为基础, 对几种应用条件下最小可能尺寸 (Ultimate) MOSFET 性能的预测结果. 计算 τ 时, 我们简单地假定了电子以饱和速度漂移, 但考虑到量子力学效应, 对数值打了一定折扣, 其中能量 E 是由电容值和电压值推算出来的. 所以绝对值只是一个大致估计, 但可以看到与 ITRS'2001 所预估的趋向大致相符.

表 2 不同应用条件下的最小 NMOSFET 尺寸及其性能

Table 2 Minimum channel lengths and performances of Ultimate MOSFET in different applications

应用	高性能	高性能	中高性能	低功耗	特低功耗
温度/°C	85	-170	85	65	40
功耗/(W·cm ⁻²)	1000~30	1000~30	30~5	0.5~0.001	0.0001
V _{DD} /V	0.8~1.2	0.5	0.8~1.2	0.7~0.9	0.7~1
V _T /mV	140~235	50~70	235~300	410~550	550~710
t _{ox} Teq/nm	1~1.3	0.9~1.1	1.2~1.5	1.7~2	2.1~2.6
L _{eff} min/nm	14.5~19	14	17~24	22~29	27~38
E/10 ⁻¹⁸ J	0.6~1	0.12~0.11	0.72~1.6	0.62~1.51	0.75~2
τ/10 ⁻¹² s	0.31~0.42	0.15~0.16	0.5~0.61	2~2.6	6.5~8.5
P/10 ⁻⁶ W	2~2.5	0.73~0.7	1.4~2.0	0.31~0.6	(0.1~2.3)×10 ⁻¹

3 纳电子器件^[5,14]

对于任何二能级开关系统, 开关能量 $E = P\tau$, 所以, 在 $\lg\tau$ - $\lg P$ 图上, 一定能量的开关对应一条 135° 的斜线, 而具体的工作条件则决定这一直线上的一个工作点. ULSI 按摩尔定律的发展实际上是沿着 E 不断缩小的轨迹发展的.

图 3 是我们根据 ITRS'2001 中列出的最近几年几个发展节点的指标, 以最高允许性能为条件, 给出的一个发展轨迹(见箭头). 显然, 在这一轨迹的上方都是器件可以实现的空间. 我们见到, 上节推算出来的高性能 Ultimate 器件的工作点(星标记)落在

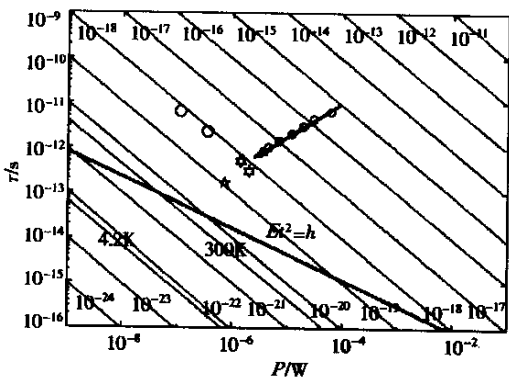


图 3 二值开关系统器件优值示意

Fig. 3 Illustration of $\lg\tau$ vs $\lg P$ for 2-level switches

发展轨迹的延长线上, 且基本在 $E \cong 10^{-18} \sim 10^{-19}$ J 的一个小区间中. 低功耗应用时, 工作点落在较大 τ 和较小 P 的地方, 但仍保持了较好的优值 $E = P\tau$. 所以, 可以认为, $E \cong 10^{-18} \sim 10^{-19}$ J 是近代以 MOSFET 为基础的 ULSI 技术的器件极限优值. 在同一图上, 我们也绘上了量子力学测不准关系: $E = h/\tau^2$ (h 为 Planck 常数), 以及对应于 300K 及 4.2K

的 $E = KT$ 的直线. 测不准关系界定了准粒子描述的一切器件的极限; 而按香农^[15]的理论, 在白噪声下能进行传输的最小的二值信号应为 $(\ln 2)KT$, 因而后者也可作为二值开关系统成立的热极限. 由此可见, 即使突破 MOSFET 极限, 对于超高速器件 ($\tau < 10^{-13}$ s), 如利用准粒子原理来组成器件(或说基于经典力学思想), 则其能达到的优值改善已不会超过一、二个数量级! 要突破这一器件极限, 我们必需把器件建立在量子力学基础之上, 并且可能要在较低温度下工作. 量子力学效应只能在纳米结构中明显地体现出来, 所以量子电子器件一定是纳电子器件, 但按照我们的理解, 不应把所有纳米结构的器件(如纳米尺寸的 MOSFET)归入这一行列. 纳电子器件是当前非常活跃的研究领域之一, 正在研究的主要内容有:

(1) 电子共振隧道器件^[16]. 利用电子共振隧道穿透传输电子信息, 速度快, 功耗低, 包括电子共振隧道两极管(RTD)和三极管(RTT).

(2) 单电子器件^[17]. 利用量子点等零维势阱中电子的库仑阻塞效应存储信息, 隧道穿透传输信息, 集成密度大, 功耗低, 速度快. 高密度单电子存储器已接近实用^[18], 多种单电子 FET 正在研究中.

(3) 电子自旋器件——自旋电子学^[19]. 固体中杂质原子的价电子(或量子点中的电子)的自旋, 随其极化方向不同组成不同能态, 从而可构筑电子自旋器件, 包括自旋阀、自旋 FET. 已经实用化的 MRAM 也是基于自旋运动的. 新近报导^[20]利用 $\text{Ge}_x\text{Si}_{1-x}$ 异质结中的不同的自旋简并因子(g 因子)可以实现量子位、量子旋转门和控制非门, 使量子计算的固态实现成为可能.

(4) 分子电子器件^[21]. 分子的尺度为纳米级, 其中的电子行为为量子行为. 自然的或合成的有机分子为构筑纳电子器件提供了结构多样的载体. 分子电子器件的潜在优势在于其自组装的可能性. 有机分子发光在显示技术中的应用已经取得突破性进展. 有机电子器件已有不少报导.

纳电子器件的研究仍处于起始阶段, 目前要回答: 今后是否会出现像当今 MOSFET 那样的长期垄断、一枝独秀的器件, 或会长期“百花齐放”这一问题, 尚没有可能. 但可强调的一点是: 发展中要重视对现已存在的、高度发展的硅技术的继承和利用, 尽可能使其与之兼容; 同时, 器件结构要有利于芯片的 Up-Down 设计, Up down 设计对于纳电子是

非常重要的。

4 SOC 及其发展^[3,12]

除了器件尺寸缩小外,今天微电子技术还遇到其它多方面的挑战,包括设计技术、连线技术、封装、测试等.要克服的某些技术难题十分艰难,另一些则由于其复杂程度大大提高,使之其在芯片技术总成本中的比例大大增加.设计技术在 ULSI 中长期落后于工艺技术的发展,是影响工艺资源更有效利用的主要因素.如何把适当的电路内容,很快而又正确有效地放到芯片上去是长期困扰微电子业界的问题.近年提出的 SOC 概念中,提出了软硬件(处理算法与 ULSI 结构)相结合的优化和 IP 多次复用的新思想,把集成电路提高到集成系统阶段,这有望使 ULSI 集成技术的效益大大提高,并为解决上述遇到的一些技术课题提供较易的解决办法. SOC 概念的伸延,很容易让人们提出改革现有信息处理系统这一根本问题.当前向微电子芯片提出和正在提出的几乎是无止境要求的正是现行处理系统(以图灵机为基础的计算机)的缺陷所造成的.它的本征串行性,使其处理高度非线性问题困难重重,它的数值计算机本质,使其无法处理难于数学建模的知识问题,而目前我们面临的日益增多的正是这些问题.现代 ULSI CMOS 的开关速度已是人脑神经元的百万、千万倍,集成度也达到了与之相当的量级,但对人来说一个十分简单的认知或决策问题,现代最“聪明”的芯片却往往无能为力.这一现行系统的缺陷,今后也必将被突破,转向或引入功能更为强大的非传统处理.相关的内容当然也应包括在今后的纳电子学研究之中.

这一来自于系统的芯片“极限”的突破,已受到许多学者的重视,其中人工神经网络和模糊逻辑技术已经发展多年,并已取得一定成效^[22,23].近年受到十分重视的量子计算和量子信息^[24],因量子位(Qubit)比之经典数字位(bit)含有指数上升的丰富的信息容量及其本征的并行处理能力,很有发展前景.特别是通过已开发出的几种量子算法^[25,26],或使传统计算难以解决的一类问题得以简单求解,或使一些问题的求解大为加速,使人们大受鼓舞.纳电子器件的发展应该,也必将支持这类新的处理系统——“纳系统”的实现.

5 结束语

(1) 纳电子学在器件级的革命在于,以对电子量子行为的控制替代传统微电子学中对固体中电子作为准粒子的运动的控制,来实现信息处理,可使电子器件优值比之传统微电子极限值再改善数个数量级.同时纳电子器件将为新的信息处理系统,如量子元胞自动机(QCA)、量子计算机等的实现提供基础.

(2) 纳电子学中的电子信息处理新系统,将有能力处理复杂的非线性问题和知识问题, SOC 在纳电子学阶段将在芯片上实现这些纳系统.

(3) 纳电子学对于微电子学,正如微电子学在上一世纪中之对于真空电子学一样,将是电子学的又一次革命.表 3 是对三个阶段的电子学的几点本质区别的预测.

表 3 真空电子学、微电子学和纳电子学的基本区别

Table 3 Main differences among vacuum electronics, microelectronics and nanoelectronics

	真空电子学	微电子学	纳电子学
信号处理媒介	真空中的电子	半导体中准粒子电子	固体和分子中电子的量子行为
基本器件	真空电子器件	MOSFET (其它 BJT 等)	纳电子器件
估计器件最佳优值	$\sim 10^{-8} \text{J}$	$< 10^{-19} \text{J} (-170 \text{C})$	$15 \times 10^{-23} \text{J} (4.2 \text{K})$
主要信号处理	放大、振荡等模拟信号处理	快速数字信号处理 (模拟信号处理)	知识信息处理
最大集成密度	1	$\sim 10^9 \sim 10^{10} / \text{cm}^2$	SOC
性能价格比	低	高	甚高
寿命	低	高	很高
工作温度	高	中	低

参考文献

- [1] Moore G E. Cramming more circuits on chips. *Electronics*, 1965, 19(4): 114
- [2] ITRS (international technology roadmap for semiconductors). Semiconductor Industry Association (SIA). SIA 2001, San Jose CA
- [3] Li Zhijian. Development of microelectronic technology in 21st century. *World Science and Technology-Research and Development*, 1998, 20(2): 29 (in Chinese) [李志坚. 21 世纪微电子技术发展展望. *世界科技研究与发展*, 1998, 20(3): 29]
- [4] Keyes R W. Fundamental limits of silicon technology. *Proc IEEE*, 2001, 89(3): 227
- [5] Seabough A C, Mazumder P. Special issue on quantum devices and their applications. *Proc IEEE*, 1999, 87(4): 535

- [6] Wang Zhanguo. Development of nano-scale devices. *Micronanoelectronic Technology*, 2002, (2): 1 (in Chinese) [王占国. 纳米器件研究进展. *微纳电子技术*, 2002, (2): 1]
- [7] Guo Weilian. Solid state nanoelectronic device and molecular electronic device. *Micronanoelectronic Technology*, 2002, (4): 1 (in Chinese) [郭维廉. 固体纳米电子器件和分子器件. *微纳电子技术*, 2002, (4): 1]
- [8] Doyle B, Arghavani R, Barlage D, et al. Transistor elements for 30nm physical gate lengths and beyond. *Intel Technol J*, 2002, 6(2): 42
- [9] Roush W. *IEEE Spectrum*, 2001: 25
- [10] Hutchison G D. Extreme ultraviolet lithography will it be ready in time? *IEEE Spectrum*, 2001: 15
- [11] Harriott L R. A new role for e-beam: electron projection. *IEEE Spectrum*, 1999: 41
- [12] Li Zhijian, Zhou Runde. *ULSI device, circuits and systems*. Beijing: Science Press, 2000 (in Chinese) [李志坚, 周润德. *ULSI 器件、电路、系统*. 北京: 科学出版社, 2000]
- [13] Frank D J, Dennard R H, Nowak E, et al. Device scaling limit of silicon MOSFETs and their application dependence. *Proc IEEE*, 2001, 89(6): 259
- [14] Goldhaber-Gordon D, Montemerio M S, Love J C, Ellenbogen. Overview of nanoelectronic devices. *Proc IEEE*, 1997, 85(4): 521
- [15] Shannon C E, Weaver W. *The mathematical theory of communication*. Urbana: University of Illinois Press, 1949
- [16] Sun Jianping, Haddad G I, Mazumder P, et al. Resonant tunneling diodes: model and properties. *Proc IEEE*, 1998, 86(4): 641
- [17] Kastner M A. The single electron transistor. *Review of Modern Physics*, 1992, 64(3): 849
- [18] Yano K, Ishii T, Sano T, et al. Single electron memory for giga-to-tera bit storage. *Proc IEEE*, 1999, 87(4): 633
- [19] Zorpette G. The quest for the spin transistor. *IEEE Spectrum*, 2001: 30
- [20] Vrigen R, Yablonovitch E, Wang Kang, et al. Electron spin resonance transistor for quantum computing in silicon-germanium heterostructure. arXiv: quant-ph/9905096, 1999: 11
- [21] Hellemans A, Samuel K, Moore S K. *IEEE Spectrum*, 2001: 20
- [22] Li Guoxing. Investigation of programmable fuzzy logic and neuron network ASIC. PhD Dissertation, Tsinghua University, Beijing, 1999 (in Chinese) [栗国星. 可编程的专用模糊逻辑与神经网络集成电路研究. 清华大学研究博士论文, 北京, 1999]
- [23] Li Zhijian, Jiang Hong. A CMOS current-mode high speed fuzzy logic microprocessor for real-time expert system. *Proceeding of the 20th International Symposium on Multiple Valued Logic*, Charlotte, NC, USA, 1990: 234
- [24] Nielsen M A, Chuang I L. *Quantum computation and quantum information*. Cambridge University Press, 2000
- [25] Shor P W. Scheme for polynomial-time algorithm for prime factorization and discrete logarithms on a quantum computer. *SIAM J Comp*, 1997, 26(5): 1484
- [26] Grover L K. Quantum mechanics helps in searching for a needle in a hay stake. *Phys Rev Lett*, 1997, 79(2): 325

From Microelectronics to Nanoelectronics

Li Zhijian

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Abstract: The evolution of microelectronics to nanoelectronics is discussed based on the device figure of merit (power delay product), while an overview of their current development situation is given. In the same time, it is indicated that in the course of SOC (system on a chip) development the introduction of new, much powerful than the conventional, information processing system is inevitable. Finally, some expectations of the main differences between microelectronics and nanoelectronics are given.

Key words: microelectronics; nanoelectronics; nanoelectronic device; device figure of merit

EEACC: 2220; 2570

Article ID: 0253-4177(2003)S0-0001-05