

高性能 42nm 栅长 CMOS 器件^{*}

徐秋霞 钱 鹤 韩郑生 刘 明 侯瑞兵 陈宝钦 蒋浩杰 赵玉印 吴德馨

(中国科学院微电子中心, 北京 100029)

摘要: 研究了 20~50nm CMOS 器件结构及其关键工艺技术, 采用这些创新性的工艺技术研制成功了高性能 42nm 栅长 CMOS 器件和 48nm 栅长的 CMOS 环形振荡器. 在电源电压 V_{DD} 为 $\pm 1.5V$ 下, NMOS 和 PMOS 的饱和驱动电流 I_{on} 分别为 $745\mu A/\mu m$ 和 $-530\mu A/\mu m$, 相应的关态漏电流 I_{off} 分别为 $3.5nA/\mu m$ 和 $-15nA/\mu m$. NMOS 的亚阈值斜率和 DIBL 分别为 $72mV/Dec$ 和 $34mV/V$, PMOS 的亚阈值斜率和 DIBL 分别为 $82mV/Dec$ 和 $57mV/V$. 栅长为 48nm 的 CMOS 57 级环形振荡器, 在 1.5V 电源电压下每级延迟为 19.9ps.

关键词: 42nm 栅长; CMOS 器件; 超陡倒掺杂; 灰化工艺; 高选择比; 高各向异性; Co/Ti 自对准硅化物

EEACC: 2560; 2550G; 2550B; 2550F

中图分类号: TN305 文献标识码: A 文章编号: 0253-4177(2003)S0-0153-08

1 前言

在过去 25 年中, 平面 CMOS 技术遵循等比例缩小的原则从 $5\mu m$ 进化到 $0.13\mu m$, 在集成电路工业大生产中获得了巨大的成功, 依据 2001 年 SIA 的 Roadmap 预测可发展到 90nm 技术节点. 当前器件特征尺寸持续缩小仍是微电子发展的主流趋势, 2013 年大生产的特征尺寸预测为 32nm 技术节点. 器件尺寸降到亚 50nm 已接近 scaling down 的极限, 在器件物理、器件结构、工艺技术、加工设备等方面面临着许多难以克服的困难和巨大的挑战, 如随着器件尺寸降到亚 50nm 后, 短沟道效应(SCE)将变得极其严重. 特别是在低的阈值电压下, 要使器件保持优良的短沟道效应, 同时保持大的驱动电流和小的亚阈值漏电, 这是一个极为严峻的挑战; 另一个极为严峻的挑战是超薄栅介质的制备和性能. 当栅 SiO_2 厚度减薄到 3.0nm 以下时, 栅介质直接隧穿电流成指数上升, 同时 B 穿越栅 SiO_2 进入导电沟道引起平带电压严重的正向漂移; 为抑制 SCE, S/D 延

伸区要非常浅, 但会引起结漏电增加, 串联电阻增大; 为改善 SCE, 沟道体浓度要 $> 3.5 \times 10^{18}/cm^3$, 但这使 μ_{eff} 下降, 阈值电压变大, 驱动电流减小, 结电容变大, 速度下降, 同时重掺杂衬底易引起带-带隧穿; 为改善 SCE, 采用双功函数多晶硅栅, 但带来栅电极耗尽和 B 穿透, 窄多晶硅栅的尺寸和剖面的精确控制及窄多晶硅栅电阻的急剧上升等等都带来种种挑战. 同时, 微小尺寸器件还伴随着一些量子效应, 如沟道中杂质原子分布的涨落引起载流子数的起伏、沟道反应层中电荷的量子效应等. 为了突破这些限制, 国际上存在两条解决路径, 一条是采用不同于传统平面 MOS 结构的新器件结构以减弱或解决传统结构面临的种种限制, 其中著名的有: Berkeley 的 FinFET^[1], 已在实验室研制出栅长为 18nm 的 FinFET 器件, 还有 Bell 实验室的垂直晶体管^[2], MIT 的自对准双栅 MOSFET^[3], 超薄体 MOSFET^[4], 能带工程 CMOS^[5] 等. 它们各有优缺点, 但要达到实用化还有较长的路要走. 另一条路是沿着传统的 scaling down 原则继续前进, 努力在亚 50nm 平面器件工艺技术方面获得突破, 以拓展

^{*} 国家重点基础研究资助项目(No. G2000036504)

徐秋霞 女, 1942 年出生, 研究员, 博士生导师, 目前从事 20~50nm 器件结构、关键工艺技术和集成技术研究.

钱 鹤 男, 1963 年出生, 研究员, 博士生导师, 从事深亚微米 CMOS 技术研究.

韩郑生 男, 1962 年出生, 研究员, 博士生导师, 目前从事 SOI/CMOS IC 工艺和版图设计.

scaling down 的能力,如 AMD 已在 2001 年 IEDM 上发表研究出了栅长为 15nm 的平面型 NMOS 器件^[6]. Intel 公司在 2002 年 5 月也研制出了沟道长度为 15nm MOS 晶体管^[7]. 尽管器件性能还不尽人意,但它已表明采用传统的平面型 MOS 器件结构来实现亚 20nm 器件,乃至电路是有可能的.

本文研究了 20~50nm CMOS 器件结构参数设计和关键工艺技术,包括电子束光刻及其灰化工艺和抗蚀膜图形转换技术;2.0nm 和 1.5nm 强化氮化栅介质的制备和特性研究;超陡倒掺杂沟道剖面设计;20~50nm 多晶硅栅图形的高精度、高选择比刻蚀技术;32nm 高表面浓度超浅 S/D 延伸区制备技术;Co/Ti 二元难熔金属自对准硅化物技术等. 在此基础上研制成功了性能良好的栅长为 42nm 的 CMOS 器件和栅长为 48nm 的 CMOS 57 级环形振荡器.

2 器件结构设计

图 1 给出了栅长 L_G 为 42nm CMOS 器件结构的示意图,由图可见该结构有如下特点:

(1) 双阱结构, NMOS 做在 P-阱内, 图中用 P-Well 表示, PMOS 做在 N-阱内, 图中用 N-Well 表示;

(2) 多晶硅栅的线宽为 42nm, 图中用 L_G 表示;

(3) 2.0nm 强化氮化氧化栅介质;

(4) 32nm 超浅、高表面浓度的 S/D 延伸区, 图中 PMOS 的延伸区用 p-ext 表示, NMOS 的延伸区用 n-ext 表示;

(5) 双层 spacer, 第 1 层 spacer 图中用 SW-1 表示, 第二层用 SW-2 表示;

(6) 双函数多晶硅栅电极, 即 NMOS 用 n^+ 多晶硅, 图中用 n^+ Poly 表示, 而 PMOS 用 p^+ 多晶硅, 图中用 p^+ Poly 表示;

(7) 超陡倒掺杂沟道剖面设计, 图中用 SSRCD 表示;

(8) Co/Ti 二元难熔金属自对准硅化物, 图中用 Silicide 表示.

表 1 给出了 42nm CMOS 器件的主要工艺结构参数.

图 2 给出了研制成功的栅长 42nm CMOS 器件结构剖面的 SEM 照片.

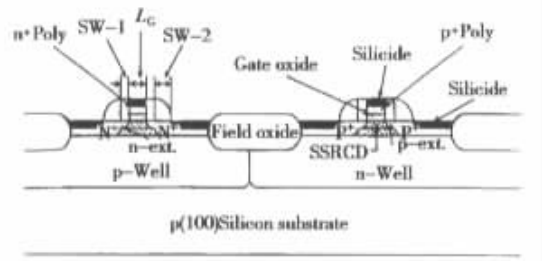


图 1 栅长为 42nm CMOS 器件结构的剖面示意图

Fig. 1 Cross-section scheme of 42nm gate length CMOS device structure

表 1 42nm CMOS 器件的工艺结构参数

Table 1 Process structure parameters of 42nm gate length CMOS devices

参 数	42nm CMOS	
	NMOS	PMOS
电源电压/V	1.2~1.5	-1.2~-1.5
栅氧化层厚度/nm	2.0	
沟道长度/nm	42	
阈值电压/V	0.19	-0.17
S/D 延伸区结深/nm	42	32
S/D 延伸区表面浓度/cm ⁻³	>7×10 ¹⁹	>4×10 ¹⁹
S/D 区结深/nm	110	115
S/D 接触电阻/(Ω·cm ²)	7.2×10 ⁻⁸	8.1×10 ⁻⁸
阈值斜率/(mV·dec ⁻¹)	72	82
驱动电流 $I_{on}/(\mu A \cdot \mu m^{-1})$	745	-530
关态电流 $I_{off}/(nA \cdot \mu m^{-1})$	3.5	-15
CoSi ₂ Thickness/nm, 栅/S-D	80/38	

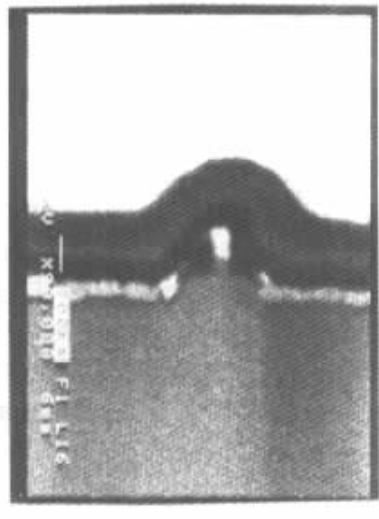


图 2 栅长 42nm CMOS 器件剖面结构的 SEM 照片

Fig. 2 SEM profile of fabricated 42nm gate length CMOS device

3 关键工艺技术研究及讨论

3.1 2.0nm 和 1.5nm 强化氮化栅介质制备和特性

随着 MOS 器件中栅长度的不断减小,为保持良好的驱动能力和改善短沟道效应,栅氧化膜厚度必须减薄,但这带来两个严峻的挑战:一是当氧化膜的厚度减薄到 2.0nm 时,栅隧穿漏电流成为器件设计的一个重要限制;二是 B 穿透超薄栅氧化膜进入硅衬底导电沟道引起平带电压漂移的问题。

我们采用强化氮化氧化膜的方法,即采用 $^{+}N^{14}$ 注入硅衬底再栅氧化的方法,增加了氧化膜中的 N 含量,一方面降低了氧化速率,使膜更致密,更均匀和重复;另一方面由于界面上的 Si—OH、Si—H、Si—O 等弱键被牢固的 Si—N 键替代,这些方法都使膜的隧穿漏电流减少,同时抗 B^{+} 穿透能力大大提高。此外非常重要的一点是:SIMS 分析表明此法使 N 的峰值从 SiO_2/Si 界面向 SiO_2 表面方向移动,这使得抵抗 B^{+} 的穿透更为有效。

图 3 给出了氮注入硅再氧化生成氮氧化膜氧化速率降低的百分比随注入剂量的变化。由图可见,随 N 注入剂量增加,氧化延迟效果越明显。

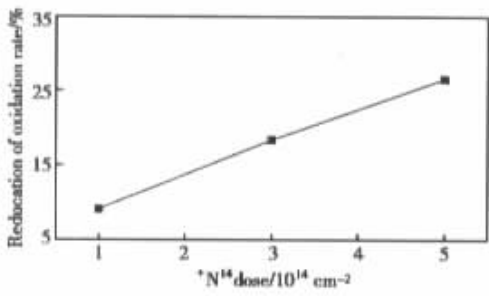


图 3 $^{+}N^{14}$ 注入硅再氧化生成的 2.0nm 氮氧化硅膜氧化速率降低的百分比随注入剂量的变化

Fig. 3 Percent of the reduction of oxidation rate for 2.0nm oxynitride grown by oxidation of nitrogen ($^{+}N^{14}$) implanted silicon substrate as a function of $^{+}N^{14}$ dose

图 4(a)和(b)分别给出了 2.0nm 和 1.5nm 超薄氮化氧化栅介质的高分辨率透射电子显微镜(HRTEM)剖面照片。图 4 清楚地显示了氮氧化硅/硅的界面非常光滑平整,这对器件的电学性能的改变是十分有利的。

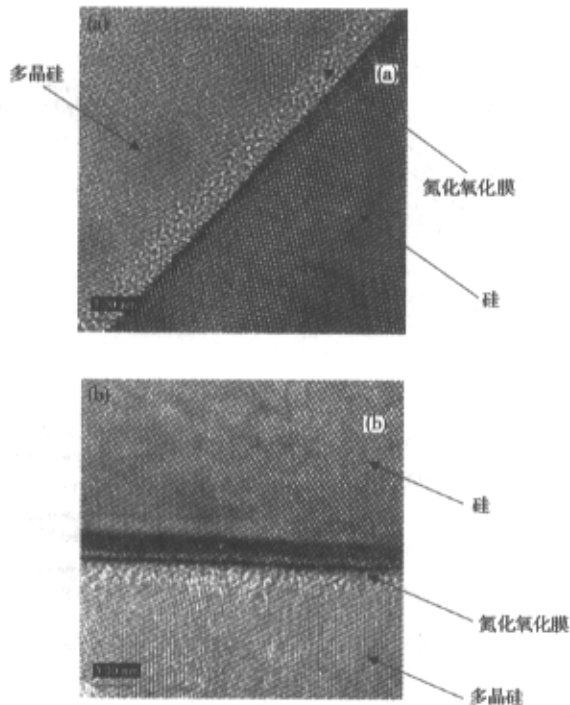


图 4 poly-Si/氮化氧化栅介质/Si 剖面的 HRTEM 照片氮化氧化膜厚度 (a)2.0nm;(b)1.5nm

Fig. 4 Cross section HRTEM images of poly-Si/oxynitride gate dielectric/Si substrate with oxynitride thickness of (a) 2.0nm;(b) 1.5nm

图 5(a)给出了具有不同氮化氧化栅介质厚度的 N^{+} -gate/p-Si NMOS 电容的 I_G-V_G 特性(在空穴积累状态下),并与纯 SiO_2 栅介质的样品进行了比较。由图可见,2.0nm 的氮化氧化硅样品比 2.1nm 纯 SiO_2 样品有更低的隧穿漏电流密度。

图 5(b)给出了具有不同氮化氧化栅介质厚度的 P^{+} -gate/n-Si PMOS 电容的 I_G-V_G 特性(在电子积累状态下),并与纯 SiO_2 栅介质样品进行了比较。由图表明 2.0nm 的氮化氧化硅样品比 2.1nm 的纯 SiO_2 样品有更低的隧穿漏电,尤其在低场下,2.1nm 纯氧化硅样品的漏电比 2.0nm 氮化氧化硅样品的高 1.5 个数量级。这是由于纯 SiO_2 样品中 B 穿透效应造成的。

图 6 给出了不同栅介质的 PMOS 电容的平带电压 V_{FB} 随 RTA 温度的变化。由图可见,与 2.05nm 的纯 SiO_2 样品及 2.1nm 的 N_2O 氮化氧化样品比较,2.0nm 的注 N 氮化氧化样品的 V_{FB} 随 RTA 温度变化最缓慢,表明它有最强的抗 B 穿透的能力。

采用 N 注入硅再氧化的方法比常用的 N_2O 退

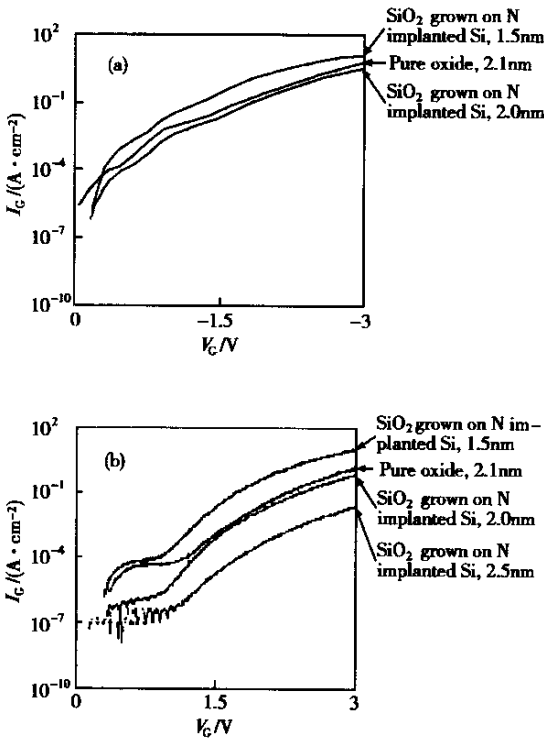


图 5 (a) 具有不同氮化氧化栅介质厚度的 N^+ -gate/p-Si NMOS 电容的 I_G - V_G 特性,并与纯 SiO_2 栅介质样品进行了比较;(b) 具有不同氮化氧化栅介质厚度的 P^+ -gate/n-Si PMOS 电容的 I_G - V_G 特性,并与纯 SiO_2 栅介质样品进行了比较

Fig. 5 (a) Gate tunneling leakage density versus gate voltage of N^+ gate/p-Si NMOS capacitors with various gate oxynitride thickness under the hole accumulation condition, and compared with pure oxide; (b) Gate tunneling leakage density versus gate voltage of P^+ gate/n-Si PMOS capacitors with various gate oxynitride thickness under the electron accumulation condition, and compared with pure oxide

火氮化氧化方法有明显的优越性.这是由于它的氧化延迟效应使膜质更好,界面更光滑,加上改进的清洗工艺,AFM 分析其界面的微粗糙度 RMS 仅为 0.057nm.同时它的 N 浓度高且峰值位置在膜的内部,故比 N 浓度低且峰值在界面上的 N_2O 退火样品^[8]有更强的对 B 的势垒阻挡作用.而且这种新方法的氧化延迟效应能使膜长得更薄,更均匀和重复,而 N_2O 退火氮化方法要长到 2.5nm 以下就较困难了.

3.2 20~50nm 抗蚀膜图形的成形技术

3.2.1 电子束曝光

在 20~50nm 的 CMOS 器件研究中,考虑到工

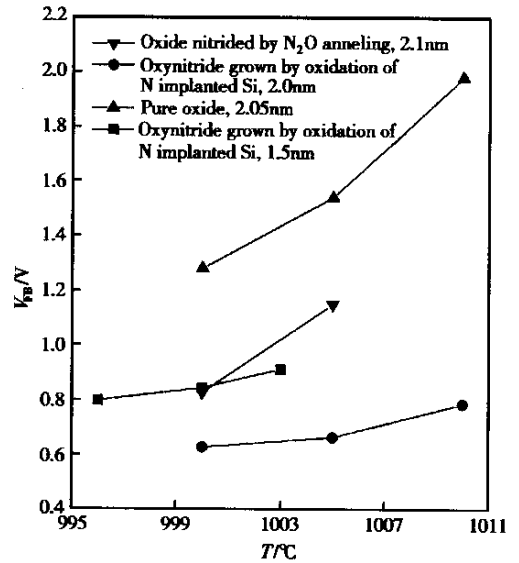


图 6 不同栅介质的 PMOS 电容平带电压 V_{FB} 随 RTA 温度的变化

Fig. 6 Dependence of flat voltage (V_{FB}) with the variation of RTA temperature in PMOS capacitors under the electron accumulation condition

艺相容性及进口限制等因素,本文采用高灵敏度并具有强抗蚀性的 SAL601 负性化学放大胶,但是它的分辨率一般只 100nm 左右,且工艺条件苛刻.通过一系列的工艺优化,结合背散射及临近效应修正技术研究,采用电子束曝光对分辨率只有 100nm 的 SAL601 负胶成功曝出 70nm 可用的图形.

3.2.2 灰化工艺和胶图形转移技术

如何使上述 70nm 线宽的 SAL601 电子束胶转换成 20~50nm 的抗蚀掩膜图形,是一个关键问题.本文采用两种工艺技术获得成功:一种是灰化工艺,即采用 O_2 等离子体使电子束胶被灰化,达到缩小胶线宽的目的;另一种是胶图形转移技术,即利用电子束胶图形为掩膜,先后对多晶硅上的 SiO_2 膜进行各向异性及各同性刻蚀,使电子束胶图形转移成线宽为 20~50nm 的 SiO_2 掩膜图形,再以此 SiO_2 为掩膜进行对多晶硅的 RIE 刻蚀.

特别是在电子束曝光后线宽偏宽的情况下,(如灯丝使用时间超过有效期后,同样曝光条件胶线宽会变宽),采用上述两种工艺技术的结合,是一种获得亚 30nm 抗蚀膜图形的行之有效的方法.

本项关键技术是制造亚 50nm 器件和电路成功与否的基础和前提.由于电子束曝光具有良好的均

匀性,灰化工艺和胶图形转移技术在优化条件下,也获得了好的均匀性.实验表明如果腐蚀速率控制得很低,腐蚀时间相应较长,抗蚀膜图形线宽就容易控制.这一点极其重要.

3.3 20~50nm 高选择比及高各向异性多晶硅栅图形的 RIE 刻蚀

多晶硅栅图形的反应离子刻蚀(RIE)工艺决定了器件物理栅的最终尺寸和剖面的形状,是决定器件电学性能的最严格的因素之一.20~50nm 线宽的多晶硅栅图形刻蚀面临的挑战有以下几个:(1)极高的刻蚀精度;(2)严格的各向异性刻蚀;(3)极高的刻蚀选择比,因为其中的栅介质已薄到 1.5nm,甚至更低.

本文采用改进的氟化技术,提高了胶的保形性和抗蚀性;同时在研究清楚抗蚀机理的基础上,选用 $\text{Cl}_2/\text{HBr}/\text{O}_2/\text{He}$ 的等离子化学,提出四步反应离子刻蚀工艺,优化了压力、功率和腐蚀气体组分等刻蚀参量,获得很好的结果.

四步腐蚀工艺如下:

第一步:去自然氧化物,采用 CF_4 ,低功率,高压;

第二步:主刻蚀-1,采用 $\text{Cl}_2/\text{HBr}/\text{He}$ 混合气体, $\text{Cl}_2:\text{HBr}=2:1$;

第三步:主刻蚀-2,采用 $\text{Cl}_2/\text{HBr}/\text{He}/\text{O}_2$ 混合气, $\text{Cl}_2:\text{HBr}=1.4:1$;

第四步:过刻蚀,用 $\text{Cl}_2/\text{HBr}/\text{He}/\text{O}_2$ 混合气体, $\text{Cl}_2:\text{HBr}=1:1.5$.

在优化的工艺条件下,获得极高的选择比 $\text{Poly-Si}/\text{SiO}_2>500:1$, SiO_2 损失 $<0.3\text{nm}$,对 1.5nm 栅 SiO_2 无损伤;极好的各向异性,剖面倾角 $>89^\circ$,线宽损失 $\leq 6\text{nm}$.

上述极好的结果的获得是由于对 $\text{Cl}_2/\text{HBr}/\text{O}_2$ 等离子化学的工艺优化的结果.我们知道 Cl 离子有助于获得各向异性的腐蚀^[9],HBr 有利于选择比的改善^[10],而 O_2 的加入更能进一步提高选择比.实验表明:主腐蚀用 $\text{Cl}_2:\text{HBr}=2:1$,而过腐蚀用 $\text{Cl}_2/\text{HBr}/\text{O}_2$ 能获得垂直的剖面和对 2.0nm 氮化氧化栅的足够的选择比.但对 1.5nm 的氮化氧化栅介质而言,上述工艺的选择比是不足够的,它引起有源区的损伤.为此,把主腐蚀分解为两步,主腐蚀-1 用 $\text{Cl}_2:\text{HBr}=2:1$,控制其腐蚀掉总厚度的 90%,然后进行第三步中的主腐蚀-2, $\text{Cl}_2:\text{HBr}=1.4:1$ 加入 O_2

3sccm,一旦栅介质暴露后即开始“过刻蚀”,条件如上所述,这样既获得垂直的腐蚀剖面,同时获得对 1.5nm SiO_2 足够的选择比.

图 7(a)和(b)分别给出了多晶硅栅刻蚀后和硅化物形成后的结构剖面的 SEM 照片.(a) $L_g=31.4\text{nm}$ (多晶硅栅刻蚀后, SiO_2 抗蚀掩膜未去);(b) $L_g=20.2\text{nm}$ (硅化物形成后).

可见即使多晶硅线宽缩小到 20nm,多晶硅栅剖面仍然陡直、光滑、连续,极好地满足了器件研制的要求.

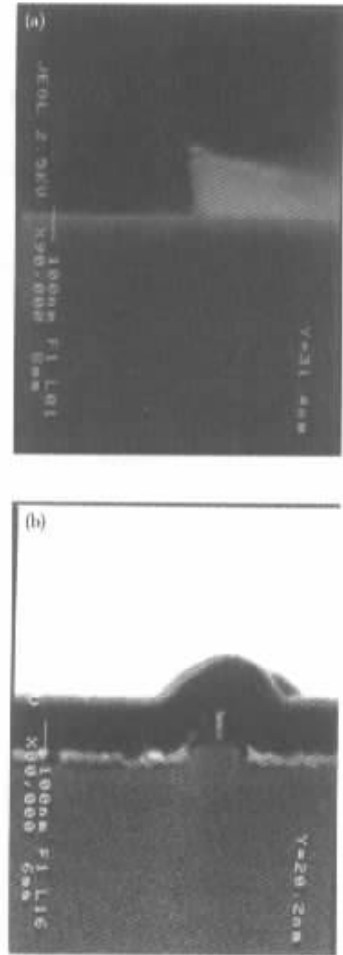


图 7 优化条件下的多晶硅栅电极 RIE 刻蚀后剖面的 SEM 照片 (a) RIE 后, $L_g=31.4\text{nm}$; (b) 硅化物形成后 $L_g=20.2\text{nm}$

Fig. 7 SEM profile of poly-Si gate after RIE etching under optimum condition (a) After RIE $L_g=31.4\text{nm}$; (b) After silicide formation $L_g=20.2\text{nm}$

3.4 超陡倒掺杂沟道掺杂剖面设计

当 CMOS 器件的沟道长度降到 40nm 以下时,其沟道平均掺杂浓度要 $>3 \times 10^{18}/\text{cm}^3$,如采用常规的沟道掺杂方法,将会带来一系列严重问题,如阈值电压升高,结电容变大,有效载流子迁移率下降.为获得合适的低阈值电压,同时又能抗源-漏穿通,抑制 SCE,需要有一个沟道表面浓度足够低,而沟道体内掺杂浓度足够高的超陡的不均匀沟道掺杂剖面.采用通常的离子源很难达到理想效果.本文对 NMOS 器件采用 B 加重离子 In 双重注入,对 PMOS 器件采用 P 加重离子 Sb 双重注入达到了十分满意的结果.这里采用重离子 In 和 Sb 的注入是由于它们低的扩散系数和窄的浓度分布跨度,能形成很陡的浓度分布,它的低沟道表面浓度,有利于低阈值电压的获得,并改善了载流子迁移率.而它的次表面高的体浓度很好地抑制了源漏穿通.同时由于采用横向限制的局域沟道双注入,故减小了结电容.

3.5 源-漏超浅延伸区

为抑制 SCE,除了控制纵向沟道区杂质浓度分布剖面外,还要控制横向的 S/D 杂质扩散,即延伸区的横向扩展,我们采用 Ge 非晶化,结合低能注入和快速退火的技术,控制 PMOS 源-漏延伸区结深在 32nm 左右.这比无非晶化注入的样品结深要浅 42%.同时由于 Ge 的注入,提高了 B 的激活率,使超浅结表面浓度提高,降低了寄生串联电阻,提高了电流驱动能力.同时由于采用了双层 spacer 结构,减小了栅对 S/D 的覆盖电容及 S/D 延伸区横向扩散对 SCE 的威胁.

3.6 Co/Ti 双元难熔金属自对准硅化物工艺

为减小源、漏及窄多晶硅栅的串联寄生电阻,同时又不至于由于难熔金属与硅之间的硅化反应诱生结漏电,本文采用 Co/Ti 双层难熔金属自对准硅化物工艺,抑制了硅的消耗,同时 TEM 表明生成的单晶 CoSi_2 与 Si 间的界面十分平滑,故克服了常规 Co-硅化工艺引起浅结漏电大的缺点.选择合适的 Co 和 Ti 层的厚度,采用两步退火工艺和其间的两步选择腐蚀,形成的在源/漏上的 CoSi_2 为 38nm,薄层电阻为 $7\Omega/\square$,在线宽为 30nm 左右的多晶硅栅上, CoSi_2 厚可达 115nm,薄层电阻为 $1.8\Omega/\square$ 左右.这一研究表明在 Co/Ti 自对准硅化物工艺中,随 L_g 缩小,栅薄层电阻也随之缩小.这是由于 Co-Si 反应

中,Co 是主动扩散源,结果使形成的 CoSi_2 膜在线条两侧较线条中间厚,在线宽缩小时由于这一边缘效应使 CoSi_2 线条整体厚度增厚,结果薄层电阻下降.这在超深亚微米技术中是十分吸引人的优点.

4 器件特性

本文针对 20~50nm CMOS 器件面临的种种挑战,在工艺技术上采用相应对策,深入研究了上述一系列关键工艺技术,对种种难题各个击破,得到了圆满解决,并优化集成技术,研制成功了高性能栅长为 42nm 的 CMOS 器件和栅长为 48nm 的 57 级 CMOS 环形振荡器.由于对各关键技术进行了深入系统的研究,摸清楚了其中的规律,各关键工艺都是可控的、可重复的,从而保证了集成技术的可控性和可重复性.图 8 和图 9 分别给出了 42nm CMOS 器

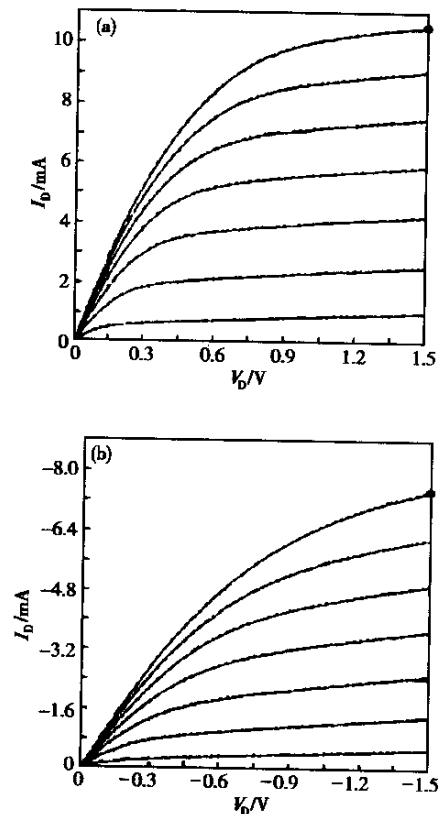


图 8 栅长为 42nm CMOS 器件的 I_D - V_D 输出特性 (V_G 从 $\pm 0.2\text{V}$ 到 $\pm 1.6\text{V}$, steps $\pm 0.2\text{V}$, 栅宽 $14\mu\text{m}$) (a) NMOS (+); (b) PMOS (-)

Fig. 8 I_D - V_D characteristics of 42nm CMOS devices (gate voltage from $\pm 0.2\text{V}$ to $\pm 1.6\text{V}$, steps $\pm 0.2\text{V}$, and gate width is $14\mu\text{m}$) (a) NMOS (+); (b) PMOS (-)

件 I_D-V_D 输出特性和亚阈值特性, 输出特性和亚阈值特性很好. 在 $\pm 1.5V$ 的电源电压下, NMOS 和 PMOS 器件的驱动电流 I_{on} 分别为 $745\mu A/\mu m$ 和 $-530\mu A/\mu m$. 相应的关态漏电流分别为 $3.5nA/\mu m$ 和 $-15nA/\mu m$. NMOS 的亚阈值斜率和 DIBL 为 $72mV/Dec$ 和 $34mV/V$, PMOS 的亚阈值斜率和 DIBL 分别为 $82mV/Dec$ 和 $57mV/V$. 这些结果充分表明研制成的 42nm CMOS 器件极好地抑制了 SCE 和 DIBL 效应. 在低的关态漏电下获得了高的电流驱动能力. 这归功于高质量的 2.0nm 氮化氧化栅介质和横向局域限定的超陡倒掺杂沟道掺杂剖面, 32nm 超浅高表面浓度 S/D 延伸区, 双 spacer 结构和低阻 Co/Ti 自对准硅化物工艺的采用. 同时应用上述技术, 还研制出了栅长为 48nm 的 57 级 CMOS 环形振荡器, 每级延迟为 19.9ps.

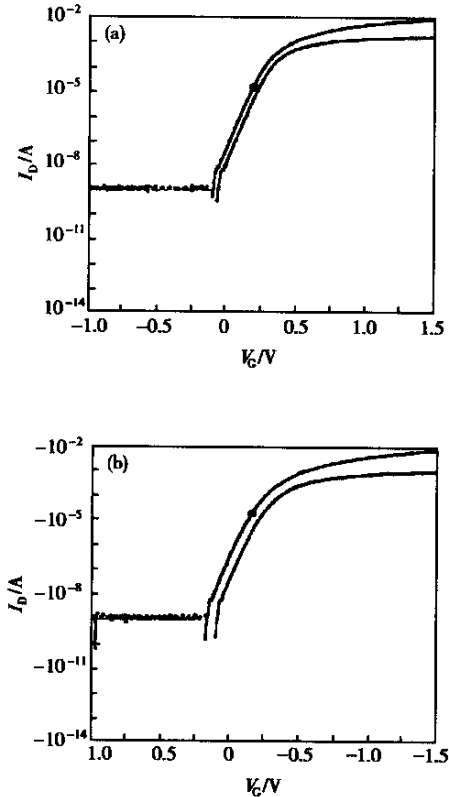


图 9 栅长为 42nm CMOS 器件的亚阈值特性 (V_{DS} 从 $\pm 0.1V$ 到 $\pm 1.5V$, 栅宽为 $14\mu m$) (a) NMOS (+); (b) PMOS (-)

Fig. 9 Sub-threshold characteristics of 42nm CMOS devices (V_{GS} from $\pm 0.1V$ to $\pm 1.5V$, and gate width is $14\mu m$) (a) NMOS (+); (b) PMOS (-)

5 结论

本文深入研究了 20~50nm CMOS 器件结构及关键工艺技术, 采用这些创新性的工艺技术研制成功了高性能 42nm 栅长的 CMOS 器件和栅长为 48nm 的 57 级 CMOS 环形振荡器. 极好地抑制了短沟道效应和 DIBL 效应, 获得了合适低的阈值电压和良好的亚阈值斜率, 高的电流驱动能力和小的关态漏电. 这一研究也表明了摩尔定律将可以在平面型亚 50nm 及以下特征尺寸的 CMOS 技术中继续运用, 具有强大的生命力.

致谢 作者衷心感谢中国科学院微电子中心深亚微米工艺技术研究室的同志对本研究课题的支持和做的大量工作; 感谢北京电镜中心段晓峰研究员和胡桂青同志在 TEM 分析上的热心帮助和细致工作; 感谢中国科学院化学所朱传风老师在 AFM 分析上的大力帮助; 感谢复旦大学曹永明教授在 SIMS 分析上的帮助; 感谢北京低能物理所在离子注入方面的帮助.

参考文献

- [1] Hisamoto D, Lee W C, et al. FinFET-A self-aligned double-gate MOSFET scalable to 20nm. IEEE Trans Electron Devices, 2000, 47(12): 2320
- [2] Oh S H, Hergenrother J M, et al. 50nm vertical replacement-gate (VRG) PMOSFETs. IEDM Tech Dig, 2000: 65
- [3] Allibert F, Ernst T, et al. From SOI materials to innovative device. Solid State Electron, 2001, 45(4): 559
- [4] Jurczak M, Skotnick T, et al. Silicon-on-nothing (SON) - an innovative process for advanced CMOS. IEEE Trans Electron Devices, 2000, 47(11): 2179
- [5] Mizuno T, Takagi S, et al. Electron and hole mobility enhancement in strained-Si MOSFETs on SiGe-on-insulator substrates fabricated by SIMOX technology. IEEE Electron Device Lett, 2000, 21(5): 230
- [6] Yu Bin, Wang Haihong, et al. 15nm gate-length planar CMOS transistor. IEDM Tech Dig, 2001: 937
- [7] Doyle B, Arghavani R, Barlage D, et al. Transistor elements for 30nm physical gate length and beyond. Int Technol J, 2002, 6(2): 42
- [8] Okada Y, Tobin P J, et al. Furnace grown gate oxynitride using nitric oxide (NO). IEEE Trans Electron Devices, 1994, 41(9): 1608
- [9] Oostra D J, Van Ingen R P, Haring A, et al. Near threshold Sputtering of Si and SiO₂ in a Cl₂ environment. Appl Phys Lett, 1987, 50(21): 1506
- [10] Tsou L Y. Highly selective reactive ion etching of polysilicon with hydrogen bromide. J Electrochem Soc, 1989, 136(10): 3003

High Performance 42nm Gate Length CMOS Device*

Xu Qiuxia, Qian He, Han Zhengsheng, Liu Ming, Hou Ruibing, Chen Baoqing,
Jiang Haojie, Zhao Yuyin and Wu Dexin

(R&D Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

Abstract: 20~50nm CMOS device structure and the key technologies are investigated. By these innovations of technologies, high performance 42nm gate length CMOS devices and 48nm gate length CMOS ring oscillators are fabricated successfully. At supply power voltage V_{DD} of $\pm 1.5V$, the drive current I_{on} of 42nm gate length CMOS are $745\mu A/\mu m$ for NMOS and $-530\mu A/\mu m$ for PMOS at off-state leakage I_{off} of $3.5 nA/\mu m$ for NMOS and $-15\mu A/\mu m$ for PMOS. The sub-threshold slope of 72mV/Dec and DIBL of 34mV/V for NMOS and sub-threshold slope of 82mV/Dec and DIBL of 57mV/V for PMOS are obtained. 48nm gate length 57 stage CMOS ring oscillator exhibits per-stage delay of 19.9ps at 1.5V.

Key words: 42nm gate length; CMOS device; super steep retrograde doping; ashing process; high selectivity, high anisotropy; Co/Ti SALICIDE

EEACC: 2560; 2550G; 2550B; 2550F

Article ID: 0253-4177(2003)S0-0153-08

* Project supported by National Key Basic Research of China(No. G2000036504)

Xu Qiuxia female, was born in 1942, professor and advisor of PhD candidates. Her current research includes 20~50nm device structure, key technologies, and integration technology.

Qian He male, was born in 1963, professor and advisor of PhD candidates. His current research focuses on deep-sub-micronmeter CMOS/VLSI technology.

Han Zhengsheng male, was born in 1962, professor and advisor of PhD candidates. His current research focuses on SOI/CMOS IC process and design.