

# 纳米尺度加工技术概述\*

王吉林 陈培毅

(清华大学微电子学研究所, 北京 100084)

**摘要:** 介绍了两大类纳米尺度加工技术——高分辨率技术和工艺流程控制形成纳米尺度技术. 其中高分辨率技术是微电子光刻技术的延伸, 包括高效率低成本并完全兼容现有 IC 工艺的极紫外光刻技术(extreme ultraviolet lithography)、高效率低成本但目前无法套刻且模板制作困难的纳米压印技术(nano-imprint lithography)和线条最精细但低效率的扫描探针技术(scanning probe lithography)等. 工艺流程控制形成纳米尺度技术利用一些常规工艺原理如侧墙掩膜和各向异性腐蚀、多孔氧化铝模板等实现局域或自组装纳米结构, 能在传统微电子工艺条件下超越光刻技术分辨率限制制备可控的纳米线条或点, 但集成度仍受光刻精度限制.

**关键词:** 纳米加工; 光刻; 纳米压印; 扫描探针显微镜; 侧墙掩膜; 各向异性腐蚀; 多孔氧化铝模板; 量子限制效应; S-K 模式

**EEACC:** 2550N; 2550G **PACC:** 8160C; 6116P

**中图分类号:** TN405 **文献标识码:** A **文章编号:** 0253-4177(2003)S0-0229-06

## 1 引言

在微电子学和机电系统的研究中, 已经成功采用微电子工艺实现了微米量级的器件、电路和机械装置. 随着集成电路的规模指数级增长, 目前研究的器件的特征尺寸已经达到几十乃至十几纳米<sup>[1]</sup>, 大规模生产上也已达到 100nm. 在纳米电子学的研究中, 更需要实现直径小于 10nm 的量子点<sup>[2]</sup>. 这就要求高效的、高精度的纳米尺度加工技术.

纳米尺度加工, 可分为自上而下和自下而上两种途径. 自上而下途径可理解为微电子工艺的延伸, 从高纯度低缺陷的体材料出发, 通过更精细的光刻和外延、刻蚀等工艺实现可批量制作、高重复率、高成品率的纳米结构. 自下而上则用一些物理或化学方法, 从原子和分子尺度自组织形成纳米结构.

自上而下途径作为微电子技术的延续, 能够在纳米结构的实现过程中同时实现系统级有序化, 适合生产非常复杂的、适应大规模信息处理需要的纳

米电路和系统, 但设备投资和设计成本相对昂贵. 幸运的是, 一些新技术可能有助于降低成本. 自下而上途径一般能够通过相对较少的人工干预形成规则可靠的纳米结构和器件, 但难以引入较大的系统复杂性. 随着存储器和容错<sup>[3]</sup>(fault tolerance)以及神经网络等技术的进步, 有望在后续步骤引入系统复杂性.

本文对现有的一些纳米加工技术依据纳米尺度的产生过程分为两类: (1)应用高分辨率技术; (2)工艺流程控制形成纳米尺度. 其中前者属于自上而下途径, 后者则包括自下而上途径及自上而下途径的一部分.

## 2 高分辨率技术

应用高分辨率技术形成纳米结构是实现自上而下途径中最基本的手段. 光刻技术的进步和一些新型高分辨率技术的出现为实现复杂纳米结构提供了保障.

\* 国家自然科学基金重点基金资助项目(批准号: 69836020, 10075029)

王吉林 男, 1978 年出生, 博士研究生, 研究方向为 SiGe 异质结、纳米结构材料制备及相关器件.

陈培毅 男, 1944 年出生, 教授, 博士生导师, 研究方向为新型半导体材料及器件, 半导体单片集成技术及微电子学.

### 2.1 光刻技术的发展<sup>[4]</sup>

不断发展的光刻技术对微电子技术进步起了不可或缺推动作用. 光刻技术实现的最小尺寸受到曝光波长的限制, 虽可通过一些手段改进, 但作用有限. 因此, 要实现极细微的特征尺寸要使用相当短波长的光波. 目前研究的极紫外光刻技术 (extreme ultraviolet lithography, EUV) 使用波长 11~13nm 的极紫外光, 系统采用精度极高的反射式光学系统, 以避免折射系统中强烈的光吸收. 如何实现足够功率的短波长光源也是一个难点. 整个光刻系统造价非常昂贵. 除极紫外光刻之外, 比较有前途的还有电子束光刻和接近式 X 射线光刻, 但其也存在一些不足之处, 如产出低, 模板难以制作等, 从而离工业应用还有一段距离.

### 2.2 纳米压印技术

应用光刻技术制造越来越小特征尺寸芯片的成本越来越高, 甚至影响摩尔定律继续作用<sup>[5]</sup>. 一种能够制备小于 10nm 线条的纳米压印技术可能会延缓摩尔定律失效. Chou 于 1996 年在美国《科学》杂志上发表一篇有关纳米压印技术的文章<sup>[6]</sup>. 纳米压印平版印刷技术 (imprint lithography) 采用预制好的压模 (通常为 SiO<sub>2</sub> 模板) 在高分辨率的胶膜 (常用 PMMA) 上压印以形成图形 (在衬底上涂一层胶, 将压模压在胶膜上, 加温软化后加压, 降温后将衬底与模板分离), 通过去除残留胶和刻蚀将图形传递到衬底上, 如图 1 所示. 该技术从根本上解决了常规光刻存在的一些缺点, 如光衍射局限、光散射等, 可以在很大区域内获得 10nm 以下的结构<sup>[7]</sup>, 而且成本低、生产效率高.

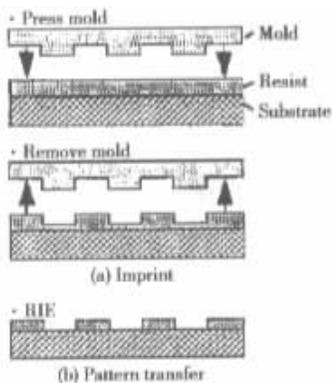


图 1 纳米压印的基本过程<sup>[7]</sup>

Fig. 1 Nanoimprint lithography process<sup>[7]</sup>

该技术提出以后, 很多人对其进行试验, 包括选择合适的压印胶, 研究适合的压力和压印时间, 以滚动式压印代替平面压印等. 有人采用溶剂将胶软化后压印<sup>[8]</sup>, 取消了热过程, 只是得到的图形不及原来精细. 采用压印方法还成功的制作了 MOSFET<sup>[9]</sup>, 显示了其器件应用的潜力.

最近 Chou 等人又将该技术作了改进, 采用全石英压模, 用激光将硅衬底融化后压印得到图形, 称之为 ‘laser-assisted direct imprint’ (LADI)<sup>[10]</sup>. 由于不再需要涂胶和刻蚀等工艺, 进一步保证了图形的精细和材料的质量, 避免干法刻蚀中静电积累对器件的伤害. 图 2 描述了 LADI 的过程.

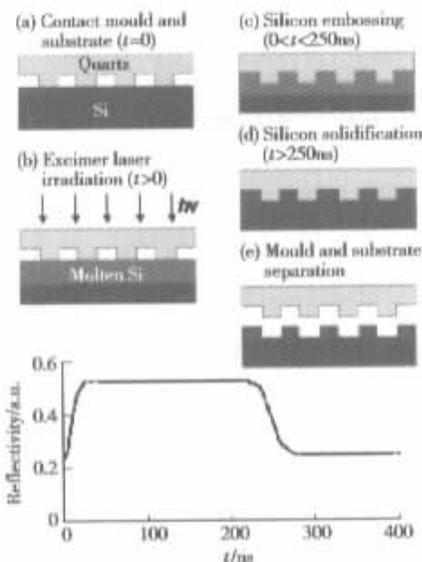


图 2 激光辅助直接压印(LADI)<sup>[10]</sup>

Fig. 2 Laser-assisted direct imprint<sup>[10]</sup>

纳米压印技术具有低成本高产出的优点, 但是离工业应用还有相当距离. 目前该技术只能提供单步的压印, 无法套刻以实现更为复杂的器件结构. 掩模版的制作也是一个难点.

### 2.3 扫描探针技术

扫描探针显微镜是目前精度最高的显微技术之一, 不仅能够用来描述表面结构, 也能用来移动原子以及处理表面. 最常见的扫描探针显微镜 (scanning probe microscope, SPM) 是扫描隧道显微镜 (scanning tunneling microscope, STM) 和原子力显微镜 (atomic-force microscope, AFM). 由于移动单个原子的方法不适宜制作纳米结构, 目前比较常用

的方法称为选择阳极氧化法<sup>[11]</sup>,该方法用探针直接在一层很薄的(3nm)Ti膜上形成氧化物图形.在SiO<sub>2</sub>/Si衬底上淀积3nm的Ti膜,在大气中,以STM或AFM的探针(需要导电,AFM针尖可以蒸上一层金或钛金属以导电)为阴极,在针尖和Ti膜之间加上电压,靠近针尖处的Ti膜将会被吸附的水分子氧化形成氧化钛(TiO<sub>x</sub>).将针尖在Ti膜表面扫描,将会形成氧化钛的线条,控制针尖的扫描速度和范围,可形成所需的复杂图形.目前已经用这种方法制备了可以在室温下工作的单电子晶体管<sup>[11]</sup>.因为针尖的加工速度很慢,生产率的提高是一个难题.有人设想用探针阵列进行加工.现有SPM的扫描范围不够大也是一个需要解决的问题.德国SIOS公司(<http://www.sios.de/>)已推出扫描范围为25mm×25mm×5mm,精度为1.24nm的纳米测量机,因此相信这一问题可以得到解决.

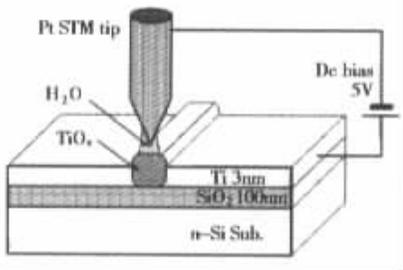


图3 STM阳极氧化工艺<sup>[11]</sup>

Fig. 3 STM selective nano-oxidation process<sup>[11]</sup>

### 3 工艺流程控制纳米尺度形成

除采用高分辨率技术形成纳米结构之外,也可以采用某些特定工艺在结构中形成纳米尺度.微电子工艺中已有一些工艺可以生长厚度为纳米级的外延层,在垂直于衬底方向形成精确的纳米结构.也可采用某些手段将垂直方向的纳米尺度在小范围内转移到水平方向,形成局部纳米结构.某些电化学方法更可直接形成局域纳米结构.除这类人工方法之外,也可在某些条件下用自组织方法形成密度较高,尺寸比较一致的纳米结构.这些方法都能够在传统的微电子工艺条件下超越光刻分辨率的限制,制备可控的纳米尺寸的线条或点,但集成度仍受光刻精度限制.自组织形成的量子点通常无法实现大范围的可控有序排列.

#### 3.1 垂直向纳米尺度形成

常见的精确外延如分子束外延(MBE),金属有机化合物气相外延(MOCVD),超高真空外延(UHVCVD)等用来形成纳米级的外延层,用于量子阱、超晶格材料的制备等.常规氧化工艺通过控制温度和时间能够生长厚度准确到纳米级的氧化膜,控制得比较好的PECVD和LPCVD工艺也可用来淀积SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、多晶或非晶Si等纳米薄膜.

#### 3.2 垂直向纳米尺度向水平向转化

将用外延或氧化等工艺形成的垂直向纳米尺度转移到水平向,通常可以采用侧墙工艺<sup>[12]</sup>,如图4所示.将SOI膜生长氧化层之后淀积Si<sub>3</sub>N<sub>4</sub>,用光刻和RIE形成图形,再淀积无定形Si,干法刻蚀形成侧墙.去除Si<sub>3</sub>N<sub>4</sub>后用该侧墙为掩膜在氧化层上形成图形,然后再用干法刻蚀将图形转移到SOI膜上.最后得到的SOI量子线宽度和淀积的无定形Si厚度密切相关,实现了垂直向纳米尺度向水平向的转化.

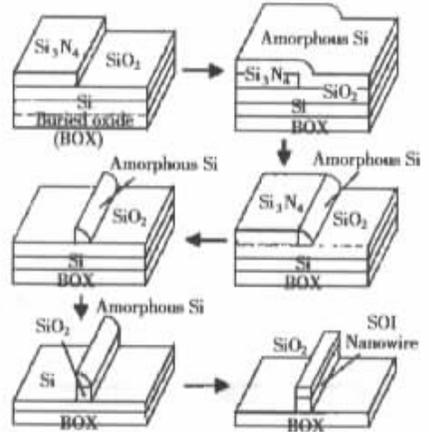


图4 侧墙工艺制备SOI量子线<sup>[12]</sup>

Fig. 4 Process sequence of the side-wall patterning method to fabricate SOI quantum-wire<sup>[12]</sup>

利用SOI的单晶Si膜的各向异性腐蚀特性,可以形成宽度和Si膜厚度可比拟的量子线.如图5(a)所示,用Si<sub>3</sub>N<sub>4</sub>掩膜保护,将SOI膜用各向异性腐蚀液TMAH腐蚀出图形,使某边沿平行<110>方向.在Si<sub>3</sub>N<sub>4</sub>掩膜的保护下侧向氧化Si膜,去除Si<sub>3</sub>N<sub>4</sub>.或者如图5(b),将Si膜生长氧化膜之后,用干法刻蚀形成侧墙.以上步骤完成后用TMAH腐蚀Si膜,

腐蚀在 {111} 面自停止,形成截面为三角形的 Si 量子线.

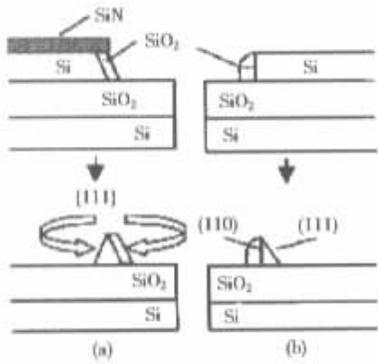


图 5 各向异性腐蚀形成 Si 量子线<sup>[13]</sup>

Fig. 5 Process sequence of the anisotropic etching method to fabricate Si quantum-wire<sup>[13]</sup>

### 3.3 水平向纳米尺度直接控制

JAIST 的 School of Materials Science 采用阳极氧化方法及剥离工艺,直接在常规光刻的边缘形成几纳米到几十纳米的缝隙<sup>[14]</sup>. 并利用该工艺研制出了所谓金属/绝缘体隧道晶体管 (metal/insulator tunnel transistor, MITT), 在 90K 下开关电流比达到  $10^5$ , 室温下也可工作<sup>[15]</sup>. 具体方法是,在 Ti 膜上用光刻和 RIE 形成图形后不立即去胶,而是用专门的电解液将 Ti 膜阳极氧化. 由于光刻胶的保护,阳极氧化将沿着图形边缘向内进行. 控制适当的电极电压可以控制氧化的深度. 氧化之后再淀积一层 Ti 膜,将光刻胶上方的 Ti 剥离,湿法腐蚀掉阳极氧化生成的  $TiO_x$ , 就形成了如图 6 所示的纳米缝隙.

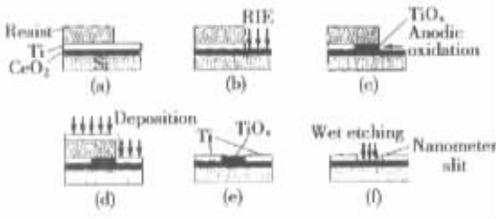


图 6 侧向阳极氧化和剥离工艺形成纳米缝隙<sup>[14]</sup>

Fig. 6 Fabrication process to form nanometer slit using side-edge anodic oxidation and lift-off technology<sup>[14]</sup>

### 3.4 纳米尺度的自组织形成

常见的方法有阳极氧化多孔氧化铝模板、颗粒结构薄膜、Stranski-Krastanow(S-K)方法生长量子

点等.

铝在酸性或弱碱性电解液中阳极氧化时,由于电解质可溶解氧化铝,在合适的氧化电流下能够形成多孔氧化铝膜. 这种膜紧靠着金属铝表面是一层薄而致密的阻挡层,在其上则形成较厚而疏松的多孔层<sup>[16]</sup>. 多孔层的膜胞为六角形紧密堆积排列,每个膜胞中心都有个纳米级的微孔. 这些孔大小均匀,彼此相似,且与基体表面垂直,其结构见图 7. 这样的有序纳米孔阵列可以作为模板,利用电镀等方法形成纳米器件<sup>[17]</sup>.

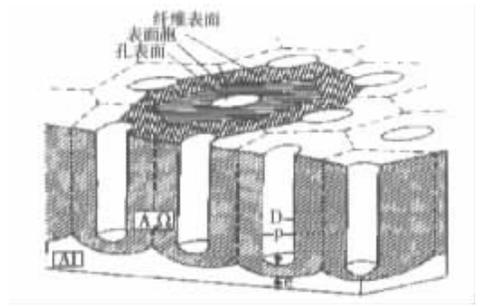


图 7 纳米多孔氧化铝模板<sup>[16]</sup>

Fig. 7 Porous anodic aluminum oxide template<sup>[16]</sup>

超薄的 SOI 膜(3nm)用胆碱处理使表面粗糙,如图 8 所示. Si 膜很薄,产生很强烈的量子限制效应(quantum confinement effect),使不同厚度处的最低能级差异达到 300meV<sup>[19]</sup>,远大于室温下的 kT 值(26meV). 在薄膜的某些地方将形成量子沟道和量子阱. 用这种方法已经成功地制成可以在室温下工作的单电子存储器<sup>[18,19]</sup>.

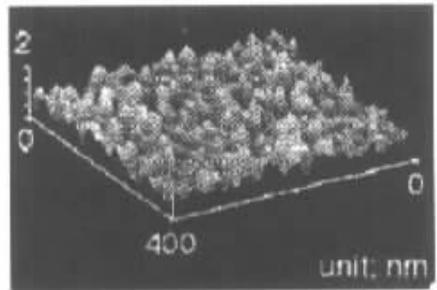


图 8 粗糙超薄 SOI 膜 AFM 照片<sup>[18]</sup>

Fig. 8 AFM image of roughed SOI ultrathin film<sup>[18]</sup>

S-K 模式<sup>[20]</sup>生长量子点与其他方法相比,具有方法简单、表面缺陷少等特点. 类似于水蒸气在玻璃片上凝结成小水珠,在 MBE、MOCVD 和

UHVCVD 外延高应变材料 S-K 生长模式的过程中,外延最初是二维层状生长,随外延层厚度的增加产生应变积累,导致在临界厚度时外延由层状生长转变成岛状生长以便降低系统能量(岛状结构通过弹性形变释放应力),形成了纳米尺度的均匀无位错小岛,一定条件下还有显著的局部有序.生长多层量子点时,有明显的垂直向自对准特点.这种半导体自组量子点结构通常有 In(Ga)As/GaAs,(Si)Ge/Si 等体系,可用于制作激光器,光探测器等.

## 4 结论

总结了微电子工艺向纳电子工艺发展过程中的问题和解决方案,侧重介绍了一些非光刻的高分辨率工艺和一些利用常规物理化学方法实现局域或自组装纳米结构工艺.

## 参考文献

- [1] Kawaura H, Sakamoto T, Baba T, et al. Transistor characteristics of 14-nm-gate-length EJ-MOSFETs. *IEEE Trans Electron Devices*, 2000, 47(4): 856
- [2] Wasshuber C. *Computational single-electronics*. Wien, New York: Springer, 2001
- [3] Heath J R, Kuekes P J, Snider G S, et al. A defect-tolerant computer architecture: opportunities for nanotechnology. *Science*, 1998, 280: 1716
- [4] Ito T, Okazaki S. Pushing the limits of lithography. *Nature*, 2000, 406: 1027
- [5] Moore G E. Moore's law repealed, sort of. *Wired*, 1997, 5: 05 ([http://www.wired.com/wired/archive/5.05/ff\\_moore.2\\_pr.html](http://www.wired.com/wired/archive/5.05/ff_moore.2_pr.html))
- [6] Chou S Y, Krauss P R, Renstrom P J. Imprint lithography with 25-nanometer resolution. *Science*, 1996, 272: 85
- [7] Krauss P R, Chou S Y. Sub-10nm imprint lithography and applications. *Device Research Conference Digest*, 1997, 5th, 1997: 90
- [8] Khang D Y, Lee H H. Room-temperature imprint lithography by solvent vapor treatment. *Appl Phys Lett*, 2000, 76: 870
- [9] Nakamura H, Baba A, Asano T. Imprint lithography using triple-layer-resist and its application to MOSFET fabrication. *Microprocesses and Nanotechnology Conference*, 2000 International, 2000: 232
- [10] Chou S Y, Keimel C, Gu J. Ultrafast and direct imprint of nanostructures in silicon. *Nature*, 2002, 20, 417: 835
- [11] Matsumoto K. STM/AFM nano-oxidation process to room-temperature-operated single-electron transistor and other devices. *Proceedings of the IEEE*, 1997, 85(4): 612
- [12] Kim D H, Sung S K, Kim K R, et al. Si single-electron transistors with sidewall depletion gates and their application to dynamic single-electron transistor logic. *Electron Devices Meeting*, 2001, IEDM Technical Digest. International, 2001: 7.3.1
- [13] Normand P, Tsoukalas D, Aidinis C, et al. Fabrication of Si nano-wires using anisotropic dry and wet etching. *Microelectronic Engineering*, 1998, 41~42: 551
- [14] Hashioka S, Matsumura H. 10nm size fabrication of semiconductor substrates and metal thin lines by conventional photolithography. *Microprocesses and Nanotechnology Conference*, 2000 International, 2000: 184
- [15] Fukushima K, Sasajima I, Fujimaru K, et al. A novel nanoscale metal transistor fabricated by conventional photolithography. *Microprocesses and Nanotechnology Conference*, 1999. Digest of Papers. *Microprocesses and Nanotechnology '99*. 1999 International, 1999: 88
- [16] Guo H T, Wang W. Review and prospect for anodic oxidation of aluminum. *Materials Protection*, 2000, 33(1): 43 (in Chinese)[郭鹤桐, 王为. 铝阳极氧化的回顾与展望. *材料保护*, 2000, 33(1): 43]
- [17] Routkevitch D, Tager A A, Haruyama J, et al. Non-lithographic nano-wire arrays: fabrication, physics, and device applications. *IEEE Trans Electron Devices*, 1996, 43(10): 1646
- [18] Uchida K, Koga J, Ohba R, et al. Planar non-volatile memory with single-electron channel fabricated on a hyper-thin SOI film. *Device Research Conference Digest*, 1999 57th Annual, 1999: 138
- [19] Yano K, Ishii T, Hashimoto T, et al. Room-temperature single-electron memory. *IEEE Trans Electron Devices*, 1994, 41(9): 1628
- [20] Zhang C. Semiconductor quantum dot and quantum wire material and their fabrication technology. *Microfabrication Technology*, 2001, (1): 74 (in Chinese)[张臣. 半导体量子点和量子线材料及其制备技术. *微细加工技术*, 2001, (1): 74]

# Nanoscale Fabrication Techniques<sup>\*</sup>

Wang Jilin and Chen Peiyi

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

**Abstract:** Two classes of nanoscale fabrication techniques, including high-resolution techniques and process induced techniques, are introduced. High-resolution techniques, as the extension of microelectronics lithography, include the efficient but expensive Extreme Ultraviolet Lithography, the very efficient and low-cost, immature nano-imprint Lithography, and the fine but low-output Scanning Probe Lithography. Process induced techniques use some routinely used process and principle, such as sidewall, anisotropic etching and porous anodic aluminum oxide template to form local or self-assemble well-controlled nanostructure. Although the nanostructure is beyond the resolution of photolithography used in process, the integrated density is restricted by photolithography.

**Key words:** nanofabrication; photolithography; imprint lithography; sidewall patterning; anisotropic etching; porous anodic aluminum oxide template; quantum confinement effect; S-K mode

**EEACC:** 2550N; 2550G      **PACC:** 8160C; 6116P

**Article ID:** 0253-4177(2003)S0-0229-06

---

<sup>\*</sup> Projects supported by National Natural Science Foundation of China (Nos. 69836020 and 10075029)

Wang Jilin male, was born in 1978, PhD candidate. He now works on the SiGe heterojunction devices, nanometer structure/material fabrication and associated devices.

Chen Peiyi male, was born in 1944, professor, advisor of PhD candidates. His current interests include new semiconductor materials and devices, monolithic integration technology and nanoelectronics.