

新型 SON 器件的自加热效应

吴大可 田 豫 卜伟海 黄 如

(北京大学微电子学研究所, 北京 100817)

摘要: 分析了自加热效应对 SON 器件性能的影响, 并与 SOI 器件进行了比较. 提出构造散热通路的方法来抑制 SON 器件的自加热效应, 分析了不同通路情况对自加热效应的抑制程度. 还对散热性能较好的具有不连续空洞埋层的 SON 器件进行了研究, 并分析了空洞大小和横向位置偏差对器件性能的影响, 为器件结构设计提供了指导.

关键词: silicon-on-nothing 器件; 自加热效应; 散热通路; 空洞层

EEACC: 2560; 2890

中图分类号: TN3 文献标识码: A 文章编号: 0253-4177(2005)07-1401-05

1 引言

SOI 器件由于具有寄生电容小、易形成浅结、可以避免门锁效应、良好的电学特性等优点, 成为深亚微米工艺中极具潜力的一种技术^[1,2]. 随着集成度的不断提高, 器件的特征尺寸不断减小, 漏端对源端的影响越来越大, 使漏端电力线大量穿透到源端, 影响器件性能. 有研究发现, 通过减小 SOI 器件的埋层介电常数, 可以减小电力线从漏端通过埋层到源端的耦合, 有效地抑制 DIBL 效应, 提高器件的性能, 特别是在薄硅膜器件中, 埋层对器件的影响相对加大, 减小埋层介电常数能得到更为良好的器件性能^[3]. 由此考虑, 介电常数为 1 的空洞层是埋层材料的理想选择, 这就是本文所谓的 SON (silicon-on-nothing) 器件. SON 器件不但能更好地抑制 DIBL 效应, 而且在亚阈值斜率、开关比、scaling-down 能力方面, 均体现出优于 SOI 器件的特性, 所以适合应用于更小尺寸的器件. 但是, SON 器件由于埋层材料为空洞层, 它的热导率较小, 使器件工作时产生的热量不能很快地通过衬底散发, 所以自加热效应会影响器件的性能, 成为 SON 器件发展的一个阻碍. 关于这方面的研究还未见报道. 本文主要针对 SON 器件的自加热效应进行研究, 并提出改进的方法以及相关的器件设计考虑.

2 器件结构

本文采用 ISE 二维模型, 对器件性能进行模拟, 模拟所用的 SON 器件结构如图 1 所示. 这种结构和通常的 SOI 器件基本相同, 只是埋层材料用空洞层代替了 SiO_2 , 使埋层材料的介电常数由 SiO_2 的 3.9 下降为空洞的 1, 这样可以有效抑制漏端电力线通过埋层穿透到源端, 抑制 DIBL 效应, 提高器件性能. 与此同时, 相应的材料热导率也大大降低, 阻碍了热量的散发, 使自加热效应明显, 降低了器件驱动能力, 给器件性能带来不利的影响. 图中, 器件沟道长度 (L) 为 50nm, 栅氧化层厚度 (T_{ox}) 为 3nm, 源/漏区掺杂浓度为 10^{20} cm^{-3} ; LDD 区宽度为 80nm, 掺杂浓度为 10^{19} cm^{-3} , 结深与硅膜厚度相同; 埋层厚度 (T_{box}) 和硅膜厚度 (T_{si}) 为可变参数.

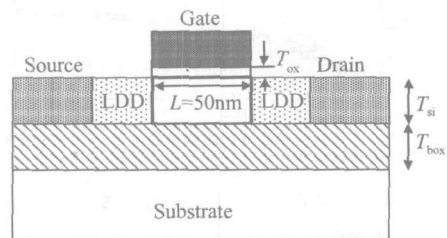


图 1 模拟结构示意图

Fig. 1 SON device structure used in simulation

吴大可 男, 1981 年出生, 硕士研究生, 主要从事小尺寸器件特性研究.

田 豫 女, 1979 年出生, 博士研究生, 主要从事超深亚微米 MOS 器件研究.

黄 如 女, 1969 年出生, 博士, 教授, 主要从事超深亚微米 MOS 器件、SOI 技术研究.

2004-09-16 收到, 2004-11-12 定稿

3 SON 器件自加热效应分析

3.1 自加热效应的影响

MOSFET 的各种器件特性都是与温度紧密相关的,温度的升高不仅会影响到器件的各种特性,还会严重影响到电路的可靠性问题.由于 SOI 器件有 SiO₂ 埋层,且 SiO₂ 的热导率大概只有 Si 的 1%,所以产生的热不能象体硅器件那样很好地散发,这就导致沟道区晶格温度升高,载流子的迁移率降低,使饱和输出电流下降,引起很多负面效应^[4,5].SON 与 SOI 类似,同样有埋层,而且 SON 埋层是导热性较差的空洞层,这必然使 SON 的自加热效应更为明显.图 2 给出 SOI 与 SON 器件在考虑自加热效应和不考虑自加热效应时的输出特性曲线的对比.为避免由于埋层材料不同而带来的两种器件的特性差别,此模拟中选用较大 T_{si} .可见,由于自加热效应的影响,使两种器件的饱和输出电流大幅度下降,说明两者由于埋层的存在都严重影响到器件的热量散发,自加热效应明显.以 SON 器件为例,考虑温度影响后器件的开态电流 I_{on} 比不考虑温度影响的结果降低 56.8%,器件的驱动能力大幅降低,可见自加热效应会严重影响 SON 的器件特性,所以需要进一步研究并提出有效的解决方案.

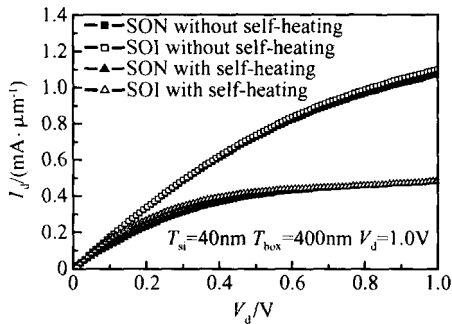


图 2 SON 和 SOI 器件在考虑自加热与不考虑自加热情况下的输出特性曲线比较
Fig.2 Influence of SHE on output curves of SON and SOI devices

3.2 T_{box} 对自加热效应的影响

由上面的分析可以看到,对于 SON 器件,自加热效应明显,而阻隔器件热量散发的就是导热性较差的埋层,下面研究埋层厚度对器件自加热效应的影响.

图 3 和图 4 分别给出 SON 和 SOI 器件随埋层厚度变化的沟道区晶格温度和电子迁移率的变化,所取的温度和电子迁移率均为沟道区的最大值.可见,对于 SOI 器件,散热性能的优劣与埋层厚度紧密相关,埋层越薄,热量越容易通过埋层传导到衬底而散出,反之则引起热量的积累,使晶格温度升高,电子迁移率大幅下降.与 SOI 器件不同,对于 SON 器件, T_{box} 变化时,器件的晶格温度和电子迁移率基本没有变化.这主要是因为 SON 埋层选用空洞材料,导热性能较差,即使很薄的埋层也足以阻碍热量的散发,所以 SON 的自加热效应对埋层厚度不敏感.

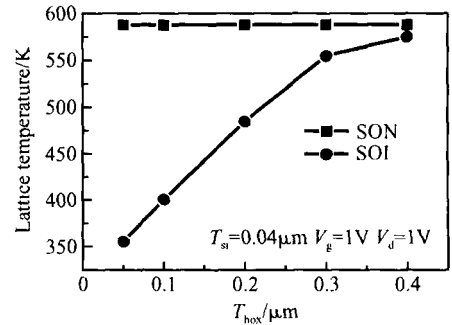


图 3 SON 和 SOI 器件在不同 T_{box} 时的沟道区晶格温度
Fig.3 Comparison of channel lattice temperature for various T_{box} between SON and SOI

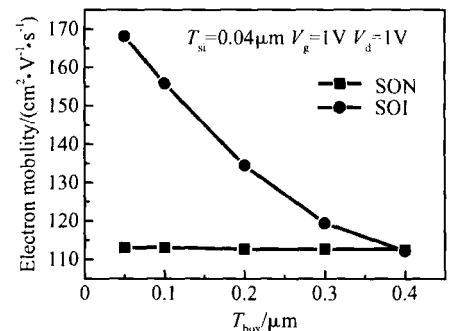


图 4 SON 和 SOI 器件在不同 T_{box} 时的电子迁移率
Fig.4 Comparison of channel electron mobility for various T_{box} between SON and SOI

同时发现,对于 SOI 器件,当它具有很薄的埋层厚度时,其沟道区晶格温度可以下降到很低,电子的迁移率也有显著提高(基本达到相同模拟条件下体硅器件的标准),这说明 SOI 器件通过减薄埋层厚度就能基本解决自加热问题.但 SON 器件的自加热效应对埋层厚度不敏感,所以无法通过减薄埋层来抑制自加热效应.图 5 给出不同 T_{box} 条件下的

输出特性曲线,从中也可以看出 SON 器件的自加热效应对埋层厚度不敏感;SOI 器件的 T_{box} 越大,自加热效应越明显,从而使饱和电流下降.

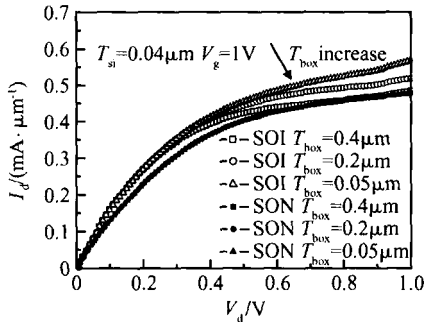


图 5 不同 T_{box} 情况下的输出特性曲线

Fig. 5 Output curves with SHE for various T_{box}

3.3 自加热效应的抑制

SON 器件自加热效应明显的根源在于埋层材料的导热性差,由前面的分析可知,通过减薄埋层无法达到抑制 SON 器件自加热效应的目的,所以需要构造散热通路,使热量可以通过埋层并从衬底散出.因此,本文提出两种方案抑制 SON 器件的自加热效应:一种是在源漏下方、器件两侧各构造一条散热通路;一种是形成不连续的空洞层,使沟道区和衬底有多条硅通路相连.

图 6 是按上述第一种方案,在源漏下方、器件两侧构造了散热通路的 SON 器件结构示意图.通路的材料为 Si,掺杂与衬底相同,通路宽度为 W_p .此结构可以通过多种方法实现,例如可利用 ESS^[6] (empty space in silicon) 技术,在形成空洞层后,通过控制器件隔离 STI 与空洞层边沿的对准距离来控制散热通路的宽度,从而实现图 6 的结构.

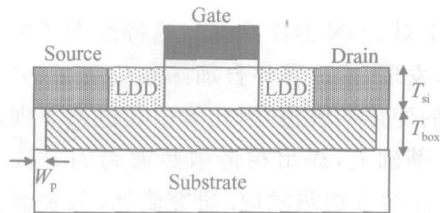


图 6 带散热通路的 SON 结构示意图

Fig. 6 SON structure with thermal dissipating paths

图 7 给出沟道区晶格温度和电子迁移率随散热通路宽度变化的情况,在模拟中完整地考虑了各种温度影响.从图中可以看出,构造散热通路后,器件工作时的沟道区晶格温度明显下降,同时电子的迁

移率也明显提高.随着通路宽度的加大,自加热效应的影响变小.我们注意到,当散热通路宽度较小时(小于 $0.02\mu\text{m}$),沟道区晶格温度和电子迁移率对通路宽度的敏感度很高,可以分别达到 $18000\text{K}/\mu\text{m}$ 和 $8750\text{cm}^2/(\text{V}\cdot\text{s}\cdot\mu\text{m})$,这就要求形成的通路宽度十分精确,否则很难保证制作出的众多器件的一致性.当 $W_p > 0.02\mu\text{m}$ 后,敏感度下降,沟道区晶格温度和电子迁移率随通路宽度变化趋于缓慢,分别下降到 $1120\text{K}/\mu\text{m}$ 和 $600\text{cm}^2/(\text{V}\cdot\text{s}\cdot\mu\text{m})$,这对工艺精确度的要求大大降低.同时,当 $W_p > 0.02\mu\text{m}$ 后,沟道区晶格温度已经下降到接近室温的 340K 以下,SON 器件的自加热效应已经得到有效抑制.所以,只要构造宽度大于 $0.02\mu\text{m}$ 的散热通路就可以有效改善 SON 器件的自加热问题.

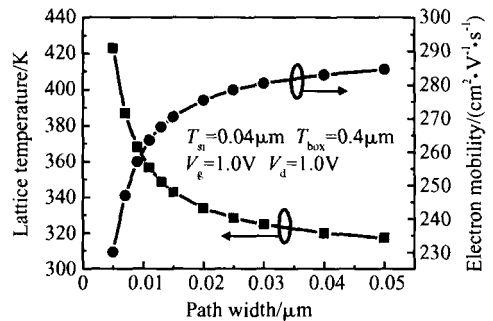


图 7 晶格温度和电子迁移率随散热通路宽度变化示意图

Fig. 7 Channel lattice temperature and electron mobility dependence on W_p

另一种抑制 SON 器件自加热效应的方案,是采用不连续的空洞埋层,即具有多散热通路的埋层.这种不连续的空洞埋层可通过氢氦联合注入实现,通过调节注入能量和退火温度可以控制不连续空洞层的深度和空洞的大小.这种具有不连续空洞层的 SON 结构与第一种方案相比,具有更多散热通路,而且散热通路的位置不仅仅局限于源漏两侧,所以散热效果较好,可以很好地抑制自加热效应.

4 空洞不连续对器件的影响

前面所提到的第二种方案,通过构造不连续的空洞层,形成多条散热通路,可以有效地抑制自加热效应,但不连续空洞的大小和横向位置偏差可能会给器件性能带来影响,下面我们将对此进行研究.

采用如图 8 所示结构来模拟具有不连续空洞层的 SON 器件,空洞层是“空洞-硅-空洞”间隔的结

构. 空洞为 $L_v \times 50\text{nm}$ 的长方形空洞 (L_v 为空洞的横向长度), 每两个空洞之间都有 $10\text{nm} \times 50\text{nm}$ 的长方形硅孔 (横向长度为 10nm), 我们通过 L_v 的变化来模拟空洞大小变化的影响 (L_v 变化, 硅孔宽度也随之变化). 同时, 以空洞正好位于沟道的正下方 (沟长也为 50nm , 与空洞横向长度相同) 为标准, 通过空洞层整体横向移动的位移 X 的变化 ($X > 0$ 时为向漏端移动), 来模拟空洞横向位置偏差的影响.

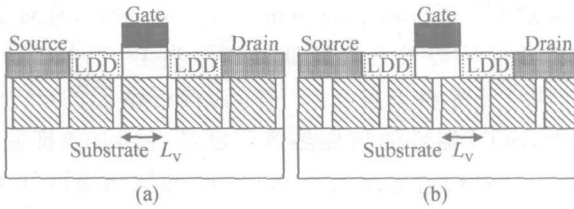


图 8 不连续空洞 SON 器件模拟结构 (斜线为空洞, 白色为硅) (a) 空洞在沟道正下方, $X=0$; (b) $X = \pm 30\text{nm}$

Fig. 8 SON structure with discrete void layer

图 9 给出阈值电压受空洞大小的影响. 对于 $T_{si} = 0.01\mu\text{m}$ 的薄膜器件, 空洞大小的变化严重影响器件阈值电压的稳定; 而对于 $T_{si} = 0.06\mu\text{m}$ 的硅膜较厚器件, 空洞大小对器件阈值电压的影响很小. 这是因为器件的硅膜越薄, 埋层与器件表面距离越近, 空洞埋层的情况就会影响到沟道区电场和电势的分布, 因此, 空洞大小的变化会引起阈值电压的明显改

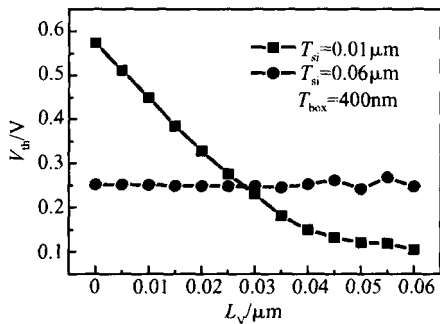


图 9 空洞大小对不连续空洞 SON 器件阈值电压的影响

Fig. 9 Influence of void size on V_{th}

变. 相反, 较厚硅膜器件的特性对空洞层的情况不是很敏感. 从图 10 中, 也可以看出由于不连续空洞层横向偏差带来的影响, 同样是对薄膜器件影响大, 而对较厚硅膜的器件影响小, 原因也和上面分析相同, 是埋层的情况影响到了薄膜器件沟道区的电场和电势分布. 从图 11 中, 也可以看出, 由空洞大小和横向位置偏差造成的阈值电压的偏差随硅膜厚度减小而变大, 进而验证了上面的分析. 因此, 薄膜器件对制

备工艺要求较高, 在制备过程中要尽可能避免在沟道区下方出现不连续空洞的情况, 或者提高对不连续空洞控制的精确度, 从而减小不同器件之间由于工艺偏差而引起的差异.

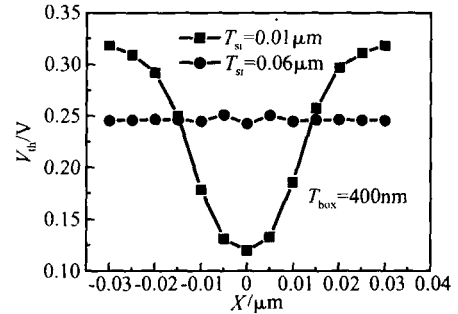


图 10 空洞的横向位置偏差对不连续空洞 SON 器件阈值电压的影响

Fig. 10 Influence of void position on V_{th}

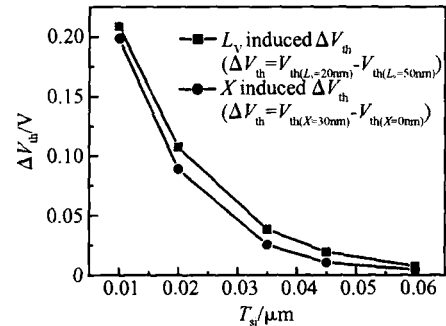


图 11 空洞大小和位置偏差引起阈值电压偏差与 T_{si} 的关系

Fig. 11 Dependence of threshold voltage shift induced by L_v and X on T_{si}

5 结论

本文对 SON 器件的自加热特性做了较为系统的分析, 发现 SON 器件自加热效应明显, 并且对埋层厚度的变化不敏感, 因此无法通过减薄埋层来抑制. 在此基础上, 提出构造散热通路的方法来抑制 SON 器件的自加热效应. 研究表明, 只要器件两侧的散热通路的宽度大于 $0.02\mu\text{m}$, 就可以有效改善 SON 器件的自加热问题. 空洞层不连续的 SON 器件具有多条散热通路, 也可以有效改善自加热效应, 但不连续空洞的大小和空洞横向位置偏差可能给器件性能带来影响. 研究发现不连续空洞的大小和空洞层横向位置偏差对器件的影响随硅膜厚度减小而加大, 这为 SON 器件结构设计提供了指导方向.

参考文献

- [1] Wang Wenping , Huang Ru , Zhang Guoyan. Structure optimization analysis of sub-100nm SOI device. Chinese Journal of Semiconductors ,2003 ,24(9) :986(in Chinese) [王文平 ,黄如 ,张国艳. 亚 100nm SOI 器件的优化分析. 半导体学报 ,2003 ,24(9) :986]
- [2] Suzuki E ,Ishii K ,Kanemaru S ,et al. Highly suppressed short-channel effects in ultrathin SOI n -MOSFET 's. IEEE Trans Electron Devices ,2000 ,47(2) :354
- [3] Koh R. Buried layer engineering to reduce the drain-induced barrier lowering of sub-0.05 μ m SOF-MOSFET. Jpn J Appl Phys ,1999 ,38 :2294
- [4] Sun Zmin ,Liu Litian ,Li Zhijian. Self-heating effect in SOI MOSFET 's. 5th International Conference on Solid-State and Integrated Circuit Technology ,1998 :572
- [5] Tenbroek B M ,Lee M S L ,Redman-White W ,et al. Impact of self-heating and thermal coupling on analog circuits in SOI CMOS. IEEE J Solid-State Circuits ,1998 ,33(7) :1037
- [6] Sato T ,Nii H ,Hatano M ,et al. SON (silicon on nothing) MOSFET using ESS (empty space in silicon) technique for SoC applications. IEDM Tech Dig ,2001 :37

Self-Heating Effect in Novel SON Device

Wu Dake , Tian Yu , Bu Weihai , and Huang Ru

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract : The effect of self-heating in novel SON devices ,compared with that in SOI devices ,is comprehensively investigated. By making thermal dissipating paths through the void layer ,the self-heating effect is effectively alleviated. In addition ,the influence of the width of the paths is studied. The characteristics of the SON structure with a discrete void layer ,which effectively suppresses the self-heating effect ,are analyzed. The influence of the size and position of the discrete voids on device performance is analyzed ,which gives guidelines for the device structure design.

Key words : silicon-on-nothing device ; self-heating effect ; thermal dissipating path ; void layer

EEACC : 2560 ; 2890

Article ID : 0253-4177(2005)07-1401-05

Wu Dake male ,was born in 1981 ,graduate student. He works on the characteristics of ultra-short channel devices.

Tian Yu female ,was born in 1979 ,PhD candidate. Her research area include ultra deep sub-micro MOS devices.

Huang Ru female ,was born in 1969 ,PhD ,professor. Her main research interests lie in very deep sub-micro MOS devices and SOI technologies.

Received 16 September 2004 ,revised manuscript received 12 November 2004

©2005 Chinese Institute of Electronics