

阶梯埋氧型 SOI 结构的耐压分析

段宝兴 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出了一种阶梯埋氧型 SOI(SBOSOI) RESURF 器件结构, 并解释了该结构的场调制耐压机理, 通过 2D MEDICI 仿真验证了调制机理的正确性. 优化了阶梯埋氧阶梯数与耐压的关系, 得出阶梯数为 3 时耐压达到饱和. 模拟仿真了比导通电阻和击穿电压, 结果表明该结构在埋层厚度为 $0.2 \sim 0.8 \mu\text{m}$ 时可使比导通电阻降低 $40\% \sim 50\%$, 耐压提高 $30\% \sim 50\%$; 漂移区厚度小于 $1 \mu\text{m}$ 时比导通电阻降低 $10\% \sim 50\%$, 耐压提高 $10\% \sim 50\%$.

关键词: SOI RESURF 结构; 阶梯埋氧型 SOI; 电场调制; 比导通电阻

EEACC: 1210; 2560

中图分类号: TN386 文献标识码: A 文章编号: 0253-4177(2005)07-1396-05

1 引言

SOI 技术不仅有希望成为高速、低功耗集成电路的主流技术, 而且以其理想的介质隔离 (DI) 性能, 相对简单的介质隔离工艺等优点, 在智能功率 IC 领域引起了极大的研究兴趣^[1]. 目前, 已提出了多种薄膜 SOI 结构, 例如, Merchant 等人设计了漂移区掺杂浓度沿横向线性分布^[2]; Nakagawa 等人采用 SIPOS FR (半绝缘多晶硅场板) 技术^[3]; 部分埋氧层 SOI (PSOI) 结构^[4]; 新的复合槽型结构^[5]; 阶梯分布埋氧层固定电荷结构^[6]; 以及高压双 RESURF SOI 结构^[7]等.

本文提出了一种阶梯埋氧型 SOI (SBOSOI) 结构, 将一般薄膜 SOI 的 I 层 (埋氧层) 做成阶梯分布来调制优化横向电场, 使横向电场分布趋于均匀以提高耐压, 每个阶梯的位置通过理论模型优化确定. 同时这种结构可以使导通电阻减小, 是一种新的器件设计思想, 通过 MEDICI 仿真软件验证此结构有提高耐压、降低比导通电阻的优点.

2 器件结构

图 1 所示为 SBOSOI 结构中阶梯的阶数 N 等于 3 时的结构图, 其中 I_1, I_2, I_3, I_4 分别为不同阶

埋层.

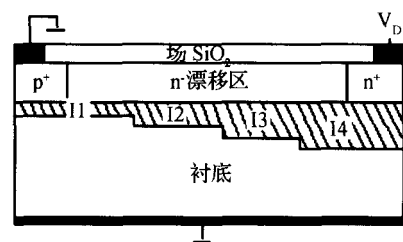


图 1 SBOSOI 结构剖面示意图

Fig. 1 Cross section of SBOSOI structure

这种结构中阶梯 I 层对表面电场有调制作用, 也就是随着漏端电压 (正电压) 的增加在 I 层下表面形成一层负电荷, 这层负电荷使漂移区耗尽后的正电荷的一部分电力线终止于此, 这种作用增加了漏端的表面电场而减小了源端的电场. 将 I 层做成图 1 所示阶梯分布, 且阶梯的厚度从漏端到源端逐渐减小时, 负电荷的分布在阶梯位置不连续, 这种不连续使表面在这些位置出现了新的电场峰. 图 2 (a) 为这种结构的等势线分布, 可以看出中间部分等势线分布垂直且较一般 SOI 结构 (见图 2 (d)) 的等势线分布密集, 在埋层阶梯位置分布更加密集, 表明此处横向电场较大; 图 2 (b) 为表面电场分布, 可以看出在 I 层阶梯位置出现了新的峰; 图 2 (c) 为 I 层中上表面电场分布, 在中间部分也出现了峰. 这就是埋层阶梯的电场调制作用. 图 (a), (b), (c) 的器件结构参数

段宝兴 男, 博士研究生, 研究方向为半导体器件物理、SOI 功率器件设计. Email: axing0913@sina.com

2004-11-17 收到, 2004-12-23 定稿

为：漂移区厚度 T_s 为 $0.2\mu\text{m}$ ；漂移区长度 L_d 为 $8\mu\text{m}$ ；漂移区浓度 N_d 为 $2 \times 10^{17}\text{cm}^{-3}$ ；沟道浓度 N_t 为 $3 \times 10^{17}\text{cm}^{-3}$ ；埋氧层 I1, I2, I3, I4 厚度分别为 $0.1\mu\text{m}$ 。

在一般 SOI 结构中, I 层对表面电场也有调制作用, 这种作用增加了漏端的表面电场而减小了源端的电场, 但从图 2(d) 的等势线分布可以看出, 中间部分等势线分布几乎水平, 说明横向电场很小且

均匀. 为了与 SBOSOI 结构相比较, 图 2(e) 所示为一般 SOI 结构的表面电场分布, 图 2(f) 为 I 层中上表面横向电场分布. 从图中可以看出表面电场没有图 2(b) 的分布理想. 图 2(d), (e), (f) 的器件结构参数为：漂移区厚度 T_s 为 $0.2\mu\text{m}$ ；漂移区长度 L_d 为 $8\mu\text{m}$ ；漂移区浓度 N_d 为 $1 \times 10^{17}\text{cm}^{-3}$ ；沟道浓度 N_t 为 $3 \times 10^{17}\text{cm}^{-3}$ ；埋氧层厚度为 $0.4\mu\text{m}$ 。

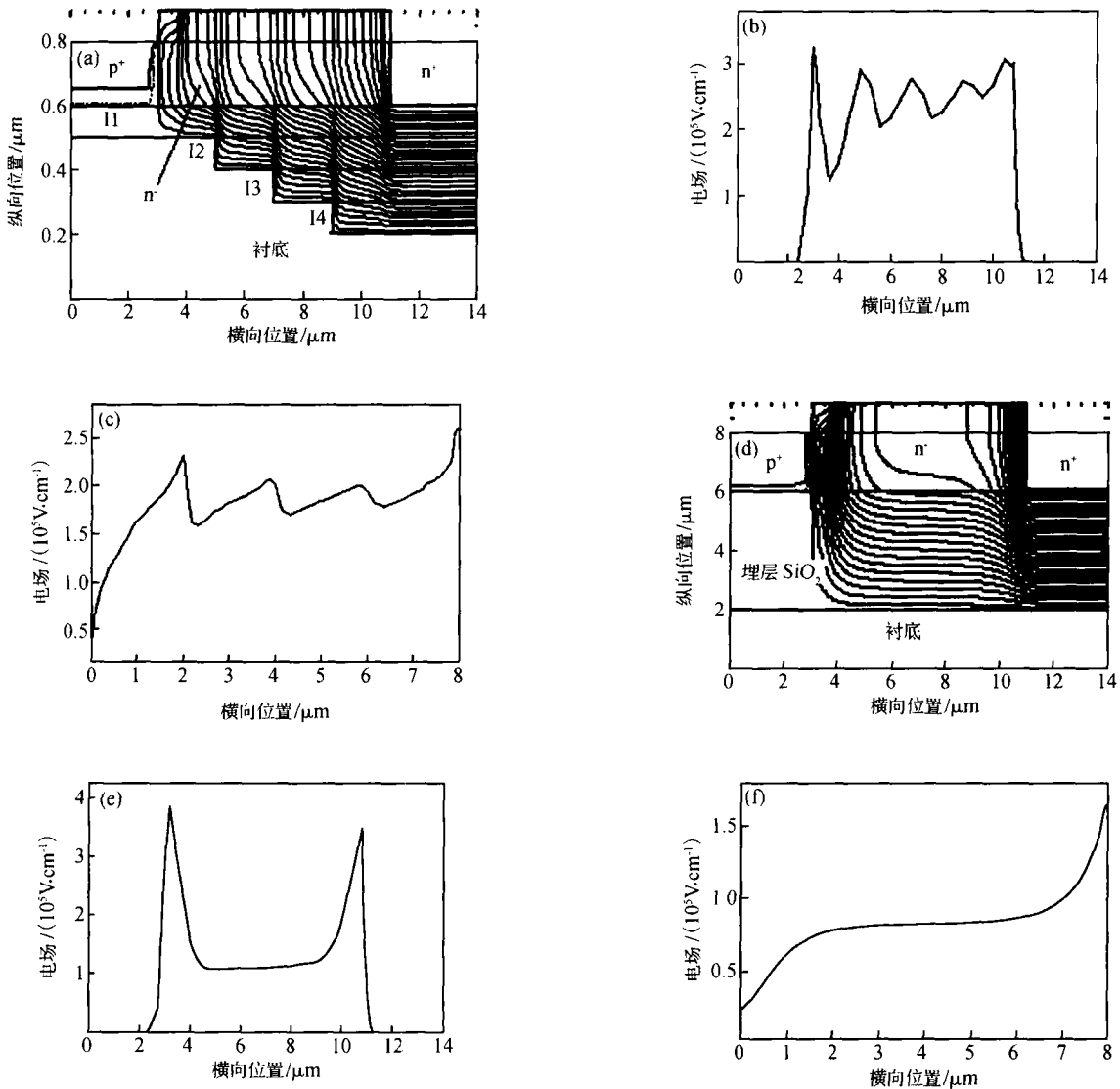


图 2 (a) SBOSOI 结构等势线分布; (b) SBOSOI 结构表面电场分布; (c) SBOSOI 结构 I 层中上表面电场分布; (d) 一般 SOI 结构等势线分布 (e) 一般 SOI 结构表面电场分布; (f) 一般 SOI 结构 I 层中上表面电场分布

Fig. 2 (a) Potential distribution of SBOSOI structure; (b) Surface electric field distribution of SBOSOI Structure; (c) Electric field distribution of SBOSOI structure in buried oxide; (d) Potential distribution of normal SOI structure; (e) Surface electric field distribution of normal SOI structure; (f) Electric field distribution of normal SOI structure in buried oxide

为了使表面电场趋于均匀,对 I 层阶梯位置的优化是基于阶梯场板理论^[8]的,也就是在场板优化中,考虑场板内部电场指数衰减,满足 $E_x = E_0 e^{-0.6x/t_{ox}}$, 式中 E_x 为沿漂移区与 I 层界面处的横向电场分布, t_{ox} 为 I 层的厚度. 这样,若 I 层沿 x 方向增加的比率与在横向坐标位置的比率相同时,可使场板下横向电场变平坦. 如图 1 所示的器件结构中, I2, I3 和 I4 的横向位置就是按这个原理确定的. 由于阶梯的 I 层有场板的作用,可使优化的漂移区浓度增加,这又降低了比导通电阻. 当漂移区很薄时,从漏电极到 II 层表面的电离积分路径很短,当满足雪崩击穿条件^[9] $\int_0^{x_d} \alpha dx = 1$ (式中 x_d 为纵向从漏电极到 II 层表面的积分距离; α 为电离率,可表示为 $\alpha = 1.8 \times 10^{-35} E^7$) 时,击穿临界电场可以很大,达到 $7 \sim 8 \times 10^5$ V/cm. 根据界面处的高斯定律, I 层中的电场可以达到 $2.1 \sim 2.4 \times 10^6$ V/cm.

这种结构的另一种解释是:在一般的薄膜 SOI RESURF 结构中,当 SOI 层的厚度一定时,漂移区优化的浓度随 I 层厚度增加而减小. 对于图 1 所示的结构,不同厚度的 I 层要求有不同的优化浓度,因为阶梯的形状使 I 层从源电极到漏电极厚度阶梯增加,这就要求优化的 SOI 层的浓度是从源电极到漏电极阶梯减小,而当漂移区浓度一定时,相当于从源电极到漏电极分成浓度梯增的不同区域,这与将漂移区分成若干个从源电极到漏电极浓度增加以优化横向电场的作用相同.

3 结果与分析

利用 MIDICI 仿真软件对以上结构进行了仿真,对于一般 SOI 结构(结构参数为图 2(a)的参数):器件耐压为 67.5V;比导通电阻为 $1.65 \text{ m}\Omega \cdot \text{cm}^2$,击穿发生在器件表面;而对于 SBOSOI 结构(结构参数为图 2(d)的参数):器件的击穿电压为 101.8V;比导通电阻为 $0.74 \text{ m}\Omega \cdot \text{cm}^2$,击穿发生在漂移区内.

为了与多漂移区薄膜 SOI 结构相比较,在器件结构参数与一般 SOI 结构参数相同的条件下,将漂移区分成掺杂浓度不同的区域. 器件的击穿电压为 102V,比导通电阻为 $1.36 \text{ m}\Omega \cdot \text{cm}^2$,击穿发生在漂移区内. 这表明本文对利用 I 层阶梯分布相当于将漂移区分区掺杂的解释合理. 同时表明 SBOSOI 结

构较漂移区分布掺杂结构有降低导通电阻的优点.

考虑到不同阶梯情况下的耐压优化问题,针对阶梯数为 0, 1, 2, 3, 4 的不同结构进行了仿真模拟,结果如图 3 所示.

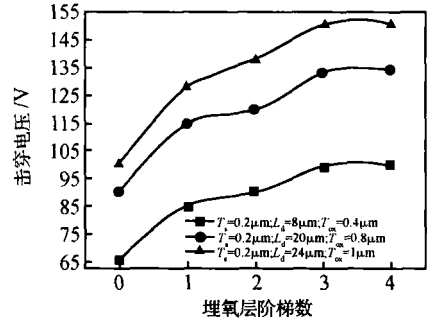


图 3 埋层阶梯数与耐压的关系

Fig. 3 Number of step buried oxide versus breakdown voltage

图 3 为不同阶梯数时的耐压曲线,其中参数 T_d 表示漂移区厚度; T_{ox} 表示总的 I 层厚度,不同阶梯 I 层厚度是由阶梯数等分的; L_d 表示漂移区长度,是满足耐压的最小长度. 可以看出,当阶梯数 N 大于 3 时三个结构的耐压值均达到饱和,这与将漂移区分区掺杂时的情况相同,图 3 的曲线为合理确定这种结构的阶梯数提供了依据.

考虑到不同 SOI 层和 I 层时的情况,分别仿真了 SOI 层保持不变, I 层不同和 I 层保持不变, SOI 层不同(对于 SBOSOI 结构,不同阶梯埋氧层用阶梯数 3 等分;各结构的漂移区浓度为优化的浓度)时的结构,结果如图 4 所示.

从图 4(a)可以看出,随 I 层厚度减小或增加时,归一化比导通电阻增加,这是因为在 I 层厚度很小或很大时阶梯 I 层的场调制作用逐渐趋于一般 SOI 结构的调制作用. 从图 4(b)可以看出,随 I 层厚度减小或增加时,归一化耐压减小. 这是因为当 I 层厚度很小时两种结构的击穿都发生在体内,击穿电压变化不大;当 I 层厚度较大时,两种结构的击穿都发生在表面. I 层在 $0.2 \sim 0.8 \mu\text{m}$ 时一般 SOI 结构的击穿发生在表面,而 SBOSOI 结构的击穿发生在体内. 这就表明两种不同埋层结构对表面场的调制作用不同,所以在 I 层厚度为 $0.2 \mu\text{m}$ 到 $0.8 \mu\text{m}$ 时此结构与普通结构比较可使比导通电阻降低 $40\% \sim 50\%$,耐压提高 $30\% \sim 50\%$.

从图 4(c)可以看出,随着漂移区厚度的增加,归一化比导通电阻增加且趋于饱和(饱和值为 1),

这说明当漂移区厚度增加到 $2\mu\text{m}$ 后阶梯埋层的场调制作用与一般 SOI 结构相同. 图 4(d) 表明, 随漂移区厚度增加到 $2\mu\text{m}$ 后, 这种结构的耐压降到一般 SOI 结构的耐压.

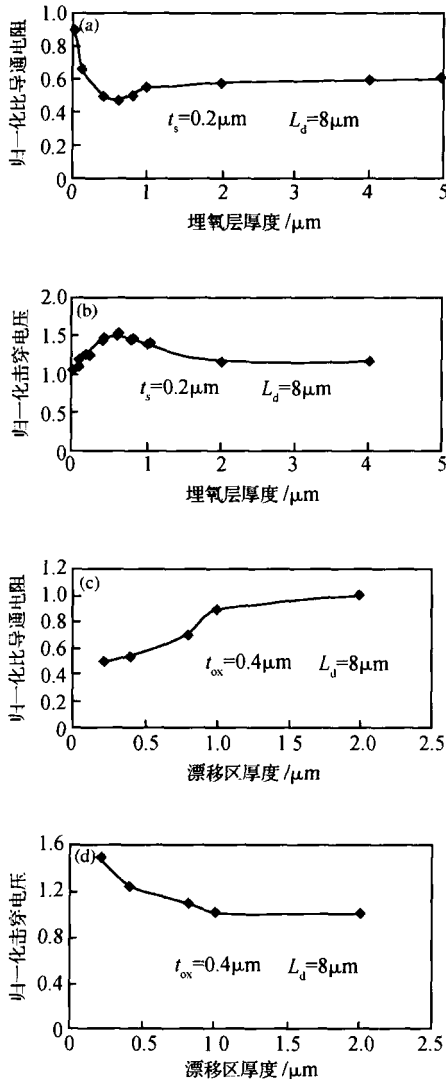


图 4 (a) 归一化比导通电阻与 I 层厚度关系; (b) 归一化耐压与 I 层厚度关系; (c) 归一化比导通电阻与漂移区厚度关系; (d) 归一化耐压与漂移区厚度关系

Fig. 4 (a) Normalized on-resistance versus thickness of oxide; (b) Normalized breakdown voltage versus thickness of oxide; (c) Normalized on-resistance versus thickness of drift region; (d) Normalized breakdown voltage versus thickness of drift region

图 5 是在不同 I 层厚度下一般 SOI 结构和 SBOSOI 结构的漂移区浓度与耐压的关系曲线. 从图中可以明显看出, 两种结构的击穿电压随浓度变化有一优化值; SBOSOI 结构的优化浓度较普通结

构的高, 这也是此种结构能降低比导通电阻的原因.

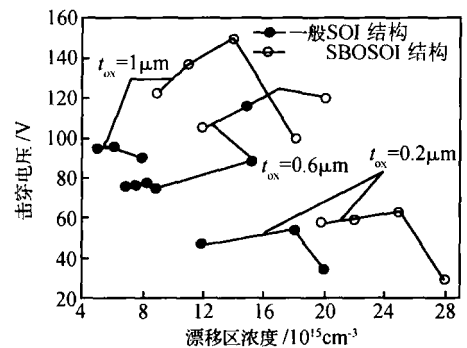


图 5 一般 SOI 和 SBOSOI 漂移区浓度与耐压关系

Fig. 5 Doping of normal SOI and SBOSOI structure versus breakdown voltage

这种结构工程上可以采用两种方法实现, 一种是通过分区氧注入 SIMOX 技术, 这种技术与传统的 SIMOX 技术不同之处在于氧离子的注入过程 (SIMOX 工艺共分氧离子注入和高温退火两个阶段), 分区氧注入 SIMOX 技术是在不同的注入区域通过调节注入能量和剂量, 获得阶梯分布的埋层, 高温退火过程与传统的 SIMOX 技术相同; 另一种方法是采用阶梯氧化加 Bonding (键合) 技术, 此技术是先通过阶梯氧化在硅片上形成阶梯氧化层, 然后在氧化层上淀积掺杂多晶硅, 通过将多晶硅抛光后与另一片硅片键合, 最后根据需要的 SOI 层厚度形成阶梯埋氧型 SOI 材料. 当然, 做为一种新的结构, 工艺上还有待进一步探索.

4 结论

本文提出的 SBOSOI 器件结构是一种新的器件设计思想, 通过对 I 层的改造来优化横向电场以提高耐压和降低比导通电阻; 并用提出的场调制耐压模型, 对这种新结构进行了解释, 进而利用阶梯场板理论优化了 I 层阶梯的位置. 对不同阶梯数的优化, 得出在阶梯数达到 3 时, 耐压和比导通电阻达到最优, 为工程上实现这种结构提供了依据; 对不同 I 层厚度和漂移区厚度, 得出在漂移区较薄 I 层厚度为 $0.2 \sim 0.8\mu\text{m}$ 时, 此结构与一般 SOI 结构相比比导通电阻降低 $40\% \sim 50\%$, 耐压提高 $30\% \sim 50\%$; 在保持 I 层较薄漂移区厚度小于 $1\mu\text{m}$ 时, 此结构耐压提高 $10\% \sim 50\%$, 比导通电阻降低 $10\% \sim 50\%$.

参考文献

- [1] Murari B , Bertotti F , Vignola G A . Smart power ICs : Technologies and applications . Springer , 1996 : 105
- [2] Merchant S , Aronold E , et al . Realization of high breakdown voltage ($> 700\text{V}$) in thin SOI device . Proc 3rd Int Symp on Power Semiconductor Devices and ICs , 1991 : v31
- [3] Matsudai T , Nakagawa A . Simulation of a 700V high voltage device structure on a thin SOI . Proc 4th Int Symp On Power Semiconductor Devices and ICs , 1992 : 272
- [4] Tadikonda R , Hardikar S , SankaraNarayanan E M . Realizing high breakdown voltage ($> 600\text{V}$) in partial SOI technology . Solid-State Electron , 2004 , 48 : 1655
- [5] Li ZJ , Luo L Y , Guo Y F , et al . Breakdown theory of a new SOI composite structure . ICCAS , 2002 , 6 : 1744
- [6] Guo Yufeng , Li Zhaoji , Zhang Bo , et al . Breakdown model and new structure of SOI high voltage devices with step buried oxide fixed charges . Chinese Journal of Semiconductors , 2004 , 25(12) : 1695 (in Chinese) [郭宇锋 , 李肇基 , 张波 , 等 . 阶梯分布埋氧层固定电荷 SOI 高压器件新结构和耐压模型 . 半导体学报 , 2004 , 25(12) : 1695]
- [7] Li Zhaoji , Guo Yufeng , Fang Jian , et al . A new 2-D analytical model of double RESURF in SOI high voltage devices (invited) . Proc ICSICT , 2004 , 10 : 328
- [8] Chen X B . A simple expression for the surface field profile of a $p\text{-}n^+$ junction with field plate . Acta Electronica Sinica , 1986 , 14(1) : 36 (in Chinese) [陈星弼 . $p\text{-}n^+$ 结有场极时表面电场分布的简单表示式 . 电子学报 , 1986 , 14(1) : 36]
- [9] Fulop W . Calculation of avalanche breakdown voltages of silicon $p\text{-}n$ junction . Solid-State Electron , 1967 , 10 : 39

Breakdown Voltage Analysis for a Step Buried Oxide SOI Structure

Duan Baoxing , Zhang Bo , and Li Zhaoji

(IC Design Center , University of Electronic Science & Technology , Chengdu 610054 , China)

Abstract : A novel RESURF structure of a step buried oxide SOI (SBOSOI) is developed and its electric field modulation model is explained and proved by 2D MEDICI software. The saturated breakdown voltage is obtained when the number of step buried oxide by optimizing is three. The simulation results show the breakdown voltage increases by 30 % ~ 50 % and the on-resistance decreases by 40 % ~ 50 % at the 0.2 ~ 0.8 μm oxide thickness while the breakdown voltage increases by 10 % ~ 50 % and the on-resistance decreases by 10 % ~ 50 % at less than 1 μm drift region thickness.

Key words : SOI RESURF structure ; step buried oxide SOI ; electric field modulation ; on-resistance

EEACC : 1210 ; 2560

Article ID : 0253-4177(2005)07-1396-05