

# 改性的薄 SOS 膜 CMOS 器件辐射加固特性

刘忠立 李 宁 高见头 于 芳

(中国科学院半导体研究所, 北京 100083)

摘要: 利用注硅固相外延的方法对 0.2μm SOS 薄硅膜材料进行改性,并制作了单管 pMOSFET, nMOSFET 及 54HC04 电路. 测量了单管的迁移率,并对样品进行了瞬态辐射实验和总剂量辐射实验,发现用改性后的 SOS 薄硅膜材料制作的电路,不仅具有同标准 0.5μm SOS 材料制作的电路相当的动态特性,而且具有很好的抗瞬态辐射能力,并且其抗总剂量辐射能力也达到了很高的水平.

关键词: 固相外延; 改性; SOS 薄硅膜; CMOS 器件

PACC: 0510D; 2550B; 2570F

中图分类号: TN305 文献标识码: A 文章编号: 0253-4177(2005)07-1406-06

## 1 引言

通常的 PD (partially depleted, 部分耗尽) CMOS/SOS 器件使用 0.5μm SOS 膜制作. 在恶劣辐射环境中,欲提高 CMOS/SOS 的抗瞬态辐射性能,可采取的一个措施是减小 SOS 膜的厚度. 由于 SOS 膜的载流子迁移率随 SOS 膜的减小急剧降低,单纯减小 SOS 膜会使 PD CMOS 器件特性受到很大影响. 作者曾用固相外延,即在 SOS 膜中注硅加退火的方法,对 0.5μm SOS 膜进行材料改性研究<sup>[1]</sup>,改性材料的迁移率大约能提高 25%~30%,而且由于 Si-蓝宝石界面质量的改善,CMOS 器件的截止漏电流也得到改善. 借助这一方法,本文对 0.20μm SOS 膜进行了类似的改性,并制作了 CMOS/SOS 器件,在获得了器件特性改善的基础上,对器件进行了瞬态及总剂量辐射实验,结果表明所制得的器件不仅具备优良的瞬态辐射加固性能,而且总剂量辐射加固能力可达到  $1 \times 10^6$  rad(Si) 以上.

本文在分析瞬态辐射光电流产生的基础上,给出 0.20μm SOS 膜 CMOS 器件的制造过程,及其重要电学性能及辐射加固特性的测量结果.

## 2 瞬态光电流

瞬态剂量率效应往往由瞬态射线或其他带能射线作用在半导体器件中产生光电流,一般 p-n 结耗尽区是承受电压的主要部位,当瞬态辐射如射线照射在 pn 结耗尽区上,耗尽区内产生大量的电子空穴对,同中性体 Si 区不同,此时电子空穴来不及复合便被正负电场扫向电源形成瞬态光电流. p-n 结产生的瞬态光电流可用下式表示<sup>[2]</sup>:

$$i_{pp}(t) = qA G [ W_t + \sqrt{D_n n} \operatorname{erf} \left( \sqrt{\frac{t}{n}} \right) + \sqrt{D_p p} \operatorname{erf} \left( \sqrt{\frac{t}{p}} \right) ] \quad (0 < t < T)$$

$$i_{pp}(t) = qA G \left\{ \sqrt{D_n n} \left[ \operatorname{erf} \left( \sqrt{\frac{t}{n}} \right) - \operatorname{erf} \left( \sqrt{\frac{t-T}{n}} \right) \right] + \sqrt{D_n n} \left[ \operatorname{erf} \left( \sqrt{\frac{t}{n}} \right) - \operatorname{erf} \left( \sqrt{\frac{t-T}{n}} \right) \right] \right\} \quad (t > T)$$

其中  $A$  是 pn 结面积;  $W_t$  是耗尽区宽度;  $D_n, D_p$  分别为电子、空穴的扩散系数;  $n, p$  分别为电子和空穴的寿命;  $G$  为射线在半导体中的电子空穴对

刘忠立 男,研究员,博士生导师,从事 CMOS/SOS 及 CMOS/SOI 集成电路的设计、器件物理和辐射加固、宽带隙(SiC)半导体器件及 MEMS 等研究.

李 宁 男,助理研究员,从事 CMOS/SOS 及 CMOS/SOI 集成电路器件物理和辐射加固研究.

2004-11-18 收到,2005-01-10 定稿

的产生率;  $t$  为时间;  $T$  为瞬态辐射脉宽.  $G = \times 4 \times 10^{11} / Gy(Si) / s$ , 为辐射时的剂量率.

对于 CMOS/SOS, 由于  $n, p$  很小, 上式可写成

$$i_{pp} = 4 \times 10^{11} qA W_t$$

从上式可以看出, CMOS/SOS 器件的瞬态辐射产生的光电流直接与 pn 结面积成正比, 减小 SOS 膜厚可以减小 p-n 结面积, 从而可减小瞬态辐射光电流, 增强瞬态辐射加固特性.

### 3 器件制备

采用化学腐蚀减薄技术将标准的  $0.5\mu m$  SOS 膜减薄至  $0.2\mu m$ , 为了对比固相外延及未固相外延材料制作的器件, 利用光刻胶掩蔽技术, 使 SOS 膜一半改性, 另一半则不改性. 固相外延改性条件为: 注硅能量  $E = 70 KeV$ , 剂量  $D = 2 \times 10^{15} / cm^2$ , 退火条件为  $1000^\circ C$  氮气环境  $30min$ . 图 1 示出二种样品的高精度 X 光双晶衍射谱, 可以看出固相外延改性的片子具有很好的结晶状态. 采用全离子注入辐射

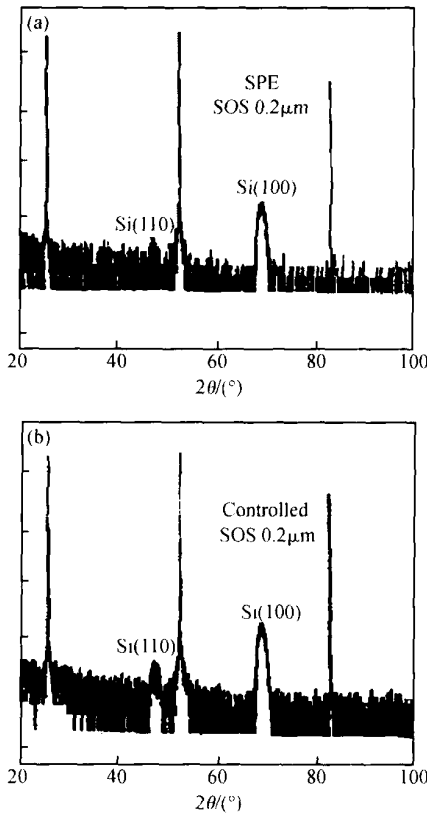


图 1 二种样品的高精度 X 光双晶衍射谱

Fig. 1 X-ray double crystal diffraction spectra with high resolution for two samples

加固的 CMOS/SOS 工艺制作 CMOS/SOS 器件, 器件主要工艺条件列于表 1. 芯片上除 p 沟及 n 沟 MOSFET 外, 还包括 54HC04 六反相器电路. 注硅样品称作 A, 未注硅样品称作 B. 对器件及电路的电学特性及辐射加固特性进行测试, 结果在下面描述.

表 1 CMOS/SOS 器件的主要工艺条件

Table 1 Main processing conditions for CMOS/SOS devices

工艺名称	工艺条件
栅 SiO <sub>2</sub> 生长	H <sub>2</sub> O 合成氧化, 875 °C, 50nm
沟道注入	硼, $E = 75 KeV; D = 2 \times 10^{11} cm^{-2}$ (nMOS) 磷, $E = 150 KeV; D = 2 \times 10^{11} cm^{-2}$ (pMOS)
多晶硅栅沉积	LPCVD, 630 °C, 掺硼, 500nm
S/D 注入	磷, $E = 100 KeV; D = 5 \times 10^{15} cm^{-2}$ (nMOS) 硼, $E = 60 KeV; D = 5 \times 10^{15} cm^{-2}$ (pMOS)
BPSG 回流	950 °C, N <sub>2</sub> , $t = 30 min$
Al 沉积	电子束蒸发, 1.2μm

### 4 实验结果

#### 4.1 漏输出特性及迁移率

图 2(a) 及 (b) 给出了注硅 (A) 及未注硅 (B) 的 nMOSFET 漏输出特性. 器件沟长为  $3\mu m$ , 沟宽为  $30\mu m$ .

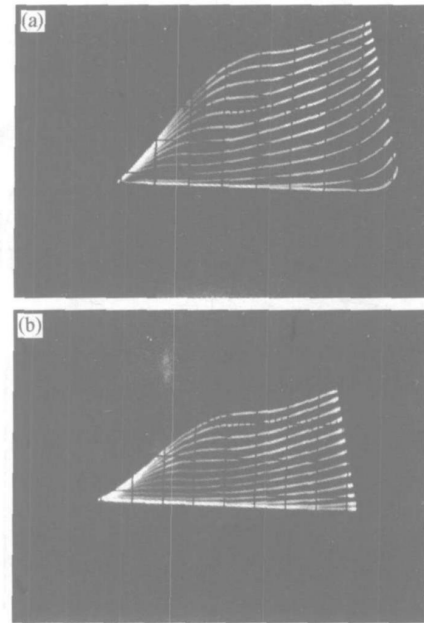


图 2 样品 A, B 的 nMOSFET 的输出特性 (a) 样品 A; (b) 样品 B

Fig. 2 Drain characteristics of nMOSFET for samples A and B (a) Sample A; (b) Sample B

图 3(a) 及 (b) 给出注硅 (A) 及未注硅 (B) 的 pMOS-FET 漏输出特性, 器件沟长均为  $3\mu\text{m}$ , 沟宽为  $60\mu\text{m}$ .

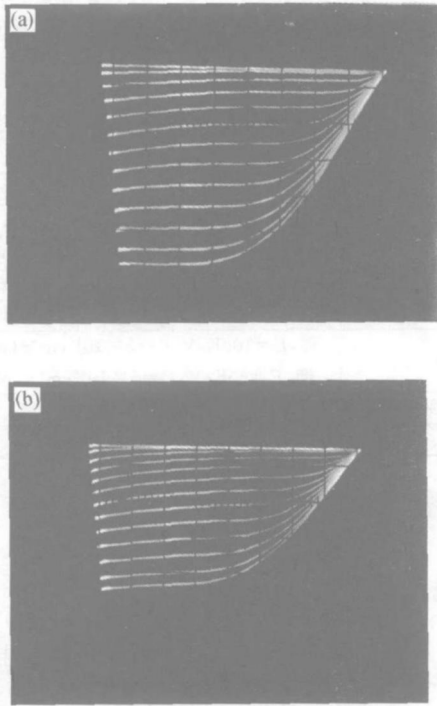


图 3 样品 A、B 的 pMOSFET 的输出特性 (a) 样品 A; (b) 样品 B

Fig. 3 Drain characteristics of pMOSFET for samples A and B (a) Sample A; (b) Sample B

用漏源电压为  $0.1\text{V}$  的线性区电流电压特性可计算出载流子迁移率同栅源电压的关系. 图 4 给出两种样品 nMOSFET 电子迁移率同栅压的关系; 图 5 给出两种样品 pMOSFET 空穴迁移率同栅压的关系.

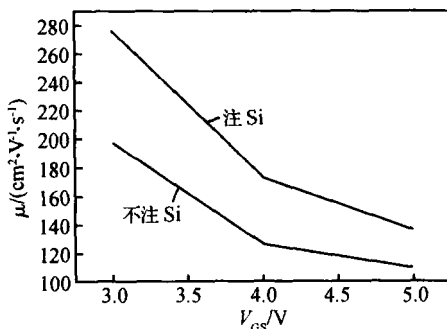


图 4 样品 A、B 中 nMOSFET 迁移率同栅压之间的关系

Fig. 4 Mobility versus gate voltage of nMOSFET for samples A and B

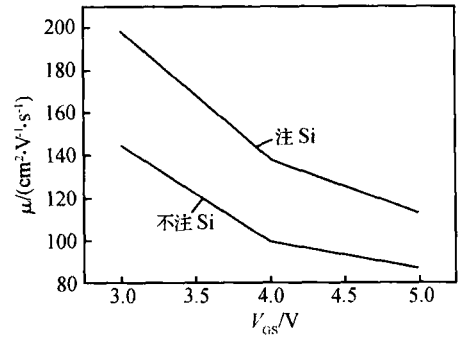


图 5 样品 A、B 中 pMOSFET 迁移率同栅压之间的关系

Fig. 5 Mobility versus gate voltage of pMOSFET for samples A and B

### 4.2 沟道截止电流

测量了二种样品 MOS 管的源漏短路沟道截止电流  $I_{DSS}$ , 结果列于表 2.

表 2 二种样品 MOS 管的源漏短路沟道截止电流

Table 2 Channel pinch-off current of source drain short-circuit for two sample MOS transistors

样品	A	B
$I_{DSS}/(\text{A} \cdot \mu\text{m}^{-1}) (V_{DS} = 5\text{V}, \text{nMOS})$	$6 \times 10^{-12}$	$2 \times 10^{-11}$
$I_{DSS}/(\text{A} \cdot \mu\text{m}^{-1}) ( V_{DS}  = 5\text{V}, \text{pMOS})$	$5 \times 10^{-12}$	$1.5 \times 10^{-11}$

### 4.3 辐射特性

#### 4.3.1 瞬态辐射特性

瞬态辐射实验在西北核技术研究所闪光装置上进行. 同时参与实验的除上述 A、B 两种样品的 54HC04 电路外, 还有标准样品, 即  $0.5\mu\text{m}$  SOS 材料用相同工艺条件制作的 54HC04 电路样品 C, 瞬态辐射剂量率为  $4.4 \times 10^{11} \text{Rad}(\text{Si})/\text{s}$ . 图 6~8 给出

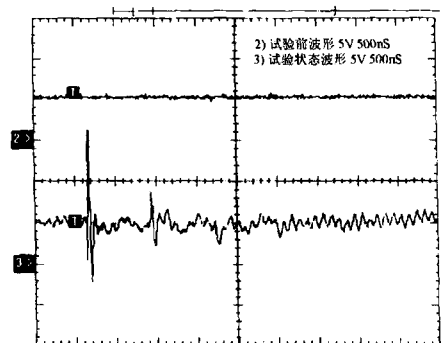


图 6 样品 A 瞬态辐射波形

Fig. 6 Transient irradiation waveform for sample A

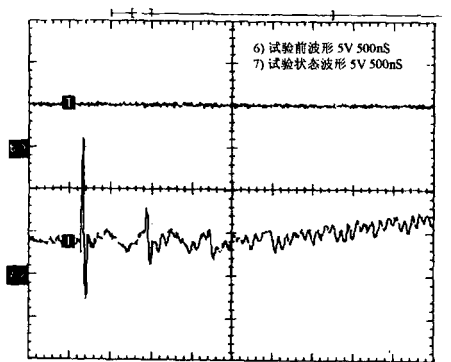


图 7 样品 B 瞬态辐射波形

Fig. 7 Transient irradiation waveform for sample B

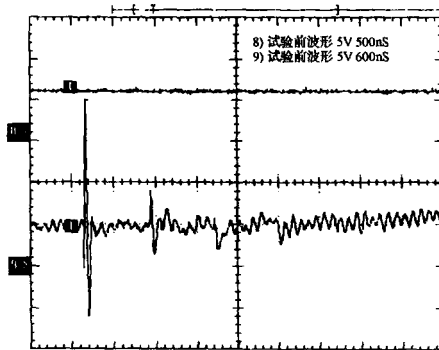


图 8 样品 C 瞬态辐射波形

Fig. 8 Transient irradiation waveform for sample C

三种样品瞬态辐射测量结果所显示的是,电源电压为 5V 时,输入端为 0V,输出端为高电平 5V 时的波形,瞬态辐射期内的电压尖峰为电路产生的扰动,其大小可作为瞬态辐射加固能力的判据.

从上面的图中可以看出,三个样品均未出现闭锁现象,样品 A,B 的瞬间扰动时间为 80 ~ 90ns,样品 C 的瞬间扰动时间为 100ns 左右;样品 A,B 的扰动幅度比样品 C 的扰动幅度小,说明减薄后的 SOS 材料抗瞬态辐射能力优于厚膜 SOS 材料.如前所述,这主要是因为减薄的 SOS 材料中漏源结面积减小的缘故.

#### 4.3.2 总剂量辐射特性

总剂量辐射测试在中科院生物物理所  $Co^{60}$  源上进行.辐射样品为 A,B 上的 54HC04 电路.电路输入端及电源端均加 5V 偏压.辐射时剂量率为 280rad(Si)/s,辐射总剂量为  $5 \times 10^4$ ,  $2 \times 10^5$  和  $1 \times 10^6$  rad(Si).表 3 示出了样品 A 及 B 的 nMOSFET 及 pMOSFET 辐照前后阈值电压.图 9 (a) 及 (b) 分别给出样品 A,B 经  $1 \times 10^6$  rad(Si) 辐射前后的动态工作波形.二种样品 MOS 管经  $1 \times 10^6$  rad(Si) 辐射后的源漏短路沟道截止电流变化,均小于辐射前值的 100 倍,满足 883-C 标准要求.

表 3 样品 A,B 的 pMOSFET 和 nMOSFET 辐照前后阈值电压变化

Table 3 Change of threshold voltage between pre- and post-irradiation for samples A and B

样品		阈值电压/V				最终变化值 /V
		辐照前	$5 \times 10^4$ rad(Si)	$2 \times 10^5$ rad(Si)	$1 \times 10^6$ rad(Si)	
注硅样品 A	pMOSFET	- 1.60	- 1.88	- 1.76	- 2.04	- 0.44
	nMOSFET	1.91	1.62	1.68	1.39	- 0.52
未注硅样品 B	pMOSFET	- 1.50		- 1.68	- 1.93	- 0.43
	nMOSFET	1.75	1.6	1.55	1.20	- 0.55

## 5 讨论

从本工作的测量结果可以看到,固相外延改性对提高超薄 0.2 $\mu$ m SOS 膜器件的迁移率有明显作用,pMOS 器件迁移率的改善比 nMOSFET 迁移率的改善更大.在迁移率最大处 nMOS 迁移率改善达 58%,pMOS 管迁移率改善达 64%.这种改善归因于固相外延 SOS 膜结晶质量的改善(见图 1),在我们过去的相关工作中也较详细分析过<sup>[3]</sup>.尽管 0.2 $\mu$ m SOS 膜器件改善后的迁移率仍未完全达到 0.5 $\mu$ m SOS 膜迁移率的值(大约为 0.5 $\mu$ m 膜迁移

率的 60%左右),但由于 SOS 膜厚度减小,MOS 器件的源、漏结电容相应减小,与同等条件 0.5 $\mu$ m SOS 膜器件相比,最终电路的延时并未变坏(见图 8 的动态工作波形,它具有我们用 0.5 $\mu$ m SOS 膜制做的同型号电路相近的速度).

0.2 $\mu$ m SOS 膜的瞬态辐射加固特性比 0.5 $\mu$ m SOS 膜有明显改善.从第 2 小节的分析可以知道,这主要是由于其 MOS 器件源、漏 pn 结面积减小,辐射感生光电流相应减小的原故,这也是本工作的目标所在.由于采用了总剂量辐射加固的 CMOS/SOS 加工工艺<sup>[4]</sup>,改性的 0.2 $\mu$ m SOS 膜器件的总剂量加固特性也达到了相当高的水平.

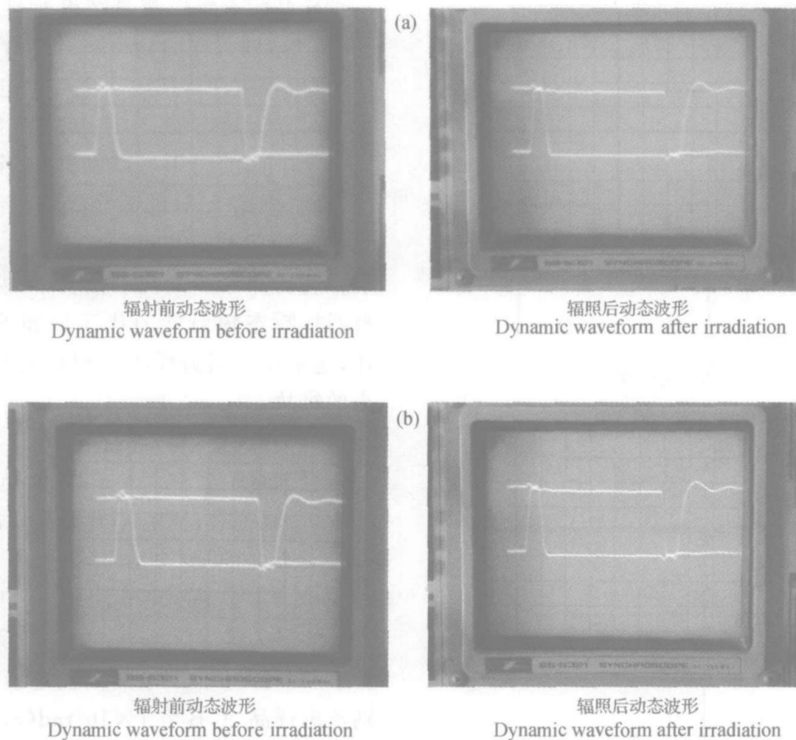


图9 样品 A,B 的 54HC04 辐射前后的动态工作波形 (a) A 样品 54HC04 电路辐射前后的动态波形 辐射剂量为  $1 \times 10^6 \text{rad}(\text{Si})$ ; (b) B 样品 54HC04 电路辐射前后的动态波形 辐射剂量为  $1 \times 10^6 \text{rad}(\text{Si})$

Fig. 9 Dynamic waveforms before and after irradiation for samples A and B 54HC04 (a) Dynamic waveforms before and after irradiation for sample A 54HC04 irradiation dose  $1 \times 10^6 \text{rad}(\text{Si})$ ; (b) Dynamic waveforms before and after irradiation for sample B 54HC04 irradiation dose  $1 \times 10^6 \text{rad}(\text{Si})$

综上所述,通过实验证明,固相外延改性后的 SOS 薄硅膜材料制作的电路,不仅具有与同标准  $0.5 \mu\text{m}$  SOS 材料制作的电路相当的动态特性,而且具有很好的抗瞬态辐射能力,并且其抗总剂量辐射能力也达到了很高的水平。

## 6 结论

利用注硅固相外延的方法,对  $0.2 \mu\text{m}$  SOS 膜进行改性,并对改性和不改性的  $0.2 \mu\text{m}$  SOS 膜及标准  $0.5 \mu\text{m}$  SOS 膜制作的 CMOS 器件进行了相关测试及辐射实验.发现改性的  $0.2 \mu\text{m}$  SOS 膜比未改性的  $0.2 \mu\text{m}$  SOS 膜迁移率有明显改善,电路特性同  $0.5 \mu\text{m}$  SOS 膜的相当,而其瞬态辐射加固特性有明显的改善,总剂量辐射加固特性也达到了很高的水平.改性后的  $0.2 \mu\text{m}$  SOS 膜适用于更苛刻的辐射环境。

## 参考文献

- [ 1 ] Liu Zhongli, He Zhijing, Yu Fang, et al. Improvement of CMOS/SOS devices characteristics modified solid phase epitaxy. Chinese Journal of Semiconductors, 1999, 20(5): 433 (in Chinese) [刘忠立,和致经,于芳,等.利用改进的固相外延技术改善 CMOS/SOS 器件的特性.半导体学报,1999,20(5): 433]
- [ 2 ] Johnston A H, Swift G M, Rax B G. Total dose effects in conventional bipolar transistors and linear integrated circuits. IEEE Trans Nucl Sci, 1994, NS-41: 2427
- [ 3 ] Wang Qiyuan, Nie Jiping, Liu Zhongli, et al. Growth of silicon on sapphire(SOS) film materials and device applications. Chinese Journal of Semiconductors, 2000, 21(6): 521
- [ 4 ] Liu Zhongli, He Zhijing, Mao Dongsheng. High performance radiation hardness CMOS/SOS integrated circuits. Microelectronics, 1988, 18(6): 79 (in Chinese) [刘忠立,和致经,茅冬生.高水平抗辐射 CMOS/SOS 集成电路.微电子学,1988,18(6): 79]

## Irradiation Hardened Performance of CMOS Devices with Modified Thin SOS Film

Liu Zhongli, Li Ning, Gao Jiantou, and Yu Fang

(*Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China*)

**Abstract:** 0.2 $\mu\text{m}$  thin SOS film is modified by solid phase epitaxy using Si implantation. pMOS and nMOS devices and a 54HC04 circuit are manufactured by the films. The DC characteristics of CMOS devices are measured, and the transient irradiation and total dose irradiation tests are put up. The integrated circuits fabricated by the modified thin SOS film show not only relatively good dynamic characteristics similar to those of standard 0.5 $\mu\text{m}$  SOS material, but also excellent transient irradiation hardened performance. The total dose irradiation hardened ability also reaches a very high level.

**Key words:** solid phase epitaxy; modification; SOS thin silicon film; CMOS devices

**PACC:** 0510D; 2550B; 2570F

**Article ID:** 0253-4177(2005)07-1406-06

---

Liu Zhongli male, professor. He is engaged in research on CMOS/ SOS and CMOS/ SOI integrated circuit design, device physics and radiation hardness. He is also interested in the research field of semiconductor device with wide band gap (SiC) and MEMS.

Li Ning male, was born in 1977, engineer. His research interest is in SOI radiation hardness devices and SiGe devices.

Received 18 November 2004, revised manuscript received 10 January 2005

©2005 Chinese Institute of Electronics