

27.5 GHz 0.2 μm PHEMT 1/4 静态分频器*

丁敬峰 王志功 杨守军 王贵 朱恩 熊明珍

(东南大学射频与光电集成电路研究所, 南京 210096)

摘要: 描述了一种能运用于未来光传输系统 SONET OC-768 的超高速 1/4 静态分频器, 其工作频率超过 27 GHz. 该电路采用栅长为 0.2 μm, 截止频率约为 60 GHz 的砷化镓赝晶高电子迁移率晶体管工艺制作, 采用共面波导作为电感实现了宽带阻抗匹配. 通过采用推拉式有源跟随器, 在没有增加功耗的情况下拓宽了频带. 单端输入和差分信号输出的方式, 为实际应用提供了便利. 通过晶圆测试, 在单端时钟输入的情况下, 芯片的最高工作频率超过 27 GHz. 测试所得到的波形均方根抖动小于 820 fs. 芯片的面积是 1.6 mm × 0.5 mm, 功耗为 440 mW.

关键词: 分频器; 锁存器; GaAs; 共面波导

EEACC: 2570D; 1250; 1230B

中图分类号: TN722

文献标识码: A

文章编号: 0253-4177(2005)07-1418-06

1 引言

随着信息传输需求的不断增长, 开发具有自主知识产权的集成电路对我国的信息化建设有着非常重大的意义. 在光通信、射频电路和卫星通信等多种系统中, 分频器是十分重要的模块. 未来的光传输系统 SONET OC-768 的传输速率高达 40 Gb/s, 加上其运用前向纠错技术, 工作速率将达到 43 Gb/s. 虽然在该系统中一般都采用半速率时钟, 但是频率也高达 21.5 GHz. 到目前为止, 国内已经研制出了众多基于不同工艺的各种分频器^[1~4]. 由于静态分频器具有很宽工作范围的优点, 所以被广泛地运用于宽带通信系统中. 现在, 静态分频器的设计是衡量工艺优劣和设计水平高低的公认重要标志之一. 尽管国外最新发表的利用 InP-DHBT 工艺研制的静态分频器已经达到 100 GHz^[5], 但是国内由于各方面的限制, 有测试结果的静态分频器的最高工作频率只有 6.1 GHz^[6], 动态分频器也只有 12 GHz^[7].

本文通过法国 CMP 多项目晶圆服务, 实现了一种能运用于未来光传输系统 SONET OC-768 的超高速 1/4 静态分频器, 其工作频率超过 27 GHz.

该分频器采用栅长为 0.2 μm, 截止频率约为 60 GHz 的 AlGaAs/GaAs 赝晶高电子迁移率晶体管工艺制作, 采用共面波导作为电感实现了宽带阻抗匹配. 通过采用推拉式有源跟随器, 在没有增加功耗的情况下拓宽了频带. 通过在晶圆测试表明, 单端时钟输入的情况下, 芯片的最高工作频率超过 27 GHz. 测试所得到的波形的均方根抖动小于 820 fs. 芯片的面积是 1.6 mm × 0.5 mm, 功耗为 440 mW. 该电路的成功设计说明, 通过多项目晶圆服务与合理的设计方法, 开发具有自主知识产权的单片 40 Gb/s 光传输系统是可行的. 同时也验证了本研究所搭建的 40 Gb/s 超高速测试平台切实可行, 并且达到了国际水平.

2 电路设计

当电路的工作频率接近它所采用的晶体管的截止频率 f_T 时, 电路的设计就极具挑战性. 在这种情况下, 合理的设计方法是取得成功设计的关键. 为了实现最高的工作频率, 本电路全部采用源极耦合 FET 逻辑(SCFL), 这种电路结构对于减小电压摆幅和抑止共模噪声是非常有效的. 由于所用工艺提供增强和耗尽两种类型的晶体管, 所以电路的尾电

*国家高技术研究发展计划资助项目(批准号:2002AA312230 和 2003AA31G030)

丁敬峰 男, 1976 年出生, 博士研究生, 主要从事射频及光电集成电路设计.

王志功 男, 1954 年出生, 教授, 博士生导师, 主要从事射频及光电集成电路设计.

2004-11-28 收到, 2005-02-03 定稿

流源都采用了耗尽型的管子来简化电路结构。

如图 1 所示,该分频器由两级相同的 1/2 分频器和一个输出放大器组成,每级 1/2 分频器由一个主从翻转触发器和一个缓冲放大器组成.由于输入的时钟超过了 20 GHz,焊盘和晶体管栅极的寄生电容会对它产生很大影响.本电路采用了两个共面波导 CPW1 和 CPW2 作电感(所采用的共面波导的模型是工艺厂商直接提供的),CPW1 将焊盘和晶体管栅极的电容隔离成两个部分,而 CPW2 用作并联峰化电感.这个方法很好地补偿了焊盘和晶体管栅极的寄生电容同时展宽了输入信号的频带.有共面波导电感补偿和直接 50 Ω 匹配的仿真 S_{11} 比较如图 2 所示.可以看出在有效分频范围内,输入的时钟信号基本无反射地输入到芯片内部.

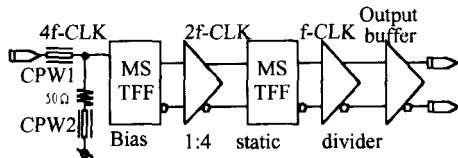


图 1 分频器系统框图

Fig. 1 Divider system diagram

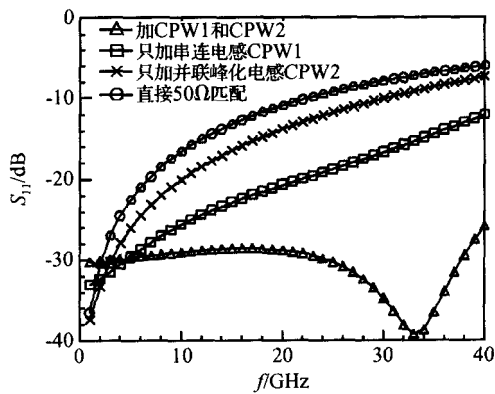


图 2 有共面波导电感补偿和直接 50 Ω 匹配的仿真结果 S_{11} 的比较

Fig. 2 Comparison of S_{11} between CPW compensated and direct 50 Ω input match

图 3 是采用主从翻转触发器的电路结构.翻转触发器由主从两级锁存器负反馈连接,组成一个 1/2 分频单元.这两个锁存器在时钟高低电平的控制下交替地采样和保持数据.从锁存器的输入是主锁存器的输出,而主锁存器的输入是从锁存器的反相输出.因此在一个时钟周期内数据不变,而在下一时钟周期到来时实现翻转,从而实现分频功能.由于

静态分频器的工作速率超过了 20 GHz,为提高锁存器的工作性能,合理分配晶体管的尺寸是十分重要的.电路是负反馈结构,在输入端加上直流偏置后,电路就会自由振荡,其频率为:

$$f_{osc} = \frac{1}{4} \tag{1}$$

其中 t_{d} 是每一个锁存器的延时时间,自由振荡频率越高,最高分频频率也就越高.在不影响分频器性能的前提下,尽量缩短寄存器的延时是分频器取得高速的关键.通过综合考虑分频器的线性度、摆幅、功耗、噪声、增益、驱动能力和各个器件的裕量,经过 ADS2003A 仿真工具优化,在 1/2 时钟通道,本电路选择的管子 (EM3 ~ 6 和 EM11 ~ 14) 尺寸都是一样的,并且它们只有输入时钟端晶体管 (EM1, EM2, EM9 和 EM10) 尺寸的 4/5.二极管 (D1 ~ D4) 是在增益一定的情况下,起直流电平位移的作用.虽然电路图上没有画出电感,实际上本电路将微带线用作并联峰化电感来提高锁存器的工作速度.由于分频器只有锁存器用到了多级的 Gilbert 单元,本电路加了一个较高的 -5V 电压源 V_{EE} 来确保它能高速工作,而其它的都用 -3.3V 的 V_{EE2} ,从而整体上节省了功耗.

图 4 显示了缓冲放大器的电路结构.将一对跟随器放在最前面的目的是用来实现电平位移和为放大单元提供足够的驱动能力.这个缓冲放大单元还有一个特点是,采用了微分的推拉式有源跟随器^[8].在完成电平位移和提高驱动能力的同时,有源跟随器提高了工作带宽.信号通过电容 (C_1 和 C_2) 加在了尾电流源上面形成推拉效应.从而在没有增加功耗的情况下,拓展了其带宽.在设计这个有源跟随器时,注意其时间常数:

$$= R_3 C_1 = R_4 C_2 \tag{2}$$

应该小于所通过时钟的周期.动态峰化电流的大小由电阻 R_3 和 R_4 决定.从图 5 的仿真结果可以看出,有源跟随器技术在有效分频范围内提供了一点增益并同时将其固有带宽提高了将近 30%.

图 6 是输出放大器的电路结构,它将提供足够的电流在虚线部分的片外电阻上产生峰值超过 400mV 的摆幅.由于输出信号的频率超过了 5 GHz,并且驱动电流也较大,焊盘及其寄生电容将会对信号产生较大的影响.本放大器采用了感值和 Q 值分别约为 1nH 和 10 的电感 L_1 和 L_2 来作为并联峰化的电感以拓展带宽并锐化时钟边沿.本放大

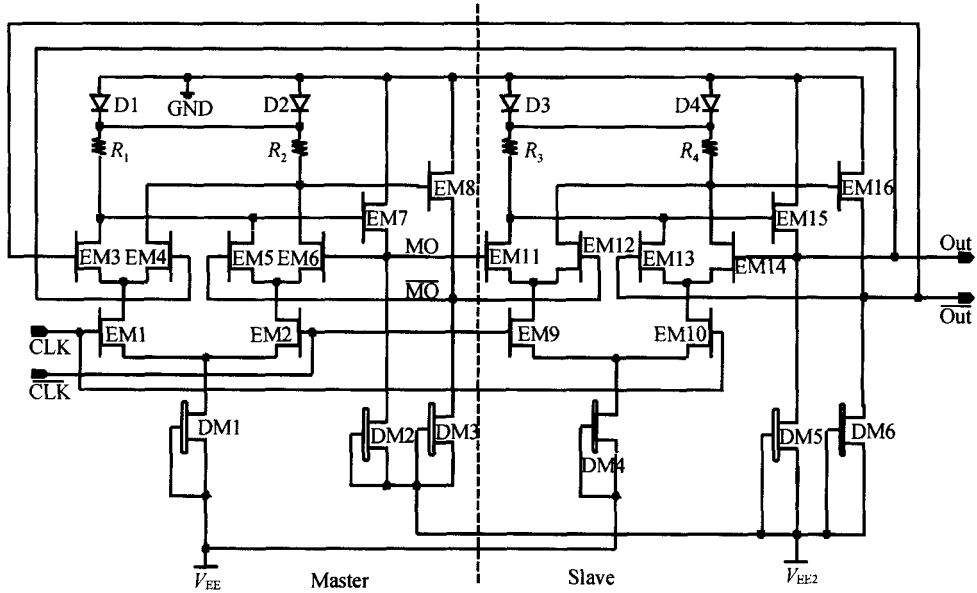


图 3 主从翻转触发器电路单元

Fig. 3 Schematic of MSTFF

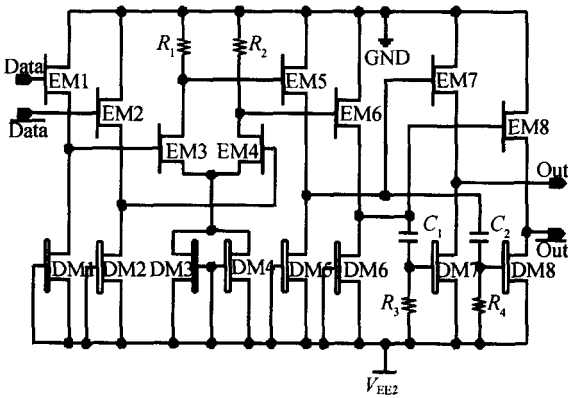


图 4 缓冲放大单元

Fig. 4 Schematic of the buffer amplifier

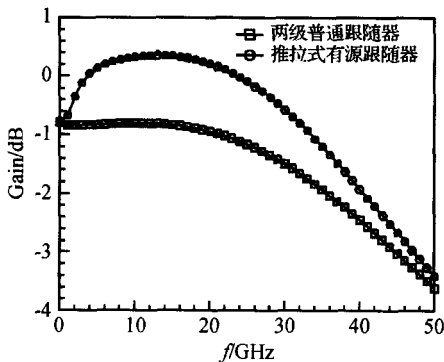


图 5 普通跟随器和推拉式有源跟随器仿真结果比较

Fig. 5 Comparison between the common and ac-coupled push-pull active source follower

器和前面一样也采用了共面波导作为串连电感,将晶体管和焊盘的电容隔离开来增加带宽.与开放式漏极驱动相比,100 的在片电阻 R_1 和 R_2 是用来减小输出信号反射效应的.

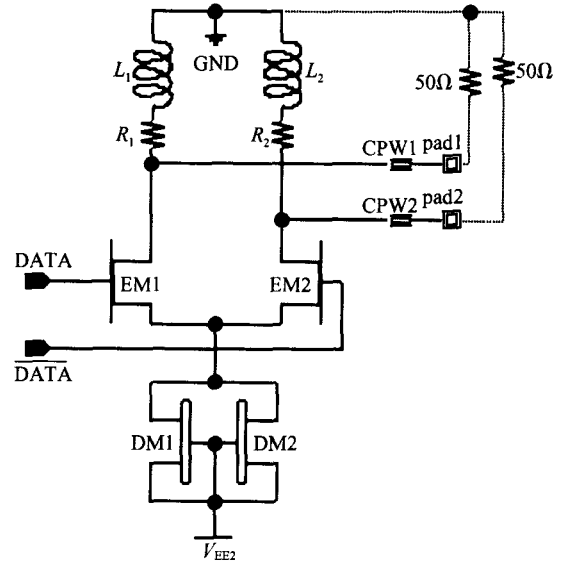


图 6 输出放大单元

Fig. 6 Schematic of output buffer

3 版图及芯片实现

由于电路内部都是差分结构,所以对差分电路版图的对称性进行了优先考虑,来抑止共模噪声和稳定高频信号的交流地.只要可行,高频信号的交叉

处都加了空气桥来减小寄生电容和欧姆接触电阻，从而减小信号间的相互串扰。在高频时钟的输入输出接口处，运用了八角形的焊盘来最小化焊盘的寄生电容。

本分频器通过法国 CMP 提供的多项目晶圆服务渠道利用栅长为 0.2μm 的 AlGaAs/ GaAs 质晶高电子迁移率晶体管工艺得以实现。图 7 是该芯片的显微照片。芯片面积为 1.6mm ×0.5mm。表 1 列出了芯片中采用的增强型和耗尽型晶体管的参数。芯片还使用了厂家提供的两种片上电阻，一种是由有源层制作的高值电阻，另一种是 NiCr 薄膜电阻，其方块电阻为 40，主要应用于需要高精度阻值的场合。除此之外，本工艺还提供了 MIM 电容、螺旋电感和两层用于连线的金属供不同的需要选择使用。

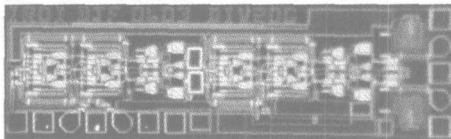


图 7 芯片的显微照片

Fig. 7 Micro photo of the chip

表 1 晶体管参数(栅长=0.2μm)

Table 1 Transistor parameters (Gate length 0.2μm)

参数	增强型	耗尽型
f_T	63 GHz	60 GHz
V_{th}	0.225V	- 0.9V
I_{dss}	140mA/ mm ($V_{gs} = 0.7V$)	250mA/ mm ($V_{gs} = 0V$)
NF @12G	< 0.5dB	< 0.5dB
g_m	440mS/ mm	420mS/ mm
R_s	0.65	0.54

4 测试结果

芯片功能测试是利用 50 微波探针在 CASCADE 的芯片测试台上完成的。分频器测试系统如图 8 所示。单端的时钟信号是由 Rohde & Schwarz 信号发生器产生，通过 Bias-T 隔直流后输入到芯片上。输出信号的测量是由 Agilent 86100A 50GHz 宽带示波器完成的，由于分频器是差分输出的，所以我们将它的一路作为示波器的参考触发时钟，而另外一路作为真正的信号输入。

图 9 显示分频器在有效分频范围内，单端输入时钟最小灵敏度(时钟摆幅)的曲线。可以看出，本静

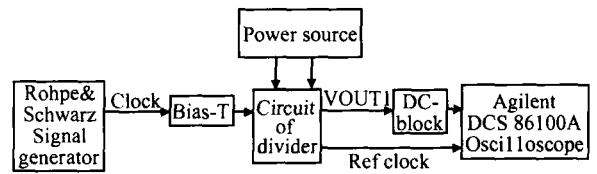


图 8 分频器的测试系统框图

Fig. 8 Block diagram of the test set-up

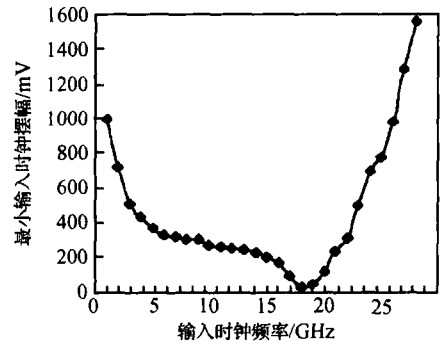


图 9 分频器灵敏度曲线

Fig. 9 Divider sensitive curve

态分频器的最小输入摆幅小于 1V 时，它的分频范围为 1.5 ~ 26.0GHz。而在该分频器的自谐振频率的 2 倍即 18GHz 的时候，此处输入时钟的摆幅最小为 28mV。图 10 是最小 1.4GHz 和最大 27.5GHz 单端时钟输入时，经过 1/4 分频器后的输出波形。图 11 是最大输入 27.5GHz 时钟时，6.875GHz 分频输出的抖动测量。可以看出，此时输出波形的 RMS 和 p-p 抖动值分别为 810fs 和 6.22ps。这样的抖动测试结果在国外发表的文章里也比较少见，这也验证了本研究所搭建的 40Gb/s 超高速测试平台是切实可行的，并且达到了国际水平。本芯片在 - 3.3V 和 - 5V 的双电源供电下，典型功耗是 440mW，它与 - 5V 的单电源供电相比节省了大约 1/3 的功耗。而在 2 ~ 25GHz 分频范围内，电源 V_{EE2} 和 V_{EE} 的范围分别是 - 2.3 ~ - 4.3V 和 - 3.8 ~ - 6.2V。

表 2 给出了仿真和测试关键参数的比较，可以看出仿真结果和测试结果非常接近，这也说明了所采用的设计方法是实用可行的，为进一步设计未来 40Gb/s 光传输系统提供了很好的参考。但是值得注意的是分频器的自谐振频率和最高分频频率分别下降了 1 和 2GHz，说明我们对连线和其他寄生电容的估计还是有所欠缺的，在今后的设计中应该在此

基础上进一步考虑.

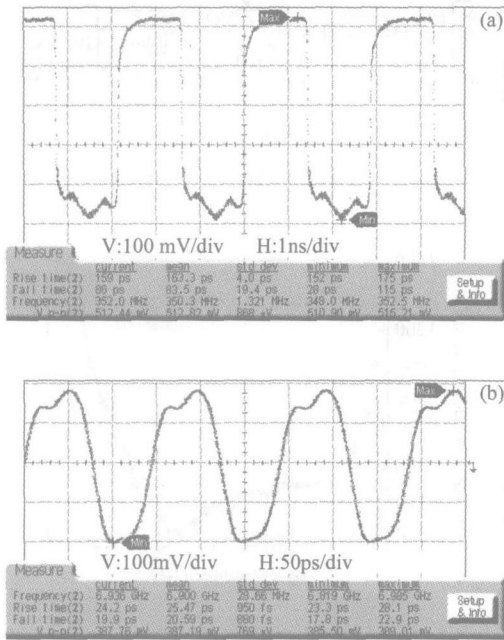


图 10 分频输出 350MHz (输入 1.4GHz) (a) 和分频输出 6.875GHz (输入 27.5GHz) (b)

Fig. 10 Measured output waveform with 1.4GHz (a) and 27.5GHz input (b)

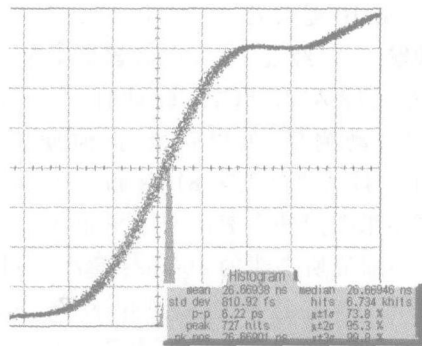


图 11 最高分频时,6.875GHz 输出信号的抖动测量

Fig. 11 Jitter measurement of the output waveform with the highest 27.5GHz input

表 2 仿真和测试关键参数的比较

Table 2 Comparison between simulation and measurement results of key parameters

参数	仿真结果	实测结果
最高分频/ GHz	29.5	27.5
自谐振频率/ GHz	10.1	9
输入匹配电阻/	50	49.5
功耗/ mW	430	440

5 结论

通过多项目晶圆流片,利用栅长为 0.2 μm 的砷化镓 PHEMT 工艺,实现了一个能运用于未来光传输系统 SONET OC-768 的 1/4 静态分频器,其最高分频频率高达 27.5GHz. 在分频范围为 1.5 ~ 26.0GHz 时,最小输入摆幅小于 1V. 分频器输出波形 RMS 抖动小于 820fs. 该分频器性能符合未来光传输系统 SONET OC-768 的规范,可运用于光纤用户网的收发机中.

参考文献

[1] Lu Jianhua, Wang Zhigong, Tian Lei, et al. An 8.5GHz 1/8 frequency divider in 0.35 μm CMOS technology. Chinese Journal of Semiconductors, 2003, 24(4) :366 (in Chinese) [陆建华, 王志功, 田磊, 等. 0.35 μm CMOS 8.5GHz 1/8 分频器的设计. 半导体学报, 2003, 24(4) :366]

[2] Xu Yong, Wang Zhigong, Li Zhiqun, et al. A novel high-speed low-jitter low-power dissipation dual modulus prescaler and application in PLL frequency synthesizer, 2005, 26(1) :176 (in Chinese) [徐勇, 王志功, 李智群, 等. 一种新型高速低抖动低功耗双模预分频器及其在 PLL 频率综合器中的应用. 半导体学报, 2005, 26(1) :176]

[3] Zhang Chunhui, Li Yongming, Chen Hongyi. A CMOS high speed dual-modulus prescaler with new flip-flop. Chinese Journal of Semiconductors, 2000, 21(6) :788 (in Chinese) [张春晖, 李永明, 陈弘毅. 一种采用新触发器的高速 CMOS 前置分频器. 半导体学报, 2000, 21(6) :788]

[4] Zeng Xiaojun, Li Tianwang, Hong Zhiliang. Design of a 1V, 19GHz CMOS frequency divider. Chinese Journal of Semiconductors, 2003, 24(4) :416 (in Chinese) [曾晓军, 李天望, 洪志良. 1V, 19GHz CMOS 分频器设计. 半导体学报, 2003, 24(4) :416]

[5] Mokhtari M, Fields C, Rajavel R D, et al. 100+ GHz static divider-by-2 circuit in InP-DHBT technology. IEEE J Solid-State Circuits, 2003, 38(9) :1540

[6] Lu Jianhua, Wang Zhigong, Chen Haitao, et al. A 0.35 μm CMOS 6.1GHz 1/4 static frequency divider. High Technology Letters, 2003, 9(2) :65

[7] Wang Huan, Wang Zhigong, Feng Jun, et al. 12-GHz 0.25 μm CMOS 1/2 dynamic frequency divider. High Technology Letters, 2003, 8:45 (in Chinese) [王欢, 王志功, 冯军, 等. 12-GHz 0.25 μm CMOS 1/2 动态分频器. 高技术通讯, 2003, 13(8) :45]

[8] Lang Manfred, Wang Zhigong, Lao Zhihao, et al. 20-40Gb/s 0.2- μm GaAs HEMT chip set for optical data receiver. IEEE J Solid-State Circuits, 1997, 32(9) :1384

27.5 GHz 0.2 μ m Gate-Length PHEMT 1-4 Static Frequency Divider^{*}

Ding Jingfeng, Wang Zhigong, Yang Shoujun, Wang Gui, Zhu En, and Xiong Mingzhen

(*Institute of RF & OE-ICs, Southeast University, Nanjing 210096, China*)

Abstract: A 1-4 static frequency divider integrated circuit (IC) whose working frequency reaches over 27 GHz targeting to future SONET OC-768 applications is realized in a 0.2 μ m gate-length AlGaAs/GaAs pseudomorphic high electron mobility transistor (PHEMT) technology with an f_T of approximately 60 GHz. Coplanar waveguides (CPW) are used as inductors to achieve broadband input impedance match and high integration. The push-pull active source-follower is applied to broaden the circuit bandwidth without consuming additional power. The single-ended inputs and differential outputs benefit many applications. The divider IC can operate at the highest frequency of 27 GHz with single-ended input clock via on-wafer testing. The measured RMS jitter of the output clock is less than 820fs. The chip size is 1.6mm \times 0.5mm and the power dissipation is 440mW.

Key words: frequency divider; latch; GaAs; CPW

EEACC: 2570D; 1250; 1230B

Article ID: 0253-4177(2005)07-1418-06

^{*} Project supported by the National High Technology Research and Development Program of China (Nos. 2002AA312230, 2003AA31G030)

Ding Jingfeng male, was born in 1976, PhD candidate. He is engaged in research on RF & OE ICs design.

Wang Zhigong male, was born in 1954, professor. He is engaged in research on RF & OE ICs design.

Received 28 November 2004, revised manuscript received 3 February 2005

©2005 Chinese Institute of Electronics