

超深亚微米 LDD nMOSFET 中的 非幸运电子模型效应*

杨林安 于春利 郝 跃

(西安电子科技大学微电子所, 西安 710071)

摘要: 通过对采用 $0.18\mu\text{m}$ CMOS 工艺制造的两组不同沟道长度和栅氧厚度的 LDD 器件电应力退化实验发现,短沟薄栅氧 LDD nMOSFET ($L_g = 0.18\mu\text{m}$, $T_{\text{ox}} = 3.2\text{nm}$) 在沟道热载流子 (CHC) 应力下的器件寿命比在漏雪崩热载流子 (DAHC) 应力下的器件寿命要短,这与通常认为的 DAHC 应力 (最大衬底电流应力) 下器件退化最严重的理论不一致. 因此,这种热载流子应力导致的器件退化机理不能用幸运电子模型 (LEM) 的框架理论来解释. 认为这种“非幸运电子模型效应”是由于最大碰撞电离区附近具有高能量的沟道热电子,在 Si-SiO₂ 界面产生界面陷阱 (界面态) 的区域,由 Si-SiO₂ 界面的栅和漏的重叠区移至沟道与 LDD 区的交界处以及更趋于沟道界面的运动引起的.

关键词: LDD nMOSFET; 热载流子退化; 沟道热载流子应力; 漏雪崩热载流子应力; 幸运电子模型

PACC: 6848; 7340 **EEACC:** 2560S; 2560R

中图分类号: TN386 **文献标识码:** A **文章编号:** 0253-4177(2005)07-1390-06

1 引言

随着 CMOS 工艺的发展, MOSFET 的最小栅长已达超深亚微米,短沟效应及热载流子 (HC) 效应对器件特性的影响更加显著,因而抑制热载流子效应的 LDD 结构被广泛采用. 但是,即使在超深亚微米 MOSFET 的电源电压降至 2V 以下,热载流子的产生及其引起的器件性能退化仍然是影响器件可靠性的关键因素,准确预测小尺寸器件寿命成为当前的主要研究课题之一. 因此,深入研究热载流子在更小尺寸器件中的退化机理是非常必要的,多年来对小尺寸 MOSFET 沟道热载流子产生机理的分析研究一直倍受人们的关注. Tam^[1], Hu^[2] 等人首先将提出的幸运电子模型用于研究 MOSFET 沟道热电子,并在研究热载流子引起的器件退化方面得到认可,成为加速应力下预测 MOS 器件热载流子寿命的理论依据. 而后文献[3, 4]的研究也证明,在小于

Si-SiO₂ 界面势垒高度 (ϕ_{it}) 的低压区,热载流子的产生仍然遵守幸运电子模型 (LEM). 然而, Mizuno 等人^[5]的研究指出,短沟长 MOSFET 由于沟道电场的增强,使得载流子温度升高,因此 LEM 应当修正. 文献[6, 7]也指出了当器件沟道长度进入深亚微米后,LEM 对热电子效应预测的不准确. Rauch 等人^[8]提出,对于超深亚微米器件必须考虑电子-电子散射 (EES) 效应,它的热载流子退化机理不再遵守 LEM,并为此提出了“有效电子温度模型”来更好地描述这种退化行为. 通过在恒定漏压下测量器件退化随栅压的变化可以反映电子-电子散射 (EES) 的影响. 其他一些文献[6, 9, 10]通过理论或用 Monte Carlo 等模拟器对 nMOSFET 进行模拟表明,在漏压小于 3V 的情况下,由 EES 加热的电子,在电子能量分布函数中高于 ϕ_{it} 的高能量尾中起主要作用. 因此,随着电源电压的降低, EES 效应在 nMOSFET 的 HC 退化中起着越来越重要的作用. 然而,热载流子引起的器件退化在最大衬底电流应力下并

*国家自然科学基金(批准号:60376024)和国家高科技研究发展计划(批准号:2003AA1Z1630)资助项目

杨林安 男,博士,研究方向为小尺寸微波器件、宽禁带半导体材料和器件领域. Email: layang @xidian.edu.cn

于春利 女,博士研究生,从事深亚微米 CMOS 器件建模及可靠性应用的研究.

郝 跃 男,教授,博士生导师,从事微电子学与半导体器件的研究.

2004-10-13 收到,2004-12-01 定稿

非最严重的这种非幸运电子模型效应,在超深亚微米 MOSFET 器件中的实验验证却少有报道^[11].

本文通过对薄栅氧 0.18μm 栅长和厚栅氧 0.36μm 栅长的两组 LDD nMOSFET 的电应力加速退化实验,揭示了 0.18μm 薄栅氧 LDD nMOSFET 在沟道热载流子(CHC)应力下比在漏雪崩热载流子(DAHC)应力下退化更严重的现象,而这与 0.36μm 厚栅氧 LDD nMOSFET 的实验结果正好相反.这种现象无法由 LEM 理论来解释,却为非幸运电子模型效应提供了实验验证.实验中我们对各种器件参数如饱和漏电流 I_{DS} ,最大跨导 G_m ,阈值电压 V_{th} ,衬底电流 I_{sub} 随栅电压 V_{gs} 的退化特点进行了测试分析.为进一步说明问题,还根据测试数据提取了两种应力下碰撞电离率随栅电压的变化情况.最后,对非幸运电子模型效应的产生机理进行了解释.

2 实验

用于实验的 LDD nMOSFET 器件采用标准 0.18μm 1P6M CMOS 双栅氧工艺技术制作.两种氧化层厚度分别为,薄栅氧 $T_{ox} = 3.2\text{nm}$,厚栅氧 $T_{ox} = 7\text{nm}$,栅氧均经过 N_2O 氮化退火处理,器件采用 STI 隔离.

应力实验采用的两组器件为栅长 0.18μm,栅氧厚 3.2nm 和栅长 0.36μm,栅氧厚 7nm 的 LDD 结构 nMOSFET,栅宽 W 均为 10μm,以下分别简称为薄氧和厚氧器件.

样品测试采用的实验仪器包括 SIGNATION S1160 探针台和 HP4156B 高精度半导体参数测试仪,测试温度保持在室温.实验中器件的源极和衬底保持接地,即 $V_S = V_B = 0$.

分别对薄氧和厚氧这两组器件施加沟道热载流子应力和漏雪崩热载流子(DAHC)应力,测量它们衬底电流 I_{sub} 和饱和漏电流 I_{Dsat} 的退化情况,计算出阈值电压 V_{th} 、饱和区跨导 G_m 随应力的变化及碰撞电离率在确定应力下的退化随栅压 V_{gs} 的变化.以饱和漏电流 I_{Dsat} 退化 10% 作为标准定义器件寿命,计算出在沟道热载流子(CHC)和漏雪崩热载流子(DAHC)两种应力模式下,器件寿命随漏压 V_{ds} 的变化,以证实 0.18μm LDD nMOSFET 的非幸运电子模型效应.

3 结果与分析

为了确定薄氧和厚氧器件的最坏退化应力条件,首先测试了在固定漏极应力下饱和漏电流 I_{Dsat} 随不同栅极应力的退化趋势,如图 1 所示.其中 0.18μm 薄氧和 0.36μm 厚氧器件的恒定漏极应力分别为 2.5V 和 4.5V.为了比较,图中同时也给出了未加应力(fresh)时的衬底电流 I_{sub} 曲线.从图 1 (a)中可以清楚地看到,在不同的应力时间下(3000, 5000s),0.36μm 厚氧 nMOSFET 的饱和漏电流 I_{Dsat} 最大退化的栅应力点都近似对应衬底电流峰值处的栅压点 $V_{gs} = 2.1\text{V}$,即在 $V_{ds} = 4.5\text{V}$, $V_{gs} = 2.1\text{V}$ 的最大衬底电流应力(也称 DAHC 应力)条件下, I_{Dsat} 的退化最严重,这充分证明厚氧器件符合

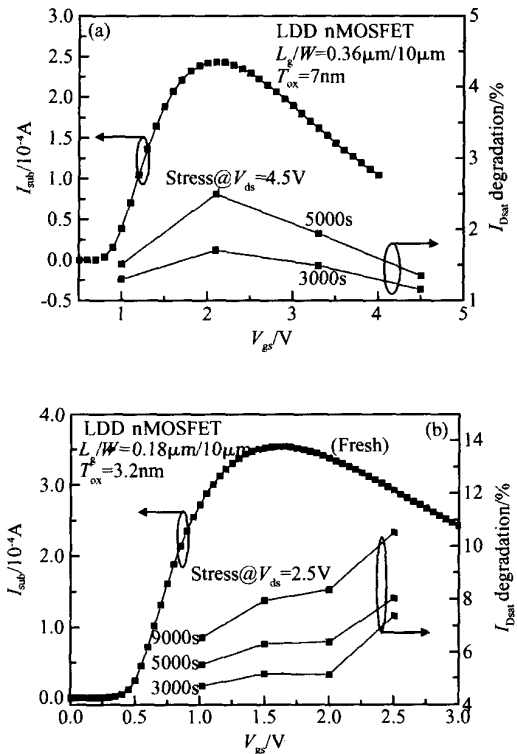


图 1 饱和漏电流 I_{Dsat} 随不同栅应力的变化 (a) 0.36μm 厚栅氧 nMOSFET; (b) 0.18μm 薄栅氧 nMOSFET 固定漏极应力分别为 4.5V 和 2.5V,图中也分别给出了未加应力时的衬底电流 I_{sub} .

Fig. 1 Degradation of saturation drain current I_{Dsat} versus gate bias V_{gs} (a) thick nMOSFET and (b) thin nMOSFET

The largest degradation of I_{Dsat} of 0.36μm nMOSFET happened at the maximum substrate current point while that of 0.18μm nMOSFET happened at the maximum gate voltage.

LEM 的退化机理. 然而, 图 1 (b) 中 $0.18\mu\text{m}$ 薄氧器件所反映的情况则不同, 很明显该器件的饱和漏电流 $I_{D\text{sat}}$ 的最大退化应力条件并不是在衬底电流峰值处, 而是在高栅压 $V_{\text{ds}} = V_{\text{gs}} = 2.5\text{V}$ 处, 即 CHC 应力条件, 图中给出的不同应力时间 (3000, 5000 和 9000s) 下的退化趋势基本一致地反映了这一点. 应力时间越长, 这种退化趋势越显著. 显然在 CHC 应力下的退化明显大于在 DAHC 应力下的退化, 这种特性不能用 LEM 的退化机理来解释.

为了进一步揭示这种现象, 本文在 $V_{\text{ds}} = 50\text{mV}$ 条件下用最大跨导法提取了不同应力下的阈值电压

V_{th} 变化趋势, 图 2 给出了施加应力 3000s 后两种器件阈值电压 V_{th} 漂移情况, 同时给出了饱和区最大跨导 G_m 随不同栅应力的退化情况, 再一次验证了前面的结论, 即 $0.36\mu\text{m}$ 厚栅氧 nMOSFET 在 DAHC 应力下阈值电压 V_{th} 漂移和饱和区跨导 G_m 的退化最严重, 如图 2 (a) 所示. 而 $0.18\mu\text{m}$ 薄栅氧 nMOSFET 的 V_{th} 漂移和 G_m 的退化则随栅应力的增加而增大, 如图 2 (b) 所示. 在沟道热载流子 (CHC) 应力条件 ($V_{\text{ds}} = V_{\text{gs}}$) 下退化最严重, 这也不符合 LEM 的退化机理.

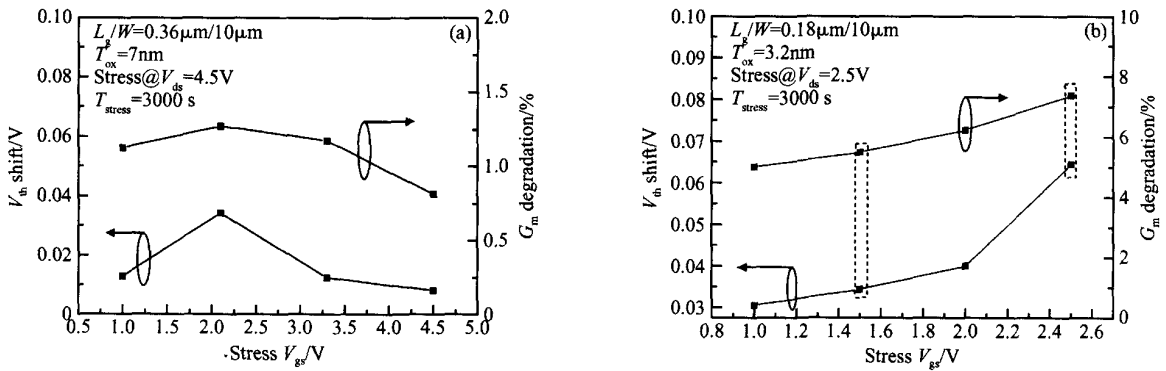


图 2 固定漏极应力, 不同栅极应力下的阈值电压 V_{th} 漂移和饱和区漏导 G_m 的退化趋势 (a) 厚栅氧 nMOSFET; (b) 薄栅氧 nMOSFET

Fig. 2 Threshold voltage V_{th} shift and G_m degradation as a function of stressing gate bias for thick nMOSFETs (a) and thin nMOSFETs (b) V_{th} of $0.36\mu\text{m}$ nMOSFET shows the largest degradation at the maximum substrate current point while that of $0.18\mu\text{m}$ nMOSFET at the maximum gate voltage.

图 3 分别给出了薄栅氧和厚栅氧器件在 DAHC 和 CHC 两种应力下提取的随漏压 V_{ds} 变化的器件寿命. 图中两条寿命与 $1/V_{\text{ds}}$ 的关系曲线变化趋势几乎相同, 说明退化过程遵循相同的机理. 这里器件寿命定义为饱和漏电流 $I_{D\text{sat}}$ 退化 10% 的应力时间, 从 $I_{D\text{sat}}/I_{D\text{sat}} - T_{\text{stress}}$ 双对数坐标的近似直线关系得到. 那么, 器件在工作电压下的预测寿命则可从寿命与 $1/V_{\text{ds}}$ 的关系曲线外推得到. 从图 3 (a) 和 (b) 中可以看出, $0.36\mu\text{m}$ nMOSFET 的器件寿命在 DAHC 应力下比 CHC 应力下要小得多, 可见在 DAHC 应力下比 CHC 应力下产生的热载流子要多, 退化更严重; 而 $0.18\mu\text{m}$ nMOSFET 则相反, 它的器件寿命在 CHC 应力下比 DAHC 应力下要短很多, 即在 CHC 应力下比 DAHC 应力下热载流子引起的退化更强烈.

超深亚微米 MOSFET 器件的退化主要是由于热载流子在 Si-SiO₂ 界面产生的界面态 (界面陷阱) 引起的. 文献 [11] 应用电荷泵的方法测量器件两种应力前后的电荷泵电流, 由界面态的产生密度证明了两种热载流子应力与器件寿命的关系, 与本文的实验结果完全一致. 为了说明非幸运电子模型效应的发生机理, 文献 [11] 通过用 MEDICI 模拟深亚微米 nMOSFET 器件在 DAHC 和 CHC 两种应力下的碰撞电离率最大点和漏电流路径. 模拟结果显示, 薄氧器件在 CHC 应力下, 最大碰撞电离率点位于 Si-SiO₂ 界面附近 LDD n⁻ 扩散区与 p 衬底的交界处; 而在 DAHC 应力下, 处于靠近 Si-SiO₂ 界面的栅和漏的重叠区中间, 并且在 CHC 应力下漏电流的路径更靠近 Si-SiO₂ 界面, 厚氧器件的情况却正好相反. 因此认为最大碰撞电离率点距离 Si-SiO₂ 界

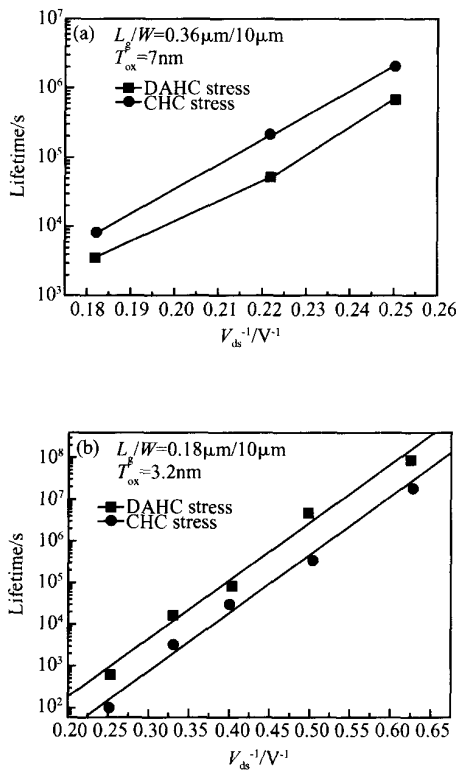


图 3 DAHC 和 CHC 应力下器件寿命随 $1/V_{ds}$ 的变化趋势 (a) 厚栅氧器件; (b) 薄栅氧器件呈现出不同的变化规律
 Fig. 3 Hot-carrier lifetime versus $1/V_{ds}$ for thick nMOSFETs (a) ($0.36\mu\text{m}$ nMOSFETs with a gate oxide of 7nm) and thin nMOSFETs ($0.18\mu\text{m}$ with a gate oxide of 3.2nm) (b) The device lifetime of thin and thick MOSFETs shows the opposite dependence on the stress modes, DAHC and CHC stress.

面附近 LDD n^- 扩散区与 p 衬底的交界处越近, 电流的路径越靠近 Si-SiO₂ 界面, 就会使热载流子注入到氧化层的效率越高, 以此解释薄氧器件的退化机理. 然而, 氘同位素效应实验^[12] 及其他研究^[13] 表明, 与通常所认为的不同, 在热载流子应力下, 深亚微米 nMOSFET 器件中界面陷阱的产生是由界面处沟道热电子并不是注入到栅氧中的热载流子产生的. 因此, 本文认为薄栅氧 $0.18\mu\text{m}$ nMOSFET 的非幸运电子模型效应, 是因为它的最大碰撞电离率点更靠近沟道方向, 沟道热电子在越靠近 Si-SiO₂ 界面的方向运动较长的距离, 发生碰撞电离的几率就越大, 产生的界面陷阱密度也就越大. 为此, 本文提取了在不同应力条件下, 经过一定的应力时间后, 碰撞电离率的增量变化, 如图 4 所示. (a) 图显示了经过 3000s 的应力后, DAHC 应力条件下 $0.36\mu\text{m}$ 厚

栅氧器件的碰撞电离率的增量明显大于在 CHC 应力下的增量, 这表明 DAHC 机理仍然主导着热载流子的碰撞电离过程. 而经过应力破坏后, 对器件测试时, 随着栅偏压 V_{gs} 的增加, 碰撞电离率增量应该呈明显上升趋势, 图中两条曲线的变化也符合这一过程. 在 (b) 图中, 经过 5000s 的应力后, $0.18\mu\text{m}$ 薄栅氧器件的碰撞电离率增量也具有相似的机理, 不过此时 CHC 应力起了主导作用, 这验证了前面对薄栅氧器件退化机理的分析过程. 这种特点也决定了薄栅氧 $0.18\mu\text{m}$ nMOSFET 的器件寿命与不同应力模式的联系.

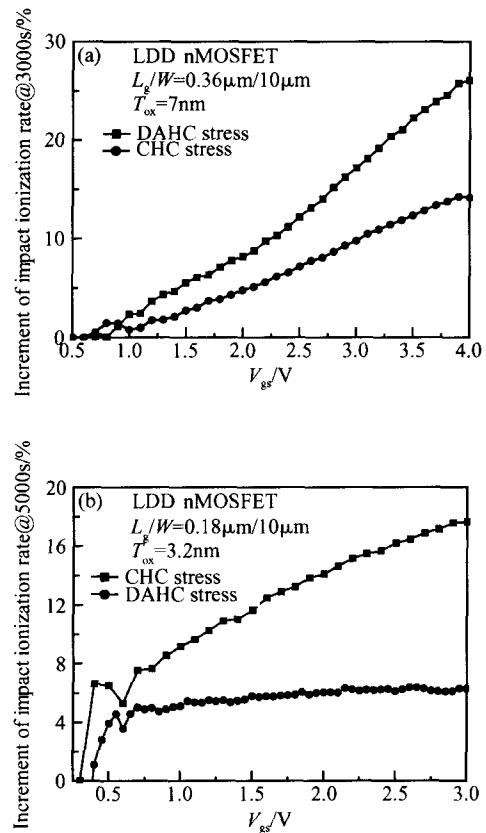


图 4 不同应力机理下的碰撞电离率归一化增量随 V_{gs} 的变化趋势 (a) 厚栅氧器件; (b) 薄栅氧器件
 Fig. 4 Normalized increment of the impact ionization rate under DAHC and CHC stress versus gate bias V_{gs} (a) Thick nMOSFET; (b) Thin nMOSFET

因此, 超深亚微米 nMOSFET 器件小到 $0.18\mu\text{m}$ 后不再遵守 LEM 规律, 其最坏应力条件从 $I_{sub,max}$ (DAHC) 转变为 $V_{ds} = V_{gs}$ (CHC), 这在研究器件退化模型中应该充分考虑, 否则, 如果对 $0.18\mu\text{m}$ 或更小尺寸器件仍然采用 LEM 理论预测器件寿命, 就会得到过于乐观的结论.

4 结论

本文用实验的方法,在不同应力条件下对 0.18 μm CMOS 工艺器件的热载流子退化机理进行了研究.实验结果表明,0.36 μm 厚栅氧 LDD nMOSFET 的器件寿命主要是由 DAHC 应力决定;而 0.18 μm 薄栅氧 LDD nMOSFET 的器件寿命则主要是由 CHC 应力决定,即 0.18 μm 薄栅 nMOSFET 器件的退化不再遵守 LEM 机理.0.18 μm nMOSFET 在 CHC 应力下,更多的沟道热电子引发更多的界面态会增强热载流子的退化;随着栅氧厚度的减小,最大碰撞电离率发生点移至沟道和 LDD 区的交界处也是一个重要因素.因而,最大碰撞电离率发生点的移动及界面陷阱的产生是非幸运电子模型效应的主要原因.这对 0.18 μm 或更小尺寸 MOSFET 器件热载流子可靠性的研究具有重要意义.

参考文献

- [1] Tam S, Ko P K, Hu C. Lucky-electron model of channel hot electron injection in MOSFETs. *IEEE Trans Electron Devices*, 1984, 31(6):1116
- [2] Hu C, Tam S C, Hsu F C, et al. Hot-electron-induced MOSFET degradation-model, monitor, and improvement. *IEEE Trans Electron Devices*, 1985, 32(2):375
- [3] Chung J, Jeng M C, Moon J, et al. Low-voltage, hot electron currents and degradation in deep-submicrometer MOSFETs. *IEEE Trans Electron Devices*, 1990, 37(9):1651
- [4] Aur S. Low-voltage hot-carrier effects and stress methodology. *Proc Int Symp VLSI Technol*, 1995:277
- [5] Mizuno T, Toriumi A, Iwase M, et al. Hot-carrier effects in 0.1- μm gate length CMOS devices. *IEDM Tech Dig*, 1992:695
- [6] Ellis-Monaghan J J, Hulfachor R B, Kim K W, et al. Ensemble Monte Carlo study of interface-state generation in low voltage scaled silicon MOS devices. *IEEE Trans Electron Devices*, 1996, 43(6):1123
- [7] Abramo A, Fiegna C, Venturi F. Hot-carrier effects in short MOSFETs at low applied voltages. *IEDM Tech Dig*, 1995:301
- [8] Rauch S E, Guarin F J, LaRosa G. Impact of E-E scattering to the hot-carrier degradation of deep submicron NMOSFETs. *IEEE Electron Device Lett*, 1998, 19(12):463
- [9] Bude J, Iizuka T, Kamakura Y. Determination of threshold energy for hot electron interface state generation. *IEDM Tech Dig*, 1996:865
- [10] Childs P, Leung C. New mechanism of hot-carrier generation in very short channel MOSFETs. *Electron Lett*, 1995, 31(2):139
- [11] Lee S, Hwang J M, Lee H D. Experimental evidence for non-lucky electron model effect in 0.15- μm NMOSFETs. *IEEE Trans Electron Devices*, 2002, 49(11):1876
- [12] Chen Z, Hess K, Lee J, et al. On the mechanism for interface trap generation in MOS transistors due to channel hot carrier stressing. *IEEE Electron Device Lett*, 2000, 21(1):24
- [13] Ang D S, Ling C H. On the dominant interface trap generation process during hot-carrier stressing. *Int Reliability Physics Symp Proc*, 2001:412

Nonlucky Electron Model Effect in Ultra-Deep Submicro LDD nMOSFETs *

Yang Lin 'an , Yu Chunli , and Hao Yue

(*Microelectronics Institute , Xidian University , Xi 'an 710071 , China*)

Abstract : This paper presents the degradation characteristics of two groups of LDD nMOSFETs with different channel length and gate oxide thickness that are fabricated on 0.18 μm CMOS technology. It is found that in 0.18 μm nMOSFETs the device lifetime under channel hot-carrier (CHC) stress is lower than that under drain avalanche hot-carrier (DAHC) stress ,contrary to the usual thinking that the worst case stress condition depends on the gate voltage with the maximum substrate current. Therefore ,the hot-carrier stress-induced device degradation in 0.18 μm nMOSFETs cannot be explained in the framework of the lucky electron model (LEM) . Our investigation suggests that such a " non-LEM effect " may be due to the fact that the increased interface trap (interface state) generation region at the Si-SiO₂ interface by the channel hot electrons with high energy near the maximum impact ionization site moves from the lightly doped drain (LDD) diffusion region to the boundary of the bulk and LDD region beneath the gate oxide. The current path is located closer to the Si-SiO₂ interface.

Key words : LDD nMOSFET ; hot carrier degradation ; channel hot carrier stress ; drain avalanche hot carrier stress ; lucky electron model

PACC : 6848 ; 7340 **EEACC :** 2560S ; 2560R

Article ID : 0253-4177(2005)07-1390-06

* Project supported by the National Natural Science Foundation of China (No. 60376024) and the National High Technology Research and Development Program of China (No. 2003AA1Z1630)

Yang Lin 'an male , PhD. His research interests include small-sized microwave devices ,and wide-bandgap semiconductor materials and devices.

Yu Chunli female , PhD candidate. Her research interests include modeling and application of ultra-deep submicro CMOS devices.

Hao Yue male , professor , advisor of PhD candidates. His research interests include microelectronics and semiconductor devices.

Received 13 October 2004 , revised manuscript received 1 December 2004

©2005 Chinese Institute of Electronics