

可缩放的开路通路地屏蔽电感 在片测试结构去嵌入方法*

菅洪彦 唐 珏 唐长文 何 捷 闵 昊

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 建立了标准 CMOS 工艺电感在片测试寄生参量模型. 实验验证了相同频率时, 信号线寄生的串联电阻、串联电感、并联电容与信号线的长度成正比. 进而针对不同外径电感到焊盘之间信号线长度不同, 采用相同去嵌入结构引起测量误差, 不同的测试去嵌入结构又大大增加芯片面积的问题, 首次提出针对该信号线寄生参量的按比例缩放地屏蔽开路通路测试结构去嵌入解决方案. 使用 0.35 μm 两层多晶硅、四层互连线的 CMOS 工艺电感流片验证了该方法的有效性.

关键词: 片上电感; 按比例缩放; 开路通路去嵌入; 在片测试

EEACC: 2140; 1205; 1350; 2570

中图分类号: TN3 **文献标识码:** A **文章编号:** 0253-4177(2005)08-1656-06

1 引言

电感是无线射频通信的一个关键元件, 广泛应用于放大器、混频器、振荡器以及功率放大器等电路中^[1,2]. 移动通信的迅猛发展以及 CMOS 工艺的价格优势大大促进了标准 CMOS 工艺片上电感的研

究. 射频工艺厂商一定要提供电感元件, 这就需要大量的流片测试. 芯片设计公司设计包含电感的电路一般采取三种方法: (1) 采用工艺厂提供的电感. 工艺厂商提供的电感量值一般只有有限的几种, 且不一定是优化的结构设计, 比如: 一般没有衬底屏蔽, 多数采用四边形, 以满足曼哈顿布局布线规则的软件要求. (2) 根据不同电路的需要设计不同的电感, 流片测试, 以备后用. (3) 使用电磁场仿真软件仿真电感. 由于一些工艺参数不详, 比如设计人员往往不知道工艺的衬底损耗正切以及电导率, 使得电磁场仿真不是十分精确等原因, 往往需要电感流片测试验证. 总之无论是工艺厂商还是射频、微波电路的

设计单位都需要测试电感, 提炼电感模型或电感在片测试的去嵌入 S 参数数据给仿真工具使用.

电感量值一般都是 nH 量级, 只能使用探针台在片测试. 为了得到电感的真实参量, 为电感测试而设计的焊盘以及信号线等寄生参量都需要从测试数据中剥离 (pick off), 常称作去嵌入^[3,4] (de-embedding) 法. 电感测试需要可测性设计. 测试探针和焊盘之间的接触电阻是另一个测试引入的寄生参量, 可以通过每一次测量保持该值不变, 在去嵌入过程将该寄生参量剔除. 小的电感量值还不到 1nH, 简单的通过开路去嵌入, 只能剔除焊盘和信号线的寄生电容. 焊盘和电感之间信号线的寄生串联电阻和串联电感没有去嵌入, 针对长的信号线而言, 测试的数据几乎不可用. 所以还需要短路或通路去嵌入结构将焊盘和电感之间的信号线寄生参量剔除.

由于电感外径不同, 对应的信号线长度也就不同, 针对每一个不同外径的电感设计不同的去嵌入结构, 因占用的芯片面积太大而不可行, 进而提出可缩放的信号线去嵌入结构. Kaija 和 Ristolainen^[5] 提出了 CMOS 工艺可缩放的开路通路地屏蔽在片

*上海市科委(批准号:037062019)和上海应用材料基金(批准号:0425)资助项目

菅洪彦 男, 博士研究生, 研究方向为: 片上电感和片上天线的优化设计, 射频电路设计, 如低噪声放大器、混频器和压控振荡器等, 射频识别天线设计.

2004-12-09 收到, 2005-01-24 定稿

测试结构. 金属互连线的串联电阻是频率的函数, 在趋肤效应和临近效应的作用下, 随着频率升高而增大. 假设信号线的串联电阻与频率无关, 这对小电感值和小串联电阻的电感引入的测试误差不容忽略. 信号线长度不同引入的寄生电感是通过相对复杂的 Wheeler 方程^[6] 计算得到. 信号线不同引入的寄生电容通过计算平板电容和边缘电容得到^[7]. 公式计算相对复杂, 而且必然会引入一定的误差. 还有对于电感测试中的长信号线, 开路短路去嵌入结构很难提供信号路径与地之间的低阻连接, 尤其是在高频测试中. 比较而言, 开路通路去嵌入结构更加适合电感在片测试寄生参数的剥离^[4].

本文建立了在片电感测试结构寄生参数模型, 提出了地屏蔽 CMOS 电感测试可缩放开路通路去嵌入方法, 精确地完成了不同长度信号线的寄生参数去嵌入.

2 地屏蔽的开路通路去嵌入结构

电感测试焊盘的布局, 首先要根据探针的型号和探针之间的间距来确定, 比如 GS, GSG, GSGSG (G: Ground 地; S: Signal 信号). GSG 结构属于平面波导, 是最常用的结构. 本文的设计就是针对 GSG 探针结构完成的. 图 1 (a) 的测试焊盘布局使得电感不是一个完整的圈数; 图 1 (b) 测试焊盘布局的电感是整圈数. 在焊盘和电感距离相等时, (b) 结构对电感的影响相对较小. 因为焊盘是一个比较大的金属, 电感的电磁场穿过后, 会形成涡流, 对电感产生负面影响. (b) 结构只有一个 GSG 焊盘距离电感近, 焊盘的涡流影响相对较弱. 由于焊盘对电感的影响是不能够通过去嵌入的结构剔除的, 所以我们选择 (b) 结构焊盘布局方式.

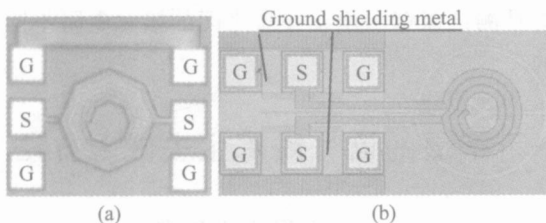


图 1 最常见的两种电感测试焊盘布局的芯片照片

Fig.1 Die photos of two normal inductors with test pads

2.1 电感在片测量的寄生参数

无论采用图 1 (a) 还是 (b) 结构进行电感在片测试, 引入的寄生参数都是一样的, 包括三部分: 焊盘和信号线的寄生参数以及测试探针和焊盘之间的接触电阻. 其中, 前两部分是通过去嵌入结构的测试以及后处理来完成寄生参数的去嵌入. 对于接触电阻的去嵌入, 只有通过合理的焊盘设计以及多次小心地测试, 剔除错误, 降低测试误差来完成.

图 2 为两端口待测器件 (device under test, DUT) 的等效电路和片上寄生参数. 图 2 (a) 为常规的两端口待测器件的等效电路; 图 2 (b) 为地屏蔽焊盘和信号线的两端口待测器件的等效电路. 其中, R_s 和 L_s 分别为待测元件和焊盘之间信号线的串联电阻和串联电感; C_s 为焊盘之间、金属连线之间的寄生电容; C_{ox} 为焊盘以及金属连线和衬底之间的氧化层电容之和; R_{sub} 和 C_{sub} 分别为衬底电阻和衬底电容; R_c 为探针和焊盘之间的接触电阻. 这些为了测试而引入的寄生参数, 需要从电感的测试数据中去嵌入 (剥离), 得到真实的电感 S 参数.

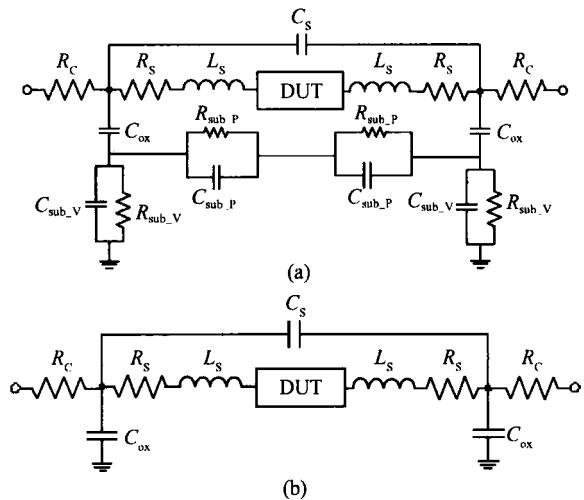


图 2 两端口待测元件的寄生参数模型 (a) 常规的结构; (b) 地屏蔽结构

Fig.2 Parasitical parameters models for two ports DUT (a) normal structure; (b) ground shielding structure

电感通过衬底将电磁场耦合到焊盘, 而非地屏蔽测试去嵌入结构不能将这部分干扰剔除. 由于测试电感的焊盘不怕大电容, 最好采用最低层金属接地, 防止电感的电场从衬底耦合, 对测试焊盘串扰, 增加了去嵌入的精度^[8].

2.2 开路通路信号线等效电路

电感测试一般属于两端口网络测试,可以采用

开路和通路的方法去嵌入,分别去除由于测试引入的寄生电容、寄生电感和寄生电阻,测试结构见图 3(a).为了节省面积共用了一些地焊盘.

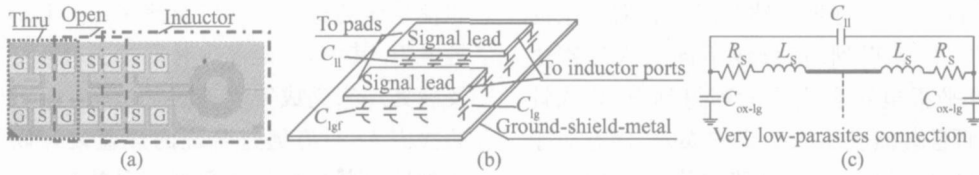


图 3 开路通路去嵌入结构 (a) 待测电感和去嵌入结构的芯片照片;(b) 开路信号线寄生电容;(c) 通路信号线寄生参量
Fig.3 Open-thru test fixture (a) Die photo of inductor and test fixture;(b) Detailed view of parasitic capacitances of signal lead;(c) Equivalent circuit of a thru

图 3(b) 为开路信号线寄生电容,图 3(c) 为通路信号线寄生参量,其中 C_l, C_lg, C_lg' 分别为信号线之间的寄生电容、信号线与地屏蔽金属之间的平板电容和边缘电容。 C_{ox-lg} 包括 C_lg 和 C_lg' 。 R_s 和 L_s 分别为电感和焊盘之间连线的寄生电阻和电感。通路是短路电感测试端口通过连接线连接,连接线长度远远小于整个信号线的长度,因此它的寄生参量可以忽略不计。信号线的宽度相同,意味着等宽度的不同长度信号线的寄生参数是长度的函数。

2.3 三个去嵌入结构

使用 $0.35\mu\text{m}$ 二层多晶硅四金属互连线 CMOS 工艺流片三个不同长度的信号线去嵌入结构,其中信号线的长度分别为 $380\mu\text{m}$ (见图 4(a)), $250\mu\text{m}$ (见图 4(b)) 和 $200\mu\text{m}$ (见图 3(a))。

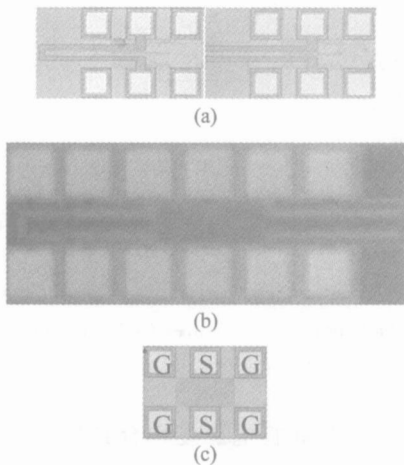


图 4 $0.35\mu\text{m}$ CMOS 工艺电感去嵌入版图照片
Fig.4 Die photos of the test fixtures in $0.35\mu\text{m}$ CMOS processes

为了测试焊盘的寄生电容,单独做了 GSG 焊盘,见图 4(c).可以通过下面的步骤得到测试信号线的寄生参数:

- (1) 转换开路、通路测试结构和 GSG 焊盘的测量 S 参数到 Y 参数,分别为, $Y_{Open}, Y_{Thru}, Y_{Pad}$;
- (2) 去除焊盘的寄生电容

$$Y_{SL-Open} = Y_{Open} - Y_{Pad} \quad (1)$$

$$Y_{SL-Thru} = Y_{Thru} - Y_{Pad} \quad (2)$$

得到信号线的寄生电容

$$C_{SL} = \frac{\text{image}(Y_{SL-Open}^{11})}{\omega} \quad (3)$$

- (3) 将 $Y_{SL-Thru}$ 转换成 Z 参数 $Z_{SL-Thru}$,进而通过下式得到信号线的寄生电阻和寄生电感

$$R_{SL} = \text{real}(Z_{SL-Thru}^{11}) \quad (4)$$

$$L_{SL} = \frac{\text{image}(Z_{SL-Thru}^{11})}{\omega} \quad (5)$$

从图 5 可见,在相同频率下信号线的寄生参数与信号线的长度成正比,其中电阻的误差相对较大,主要是测试探针和测试焊盘之间的接触电阻不同造成的。

3 可缩放的信号线寄生去嵌入方法

定义测试电感的金属连线长度为 L_{dut} ,去嵌入的金属连线长度为 L_{de} ,两者的比值为 $\alpha (= L_{de}/L_{dut})$ 。地屏蔽的去嵌入构成了微带结构,串联参量:电感、电阻和电容都不再是恒定值,而是频率的函数,寄生参量在各个频点都需要等比例(α)缩放。

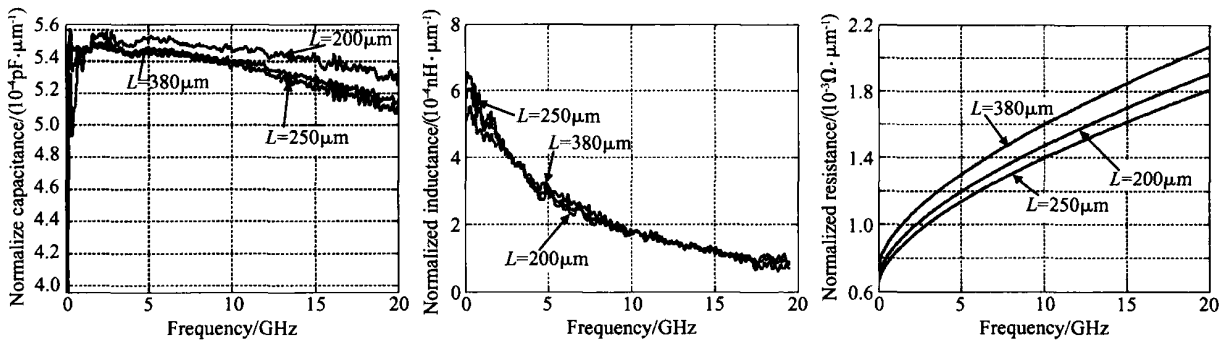


图 5 使用长度归一化后的不同长度信号线的寄生参数

Fig. 5 Normalized parasitic parameters of signal lead with different length

可缩放的电感开路和通路去嵌入结构参数计算过程如下：

(1) 转换测试开路、通路测试结构和 GSG 焊盘的测量 S 参数到 Y 参数, 分别为 $Y_{Open, meas}$, $Y_{Thru, meas}$, $Y_{Pad, meas}$;

(2) 信号线寄生电容的缩放

$$Y_{SL_Open, cal} = (Y_{Open, meas} - Y_{Pad, meas}) \quad (6)$$

$$Y_{SL_Thru, cal}^0 = (Y_{Thru, meas} - Y_{Pad, meas}) \quad (7)$$

(3) 计算得到的带有焊盘寄生参数的开路结构 Y 参数 Y_{PSL_Open}

$$Y_{PSL_Open} = Y_{SL_Open, cal} + Y_{Pad, meas} \quad (8)$$

(4) 将通路的 Y 参数转换成 Z 参数

$$Y_{SL_Thru, cal}^0 \quad Z_{SL_Thru, cal}^0$$

(5) 信号线寄生电阻和电感的缩放

$$Z_{11, SL_Thru, cal} = Z_{11, SL_Thru, cal}^0$$

$$Z_{12, SL_Thru, cal} = Z_{12, SL_Thru, cal}^0$$

$$Z_{21, SL_Thru, cal} = Z_{21, SL_Thru, cal}^0$$

$$Z_{22, SL_Thru, cal} = Z_{22, SL_Thru, cal}^0$$

(6) 将 Z 参数转换成 Y 参数

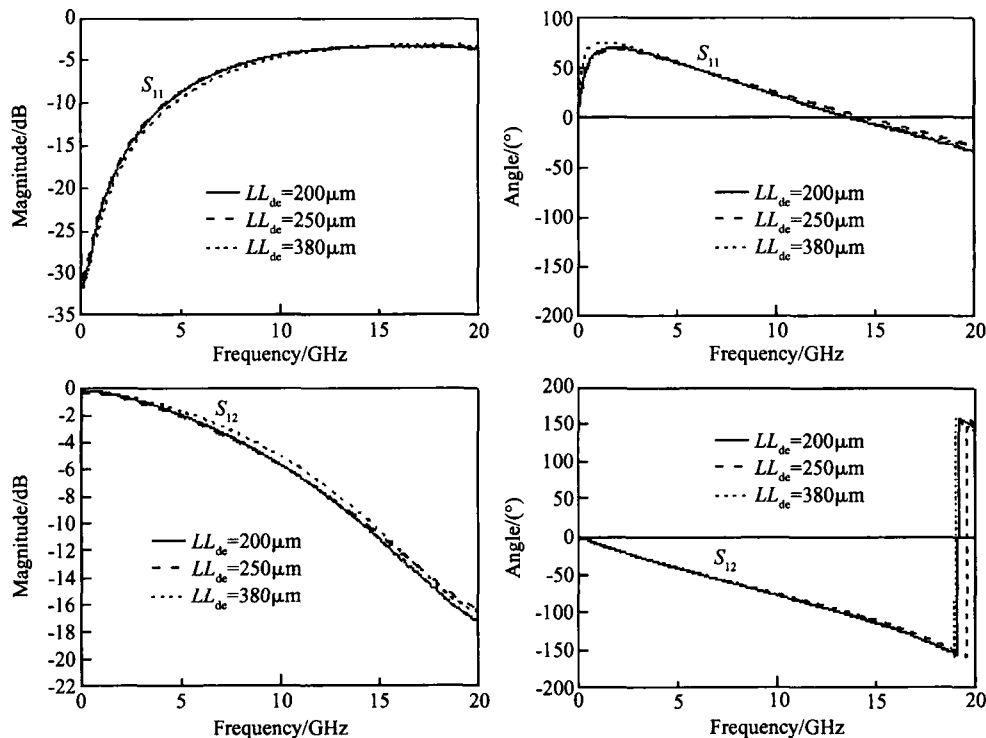


图 6 同一个电感地屏蔽缩放去嵌入的 S 参数

Fig. 6 S parameters of the same inductor using bi-directional scaling to on-wafer shield-based test fixtures

$$Z_{SL_Thru_cal} \quad Y_{SL_Thru_cal}$$

(7) 计算得到的带有焊盘寄生参数的缩放后通路结构 Y 参数 $Y_{PSL_Thru_cal}$

$$Y_{PSL_Thru_cal} = Y_{SL_Thru_cal} + Y_{Pad_meas} \quad (9)$$

(8) 将 Y 参数转换成 S 参数

$$\begin{matrix} Y_{PSL_Thru_cal} & S_{PSL_Thru_cal} \\ Y_{PSL_Open_cal} & S_{PSL_Open_cal} \end{matrix} \quad (10)$$

求得缩放后的开路通路的 S 参数,再按照正常的开路通路去嵌入结构剔除测试焊盘和信号线的寄生参数,得到电感的 S 参数.

图 6 为同一个电感的屏蔽缩放去嵌入的 S 参数幅度和相角. 在信号频率 20 GHz 之前,三种长度信号线的去嵌入结果吻合得很好,说明前面的缩放去嵌入方法是可行的. 电感为对称电感, $S_{11} = S_{22}$, $S_{12} = S_{21}$.

4 结论

地屏蔽的测试结构可以降低电感和焊盘之间的电场耦合,测试结构引入的寄生电容是可以剔除的,所以采用地屏蔽的测试结构更加精准. 本文建立了标准 CMOS 电感在片测试寄生参量模型,讨论了各个寄生参量的去嵌入方法. 在验证了相同频率下不同长度信号的寄生参量与其长度成正比的前提下,针对更加适合电感寄生参量剥离的开路通路去嵌入结构,提出了焊盘和电感之间信号线寄生参量的按比例缩放地屏蔽测试结构去嵌入解决方案. 使用 0.35 μm 两层多晶硅、四层互连线的 CMOS 工艺流片电感证明了该方法的有效性. 该方法解决了不同外径电感采用相同的去嵌入结构引入的误差,而采用不同的去嵌入结构占用太大芯片面积的在片测试

问题.

感谢 作者衷心感谢南京五十五所的李拂晓研究员,杭州电子工业学院的孙玲玲教授,胡江博士以及中国科学院上海微系统与信息技术研究所的孙晓伟研究员在电感测试方面给予的无私帮助.

参考文献

- [1] Shaffer D K, Lee T H. A 1.5-V 1.5-GHz CMOS low noise amplifier. IEEE J Solid-State Circuits, 1997, 32(5): 745
- [2] Hajimiri A, Lee T H. A general theory of phase noise in electrical oscillators. IEEE J Solid-State Circuits, 1998, 33(2): 179
- [3] Tiemeijer L F, Havens R J. A calibrated lumped-element de-embedding technique for on-wafer RF characterization of high-quality inductors and high-speed transistors. IEEE Trans Electron Devices, 2003, 50(3): 822
- [4] Maget J. Varactors and inductors for integrated RF circuits in standard MOS technologies. PhD Dissertation. University of Bundeswehr, Neubiberg, Germany, 2002
- [5] Kaija T, Ristolainen E O. An experimental study of scalability in shield-based on-wafer CMOS test fixtures. IEEE Trans Microw Theory Tech, 2004, 52(3): 945
- [6] Wheeler H A. Transmission-line properties of a strip on a dielectric sheet on a plane. IEEE Trans Microw Theory Tech, 1977, 25(8): 631
- [7] Kaija T, Ristolainen E. Scalable ground-shielded open fixture applied to de-embedding techniques. IEEE International Conference on Microelectronic Test Structures, 2003: 85
- [8] Kolding T E, Jensen O K, Larsen T. Ground-shielded measuring technique for accurate on-wafer characterization of RF CMOS devices. IEEE Proceedings of the 2000 International Conference on Microelectronic Test Structures, ICMTS 2000: 246

Scalable Ground-Shielded Open and Thru Fixtures Applied to Inductor De-Embedding^{*}

Jian Hongyan, Tang Jue, Tang Zhangwen, He Jie, and Min Hao

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, China)

Abstract : Parasitical parameters models for a CMOS inductor with two ports were developed. The theory that the parasitical impedance, inductor and capacitance of signal lead between pads and inductor are directly proportional to the length of the signal lead at the same frequency was validated by the tape-out experiments. The inductors with different radii have different lengths of signal leads. The same in-fixture must bring error, but different in-fixtures have too much die area. An improved method for applying bi-directional scaling to on-wafer shield-based open and thru test fixtures is proposed to resolve this problem. This method is reliably validated by the test fixtures that were fabricated on top of a lossy substrate using double-poly four-metal-layer 0.35 μ m CMOS technology.

Key words : on-chip inductor; bi-directional scaling; test fixtures with open and thru pads; on-wafer measurement

EEACC: 2140; 1205; 1350; 2570

Article ID : 0253-4177(2005)08-1656-06

^{*} Project supported by the Shanghai Science & Technology Committee(No.037062019) and Shanghai Applied Material Funds(No.0425)

Jian Hongyan male, PhD candidate. His interested research directions include on-chip inductor and antenna optimization, RF circuits design such as LNA, mixer, VCO, antenna design for RFID.

Received 9 December 2004, revised manuscript received 24 January 2005

©2005 Chinese Institute of Electronics