

# 适用于 10/100Base-T 以太网的低抖动频率综合器

陆 平 王 彦 李 联 任俊彦

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

**摘要:** 设计了一种用于 10/100Base-T 以太网收发器的频率综合器电路. 该电路自适应工作在 10 和 100Mbps 两种模式下,并能自由切换. 电路采用 cascode 电流源、差分对称负载延迟单元等优化结构,使时钟输出具有良好特性,且能兼具 DLL 功能. 同时满足发送电路上升下降斜率控制和时钟恢复电路对于多相时钟的需要,避免额外的功耗和面积. 在一定测试环境下,晶振的 cycle-cycle 抖动 约为 25ps,输出时钟分频后的 25MHz 测试时钟信号的 仅为 22ps. 测试结果表明,时钟发生电路具有良好的工艺稳定性和较强的抑制噪声能力,满足发送和接收电路对于时钟性能的要求. 芯片采用 SMIC 0.35 $\mu$ m 的标准 CMOS 工艺,电源电压为 3.3V.

**关键词:** 以太网; 频率综合器; 时钟抖动

**EEACC:** 1205; 1230; 1280

**中图分类号:** TN492

**文献标识码:** A

**文章编号:** 0253-4177(2005)08-1640-06

## 1 引言

在 10/100/1000Base-T 自适应以太网芯片中,时钟发生电路和时钟恢复电路是关键.时钟发生电路用于提供发送电路中数字控制模块、ROM 和数模转换器(DAC)所需的同步时钟,时钟信号的性能直接影响发送信号的性能;而时钟恢复电路则用于提供接收电路中的模数转换器(ADC)、数字均衡器以及其他数字模块的同步时钟.恢复时钟的性能将直接影响接收信号的信噪比(SNR),从而决定数据恢复的误码率.本文设计的频率综合器为发送和接收电路提供基本时钟信号.

应用于以太网收发电路的频率综合器的核心部分是电荷泵型锁相环.发送电路需要 8 个相位,相邻相位间隔为 0.5ns 的时钟控制 DAC 电流开关实现精确的上升/下降时间<sup>[1]</sup>;接收器的数据时钟恢复电路至少需要 16 个等相位间隔的时钟进行相位选择.为了简化设计,节省功耗,避免额外的延迟锁定环 DLL 的设计和应用<sup>[2]</sup>,在保证了良好性能的同时,VCO 直接设计成 8 级差分结构 16 相时钟输出.本文中的电路与典型锁相环相比,不仅能灵活兼容 10 和 100Mbps 两种模式,还能将 DLL 的功能并入 PLL,大大简化了电路,节约了功耗和面积,从而为

发送电路的边沿控制提供更为简单便利的前提条件.

## 2 系统结构

如前所述,该频率综合器同时为发送和接收电路提供基准时钟和相位选择时钟,因此必须同时满足二者的性能要求.因为 10Mbps 模式的要求相对较低,一般将 100Mbps 的对性能的要求作为设计重点.在这种模式中,相邻相位之间时间间隔  $t = 8\text{ns}/16 = 500\text{ps}$ .根据时钟数据恢复的数字算法的仿真,抖动要求约为  $2\% \sim 3\% \cdot \text{baud} = 160 \sim 240\text{ps}$  (peak-peak),远小于  $t$ ,满足此条件的时钟信号亦能很好保证相位选择的单调性.该频率综合器自适应工作在 10 和 100Mbps 两种模式,由选通控制信号 sel10\_100 自由切换;输入晶振为 25MHz,输出主时钟 clk\_125M(或 clk\_100M).在 10Mbps 模式下还输出 10 和 20MHz 两个频率的时钟信号用于时钟恢复.每种模式下都有 16 相对应频率的时钟输出,用于发送端 DAC 电流源控制发送波形和接收端的数据时钟恢复.

在 10/100Base-T 中,发送电路传输波形的形成直接取决于频率综合器送入的 8 相固定相位时钟(1000Base-T 中则为动态选择),如果输出主时钟的

相位为 phase1, 则该 8 相时钟较之相位滞后, 为 phase5 ~ phase12, 如图 1 所示. 这 8 相时钟的选择虽然不需要十分严格, 但也必须遵循发送电路设计的时序要求. 主时钟采样数据后会送入 latch 锁存, 8 相数据整形时钟对锁存的数据进行采样, 控制 DAC 电流开关保证 ML T3 编码的精确边沿. 在采样过程当中不允许数据跳变, 同时考虑各数据通路的延迟和器件的建立保持时间, 8 相时钟的选取有一定范围要求.

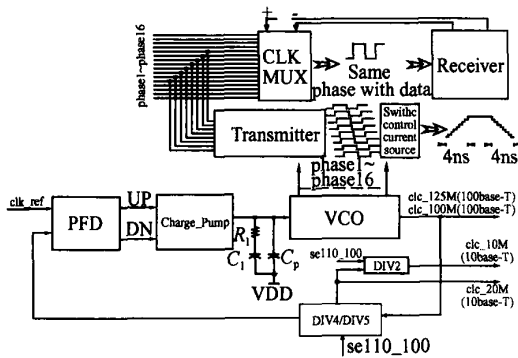


图 1 频率综合器系统框图

Fig. 1 Block diagram of frequency synthesizer

接收电路需要全部 16 相时钟为 CDR 和 ADC 时钟提供动态选择. 这里对时钟电路较高的要求是毛刺的消除. 无论用哪一相时钟控制触发器, 在遇到该时钟本身和其相邻时钟跳变选择时, 时钟触发前后电平相反, 由于器件延时的存在, 使得输出时钟不会平滑过渡, 而有一个毛刺. 毛刺的存在对于边沿触发电路会产生不良的影响, 必须消除. 因此在 CLK MUX 模块中采用一个简单的逻辑处理, 用当前时钟和下一刻待选相邻时钟相“与”(上升沿情况)作为使能信号, 使能为“1”时允许时钟切换, 保证了时钟跳变前后电平的一致, 有效消除毛刺, 使接收电路能够正常工作, 如图 2 所示.

所有时钟都由关键模块 PLL 产生. 其结构框图

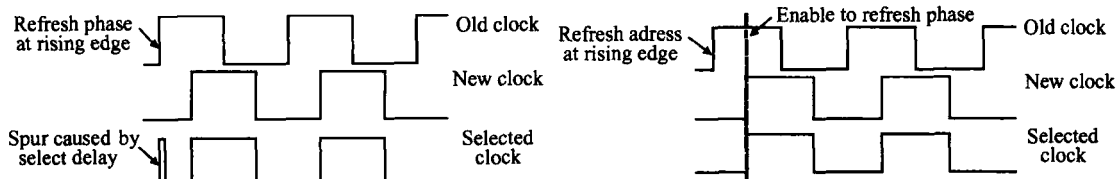


图 2 时钟毛刺的产生和消除

Fig. 2 Generation and cancelation of clock spur

和工作原理如图 1 所示: 鉴相器 PFD 对输入的 25MHz 的晶振时钟和 VCO 分频后得到的反馈信号进行比较, 产生相位误差信号 UP 和 DN; 相位误差信号控制电荷泵的电流镜开关, 对二阶的低通滤波器进行充放电, 滤除高频分量和噪声后, 产生压控振荡器的控制电压, 调节 VCO 的振荡频率和相位, 经过反馈后与晶振时钟继续相位比较, 直至锁定. 100Mbps 模式采用 4B5B 编码需要 125MHz 的时钟, 反馈回路采用 5 分频器; 而在 10Mbps 模式下高频的发送时钟用于从 ROM 中读取数据, 每个周期 (100ns) 读取 10 个点, 所以 VCO 输出 100MHz 时钟, 并通过一个 4 分频器反馈回 PFD, 同时 100MHz 时钟经过分频产生 20 和 10MHz 的时钟.

用于时钟恢复电路和发送电路的 16 个同频等相位间距的时钟由 VCO 直接产生, 省掉一个 DLL (如图 3), 节约了面积, 降低了功耗, 但同时增加了 PLL 性能设计的难度. 一般对于多相位的实现, 为了保证 PLL 的时钟抖动性能, 宜外拖 DLL 或者采用内插的方法. 因为过长的延迟单元链, 会引入过多的热噪声和闪烁噪声在环内的积累. 在本设计中, 权衡系统性能要求和设计代价, 增加了 VCO 延迟单元的设计数目, 以直接从 PLL 中抽取 16 相时钟. 同时, 更仔细地设计和优化 VCO 的结构与性能, 采用差分结构的延迟单元来更好地抑制噪声<sup>[3,4]</sup>. 采用这种延迟单元还有一个更重要的考虑, 就是兼容更多相位输出, 这也是千兆以太网接收均衡算法性能改进的一个重要前提.

### 3 频率综合器电路设计

#### 3.1 鉴频鉴相器和电荷泵

本文采用了基于 D 触发器 (DFF) 结构的鉴频鉴相器<sup>[5]</sup>. 当输入的参考时钟相位和反馈时钟相位一致时, PFD 会输出一个很窄的脉冲. 如果此脉冲

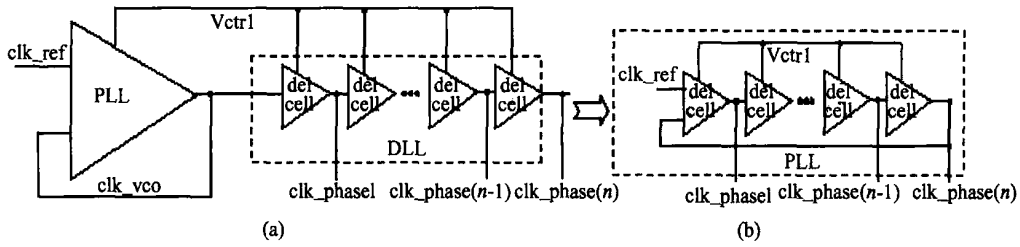


图 3 多相位实现 (a) PLL + DLL 方法;(b) PLL 方法

Fig. 3 Multi-phase realization (a) PLL + DLL method;(b) Only PLL method

宽度无法开启电荷泵的电流开关,时钟信号间的微小相差将无法辨别,PFD增益会存在“死区”,导致锁相环锁定时存在静态相差.为去除“死区”效应,在PFD的复位端增加了几级延迟单元,以增加UP和DOWN的导通脉宽和驱动能力,使输入时钟信号相差为0时产生的输出脉冲恰好使电荷泵微导通,但是如果电荷泵充放电的电流不严格匹配,这个增加的脉冲宽度反而会影响电路的静态相差,进而进一步影响倍频输出的时钟抖动.如公式(1)所示,在电流不匹配时, $t_{open}$ 越大则静态相差越明显.因此对于鉴相器的死区处理不能过当,应该和电荷泵的匹配度协调考虑,并通过仿真达到最优的设计结果.

鉴频鉴相器输出的DOWN和UP信号控制电荷泵(如图4)的上、下两路电流源对滤波电路充、放电.为解决节点N1和N2在每次开关活动后电压跳

变引起  $v_{ctrl}$  电压的抖动,加入 S3 和 S4 互补开关和一个单位增益放大器,有效地消除了开关活动引起的电荷重新分配.此外,为抵消 MOS 开关栅漏、栅源寄生电容的影响以及电荷注入效应,在每个开关上下各增加一个 dummy 管(Md1 ~ Md4),尺寸均为开关管的一半.以下半通路为例:当 UP = “1”时,S1 导通,Md3,Md4 关闭,S1 管中形成沟道.当 UP 由“1”变为“0”的瞬间,由于 MOS 管存在寄生电容  $C1$ ,为了维持  $C1$  两极板压差不变, $v_{ctrl}$  电压会瞬间跳动.但是在 dummy 管寄生电容  $C2$  的作用下,使得  $v_{ctrl}$  又向相反方向跳动,两者抵消,减小了控制电压的纹波.从沟道形成的角度分析,dummy 管能有效吸收(或放出)开关管沟道形成所放出(或吸收)的电荷,令节点  $v_{ctrl}$  对外没有多余的吸放电流(荷).

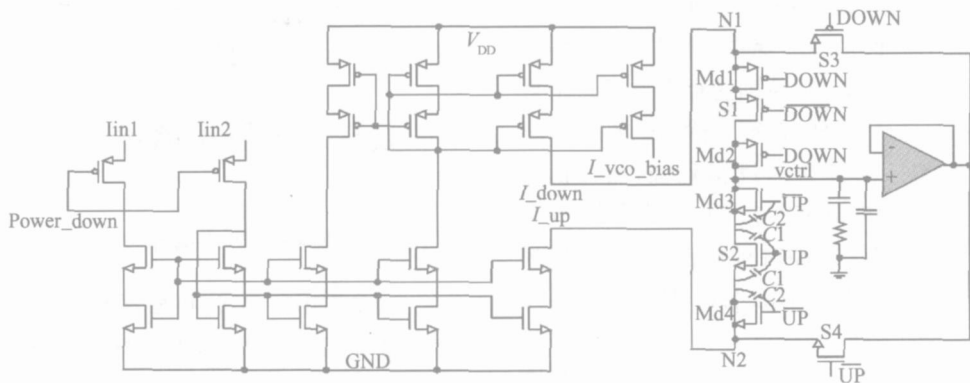


图 4 电荷泵电路

Fig. 4 Circuit of charge pump

设计时注意了上、下两支电流源的严格匹配.设环路稳定工作时上下电流同时导通时间为  $t_{open}$ ,则该段时间产生的电荷累积为:  $|I_1 - I_2| t_{open}$ .如两路电流值不同,环路锁定时就会存在一定的静态相差:

$$\frac{2 t_{open}}{T} \times \left( \frac{I_{max}}{I_{min}} - 1 \right) \tag{1}$$

其中  $I_{max}$  和  $I_{min}$  分别表示上、下两支电流源中电流较大的一支和较小的一支.本设计中,基准电流受温度和电源电压波动的影响很小.电荷泵中 cascode

电流镜也具有好的恒流特性,因此该电荷泵具有很稳定的增益特性.

### 3.2 压控振荡器

由偏置生成电路、压控延迟单元以及双端转单端电路组成的 VCO 在 100 和 10Mbps 模式下分别工作在 125 和 100MHz. 根据系统需要,采用了 8 级延迟单元,增加了时钟抖动抑制的难度. 因此采用差分对称负载的优化结构,精细地设计一个在 TT @ 75 情况下振荡频率范围为 50 ~ 230MHz 的低噪声压控振荡器.

虽然用 PLL 实现了多相位时钟,但是 16 相时钟对于发送与接收端的参考晶振存在频差情况下的均衡计算是不够的. 为了今后进一步改善接收性能,提高收敛性,应该采用更精细的时钟相位间隔. 但正如前面分析,过多的相位不能由 PLL 来提供,而设计 DLL 则浪费太多的功耗和面积. 只有采用内插的方法来动态实现均衡的相位选择才是最优的办法. 对于对称负载结构的差分延迟单元,内部节点类似于正弦信号的传递,使得其具有线性内插的良好特性. 这也是选择该结构的一个很重要的考虑. 内插单元如图 5 所示. 由公式(2)可知,对于两个有相差的信号,通过控制电流开关的比值,可以调节输出相位在两个输入之间线性内插.

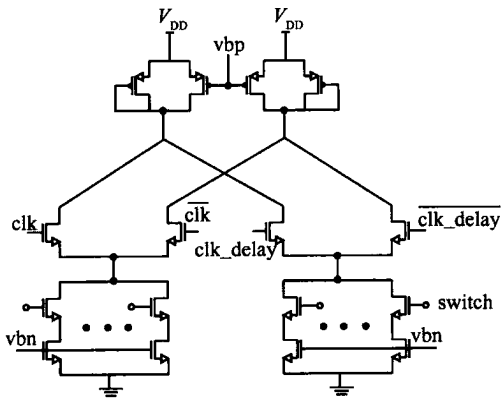


图 5 延迟单元对应的内插单元

Fig. 5 Corresponding interpolator of delay cell

令  $clk = \sin t, clk\_delay = \sin[ (t + \vartheta) ]$  (归一化):

$$A \sin t + B \sin[ (t + \vartheta) ] = \frac{1}{\sqrt{(A + B \cos \vartheta)^2 + (B \sin \vartheta)^2}} \sin( t + \vartheta )$$

$$= \sin( t + \arctan \frac{B \sin \vartheta}{A + B \cos \vartheta} ) \quad (2)$$

其中  $\tan \vartheta = \frac{B \sin \vartheta}{A + B \cos \vartheta}$ , 当相位差 很小时,有:

$$\lim_0 \frac{1}{\sin} = 1; \lim_0 \frac{1}{\arctan} = 1$$

$$A \sin t + B \sin[ (t + \vartheta) ] = \frac{1}{\sqrt{(A + B \cos \vartheta)^2 + (B \sin \vartheta)^2}} \sin( t + \frac{B}{A + B} ) \quad (3)$$

这里 A 和 B 是由单元中 NMOS 偏置管上方数字互补开关控制的系数. 虽然它们和开关的数目不是完全线性的关系,但是在输出电压变化时电流也并不与开关完全成比例变化,在实际仿真中能够得到较均匀的内插结果.

对称负载结构如图 6(b) 所示,它是对二极管负载和线性负载的改进,  $I-V$  特性曲线以  $(V_{ds}/2, I_{ds}/2)$  为中心对称,如图 6(c) 所示. 共模噪声通过电路非线性引入的一阶和高阶奇次项的差模噪声将被抵消,削弱了电源和衬底耦合的共模噪声的影响. 同时,在偏置电路(图 6(a))中采用了和延迟单元结构相同的半复制单元,所以延迟单元的动态输出范围由半复制单元的输出电压  $V_{bp}$  决定. 对于线性负载,振荡器的工作频率变化范围将有很大改善. 对于确定级数的压控振荡器来说,增益  $K_{VCO}$  近似由压控管 M1 的宽长比、延迟级的等效电容  $C_{equ}$  决定. 在 TT @75 情况下 VCO 控制电压的线性范围为 1 ~ 2.3V,线性增益约为 120MHz/V.

### 3.3 环路滤波参数

当电荷泵电路和压控振荡器的增益  $K_{PD}$  和  $K_{VCO}$  确定以后,决定环路整体性能的重要参数环路带宽和阻尼系数就取决于环路滤波器的传递函数<sup>[6]</sup>. 它决定了环路的稳定性、稳态相差、瞬态响应速度、捕获速度、噪声抑制能力和抖动特性等.

由于输入参考信号源为频率精确的晶振时钟,输入噪声相对于 VCO 的噪声为次要噪声源. 为了更好地抑制该噪声,开环时的单位增益带宽  $f_u$  取得较大(2MHz,略小于 25MHz 的晶振输入频率的  $1/10^{[7]}$ ). 同时为了环路能够较快达到稳定,阻尼系数

取 1,零点为  $f_z = \frac{1}{4} \times f_u = 0.5 \text{MHz}$ . 滤波器采用二阶无源低通滤波器,其零点和阻尼系数分别为:

$$z = \frac{1}{RC} \quad (5)$$

$$= \frac{R}{2} \times \sqrt{\frac{I_{CP} K_{VCO} C}{2N}} \quad (6)$$

由  $I_{CP} = 50\mu A$ ,  $K_{VCO} = 120MHz/V$ ,  $N = 5$ , 经过计算

后滤波器的参数值:  $R_1 = 10k$ ,  $C_1 = 30pF$ ; 取:  $C_2 = \frac{C_1}{20} = 1.5pF$ , 此时环路的相位裕度为  $65^\circ$ .

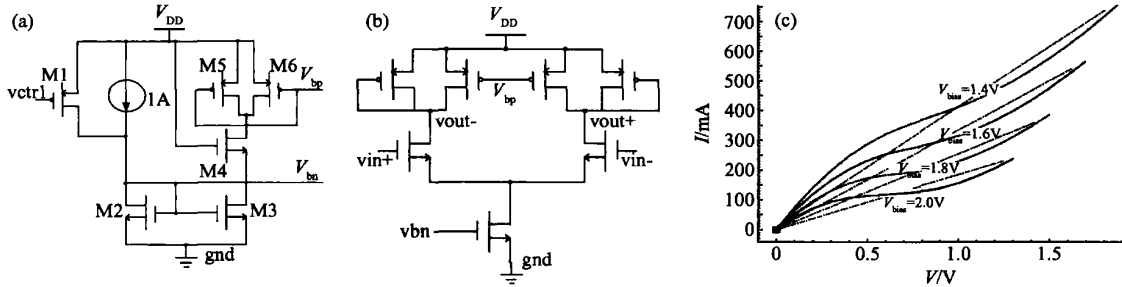


图 6 VCO 具体电路结构 (a) 半复制偏置电路; (b) 对称负载差分延迟单元; (c) 延迟单元的  $I-V$  特性

Fig. 6 Circuit of VCO (a) Half-buffer replica; (b) Differential buffer delay stage with symmetric loads; (c)  $I-V$  characteristic

### 4 测试结果

图 7 为该频率综合器芯片的照片. 根据 sel10\_100 信号的“0”, “1”选择切换电路工作在 100 和 10Mbps 两种模式, 两种模式的输出时钟波形很好. 对 100Mbps 模式下输出的 25MHz 分频信号进行了抖动分析. 在 cycle-cycle 测试条件下, 测出晶振的绝对抖动  $25ps$ , 此时该 25MHz 时钟信号的绝对抖动平均为  $22ps$ ,  $Jitter_{peak-peak} = 136ps \pm 3 < 160ps$ , 很好地满足了对系统性能的要求. 而 10Mbps 模式下也能够输出正确的时钟频率. 测试波形如图 8, 9 所示. 其中图 8 (a), (b) 分别为两种模式下输出时钟: (a) 图时间坐标为  $2ns/格$ , 时钟周期为  $40ns$  (25MHz); (b) 图时间坐标为  $4ns/格$ , 时钟周期为  $50ns$  (20MHz) 和  $100ns$  (10MHz).

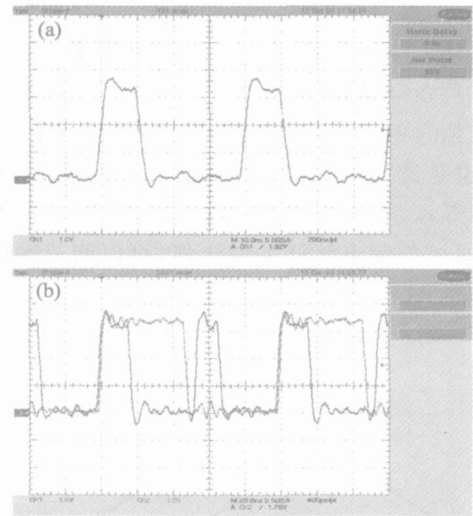


图 8 时钟输出波形 (a) 100Base-T 输出 25MHz 时钟; (b) 10Base-T 输出 20 和 10MHz 时钟

Fig. 8 Waves of clock output (a) 25MHz clock of 100Base-T; (b) 20 and 10MHz clock of 100Base-T

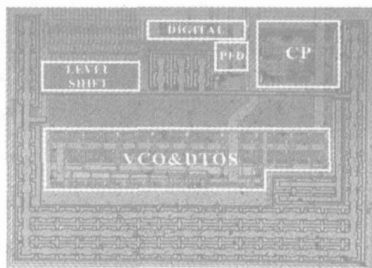


图 7 PLL 芯片照片

Fig. 7 Picture of PLL

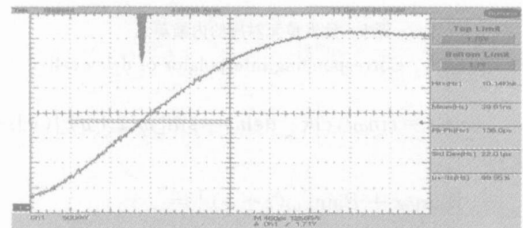


图 9 100Base-T 25MHz 时钟瞬时抖动

Fig. 9 Clock Jitter of 25MHz at 100Base-T

## 5 结论

本文设计的频率综合器能够自适应地工作在 10/100Base-T 收发器中, 灵活兼容 10 和 100Mbps 两种模式, 并通过精细设计, 将 DLL 的功能并入 PLL, 简化了电路, 节约了面积, 同时降低了功耗. 正确地输出 100 或 125MHz 的精准 16 相时钟, 并能兼容内插的设计. 该频率综合器输出的时钟具有较小的时钟抖动及较好的温度和工艺稳定性. 芯片测试中, 各输出管脚均输出波形良好的时钟. 在 cycle-cycle 情况下, 输出抖动  $\pm 3 = 132\text{ps}$  ( $\text{Jitter}_{\text{peak-peak}} = 136\text{ps}$ ). 所以, 该电路是一个能够为快速以太网甚至千兆以太网收发电路提供精准时钟的频率综合器电路.

### 参考文献

- [ 1 ] Han Yifeng, Li Qiang, Gu Canghai, et al. A novel transmitter for 10/100MHz base TX ethernet. Chinese Journal of Semiconductors, 2005, 26(2): 385 (in Chinese) [韩益锋, 李强, 顾沧海, 等. 一种适用于 10/100MHz Base TX 以太网的新型发射电路. 半导体学报, 2005, 26(2): 385]
- [ 2 ] Chang H, Lin J W, Yang C Y, et al. A wide-range delay-locked loop with a fixed latency of one clock cycle. IEEE J Solid-State Circuits, 2002, 37(8): 1021
- [ 3 ] Von Kaenel V, Aebischer D, Piguat C, et al. A 320MHz, 1.5mW @1.35V CMOS PLL for microprocessor clock generation. IEEE J Solid-State Circuits, 1996, 31(11): 1715
- [ 4 ] Maneatis J G. Low-jitter process-independent DLL and PLL based on self-biased techniques. IEEE J Solid-State Circuits, 1996, 31(11): 1723
- [ 5 ] Maneatis J G, Horowitz M A. Precise delay generation using coupled oscillators. IEEE J Solid-State Circuits, 1993, 28(12): 1273
- [ 6 ] Craninckx J, Steyaert M S J. A fully integrated CMOS DCS-1800 frequency synthesizer. IEEE J Solid-State Circuits, 1998, 33(12): 2054
- [ 7 ] Gardner F M. Charge-pump phase-lock loops. IEEE Trans Commun, 1980, 28(11): 1849
- [ 1 ] Han Yifeng, Li Qiang, Gu Canghai, et al. A novel transmitter

## A 3.3V Low-Jitter Frequency Synthesizer for a Fast Ethernet Transceiver

Lu Ping, Wang Yan, Li Lian, and Ren Junyan

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, China)

**Abstract:** A frequency synthesizer applied to a 10/100Base-T ethernet transceiver is described. It can work adaptively in either a 10Mbps or 100Mbps mode and convert freely from one mode to another. Cascode current sources and differential delay cells are adopted to guarantee good performance. The circuit meets the requirements of both transmitter on rising/falling time and receiver on CDR so that additional power and area are saved. Under some testing circumstance, of voltage control oscillator  $\text{jitter}_{\text{cycle-cycle}}$  is only 22ps with of reference clock  $\text{jitter}_{\text{cycle-cycle}}$  25ps. The testing results prove that the frequency synthesizer has good processing stability and rejection to various noises. It works well for both transmitters and receivers. The circuit is designed with SMIC 0.35 $\mu\text{m}$  standard CMOS technology and a power supply of 3.3V.

**Key words:** ethernet; frequency synthesizer; clock jitter

**EEACC:** 1205; 1230; 1280

**Article ID:** 0253-4177(2005)08-1640-06