

ISO 14443 单芯片读卡机解调电路的设计

陈良生 洪志良 李 联

(复旦大学信息科学与工程学院 微电子系, 上海 200433)

摘要: 介绍了 ISO 14443 标准中 IC 卡到读卡机通信的信号特征和解调方法, 提出了一种新颖的调幅波解调电路的基本原理和电路实现. 芯片测试结果显示: 电路在 2.5 ~ 5.5V 下都能稳定可靠的工作, 工作温度范围为 -20 ~ 80 °C; 5V 条件下整个解调电路的功耗小于 1mA; 电路能检测的最小幅度调制信号为 5mV.

关键词: ISO 14443; IC 卡; 读卡机; 解调电路

EEACC: 1205; 1250

中图分类号: TN915.05

文献标识码: A

文章编号: 0253-4177(2005)08-1623-06

1 前言

ISO 1443 标准规定: A 型卡, 卡到读卡机的上传信号采用 Manchester 编码 ASK 调制负载调制的 847K 的副载波; B 型卡, 卡到读卡机的上传信号采用 NRZ 编码 BPSK 调制负载调制的 847K 的副载波^[1]. 读卡机解调电路的任务是把负载调制的副载波从天线上解出, 由副载波解出真正的数据信号可由后续数字电路完成.

常用的调幅波解调办法有两种: 二极管包络解调和同步解调. 二极管包络解调由于在标准 CMOS 工艺中不易实现, 而且需要大的输入信号, 解调精度低, 当卡与读卡机的距离较远时, 天线上的负载调制信号很微弱, 若利用二极管包络解调, 很难准确地解调出信号. 同步解调的解调精度相对二极管包络解调来说要高得多. 但传统的利用四象限模拟乘法器的同步解调电路硬件开销大、功耗大、设计难度也较大. 为了解决这一矛盾, 本文引入一种简单新颖的混频电路来实现对调幅波的解调.

2 电路基本工作原理

电路采用具有时变增益的线性器件实现对输入调幅波混频, 得到乘积项, 基本原理如图 1 所示, 其中时变器件通过由方波信号控制的模拟开关来实

现. 开关增益为 1 或 0. 模拟开关的输出信号为:

$$v_1(t) = v_{in}(t) s(t) \quad (1)$$

式中 $s(t)$ 为单极性矩形波. 利用矩形波的傅里叶级数, (1) 式可变为:

$$v_1(t) = v_{in}(t) [dA + \sum_{n=1} \frac{\sin(n-d)}{n d} \cos n \omega_0 t] \quad (2)$$

式中 A 为矩形波的幅度; ω_0 为矩形波的基波频率; d 为矩形波的占空比. 利用后面的滤波器滤除高次项和直流项, 可得乘积项 $\frac{\sin(d)}{d} v_{in}(t) \cos \omega_0(t)$.

实现对输入信号的混频, 即完成了四象限乘法器的功能. 该电路的主要特点是电路结构简单, 易于在 CMOS 工艺上集成.

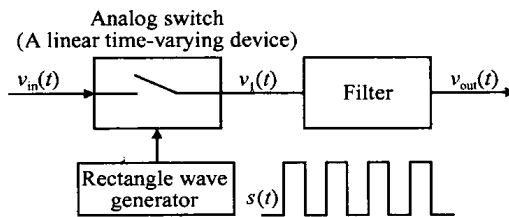


图 1 解调电路的基本构成原理图

Fig. 1 Basic principle of demodulation circuit

电路框图如图 2(a) 所示. 整个电路由时钟恢复电路、两个模拟开关和两个电容组成. 电路的基本工作原理与零阶采样保持电路的工作原理相近.

图 2(b) 的波形为天线上的调幅波, 图 2(c), (d) 为两相时钟的波形, 图 2(e) 为解调电路中 A 点的波

陈良生 男, 1973 年出生, 博士研究生, 主要从事模拟集成电路的设计与测试研究.

2004-10-12 收到, 2005-02-28 定稿

形. 在载波的前四分之一周期-载波信号的上升期间,第一级开关打开,电容 C_1 对载波信号进行采样,当载波信号达到峰值时开关关断,电容 C_1 的值保持为载波信号的峰值. 而在第二个载波周期,电容 C_1 上的值变为第二个载波周期的载波的峰值. 所以电路可以将载波的峰值采样下来,从而达到了与二极

管包络解调相同的功能. 由于开关可以用 CMOS 传输门方便地实现,而且在传输门导通时,没有二极管正向导通时 V_T 的压降,因此电路中也不需要引入二极管包络解调电路中的放电回路中的电阻. 关断时,反向阻抗很高,所以电容能很好地保持载波的峰值,解调的效率要比二极管包络解调高得多.

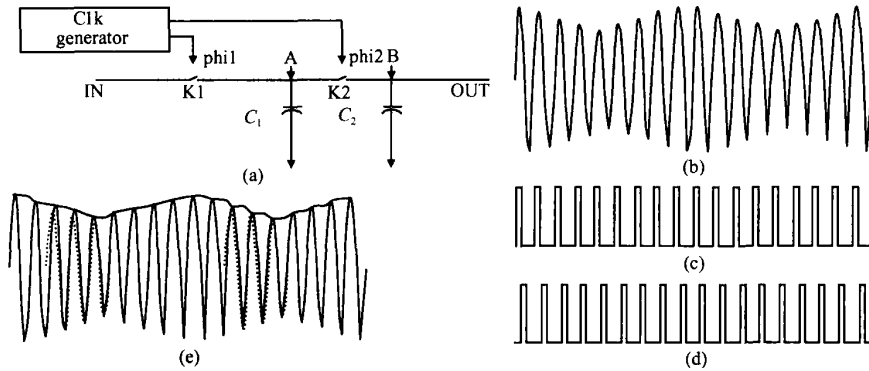


图 2 电路工作原理图 (a) 电路的功能块实现图; (b) 输入信号的波形示意图; (c) 解调时钟 Phi1 的时序图; (d) 解调时钟 Phi2 的时序图; (e) A 点电压信号图(实线部分)

Fig. 2 Block diagram and function description of circuit (a) Building block of circuit; (b) Waveform of input signal; (c) Waveform of Phi1; (d) Waveform of Phi2; (e) Waveform of port A (bold line)

电路中的第二级开关和第二个电容,是为了增强电路的解调性能而引入的. 因为 CMOS 传输门的关断需要有一个过程,所以在始终 Phi1 变低时,由于 CMOS 传输门不能马上关闭,电容可以通过传输门放电,从而导致在时钟 Phi1 的下降沿, A 点的电压

有一个下降的脉冲. 加入第二级采样保持电路后,电路的解调性能得到很大的改善. 从图 3 所示的仿真结果可以清楚地看到. B 点的波形要比 A 点的波形好得多.

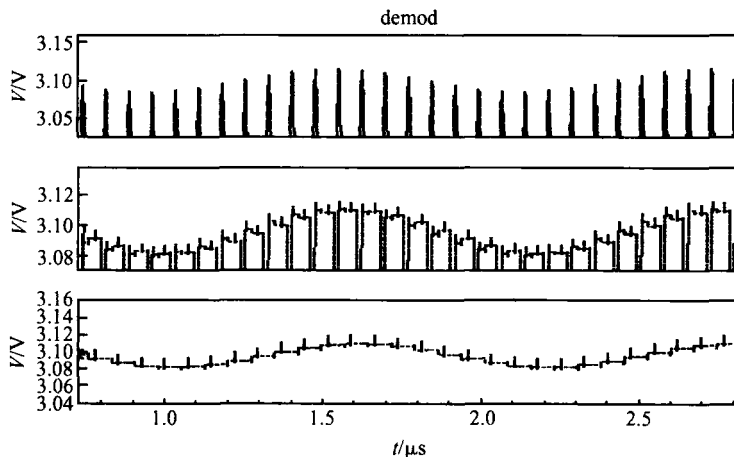


图 3 解调电路仿真结果 从上到下依次为输入信号、A 点、B 点波形

Fig. 3 Simulation results :input signal ,waveform of port A ,waveform of port B (from up to down)

3 电路实现

电路由时钟恢复电路、两个开关和两个电容组成,其中时钟恢复电路从载波中恢复出时钟,并生成两相解调时钟 Phi1 和 Phi2. 解调电路由两个开关和两个电容组成,其中开关用 CMOS 传输门实现,电容采用 DOBLE-POLY 电容.

时钟恢复电路由 PLL 和一些逻辑门实现. PLL 用来同步由天线上恢复出来的时钟,并生成两相相差为 90 的正交时钟 Clk1 和 Clk2. 其中 Clk1 与天线恢复出来的时钟同步,而 Clk2 相对于 Clk1 相移 90°. Clk1 和 Clk2 经简单逻辑门处理后得到两相解调时钟 Phi1 和 Phi2.

PLL 的功能块框图如图 4 所示. 电路由时钟恢

复电路 (clk_restore)、鉴频鉴相器 (PFD)、电荷泵 (CP)、低通滤波器 (LPF) 和压控振荡器组成 (VCO).

压控振荡器 (VCO) 最后一级为简单非们,它对于信号在环型振荡器中延时的贡献可以忽略不计. 根据环型振荡器的工作原理可知:振荡信号在环型振荡器中的延时为 1/2 周期. 可见在系统稳定时, Clk1 和 Clk2 两相时钟相差 1/4 个时钟周期,即 Clk2 相对于 Clk1 延时了 90°. 而在系统锁定时, Clk1 与从天线上恢复出的时钟信号同频同相. 所以通过 PLL 可以得到相差为 90 的正交时钟 Clk1 和 Clk2. 正交时钟 Clk1 和 Clk2 经简单的逻辑组合即可得到解调电路所需的时钟信号.

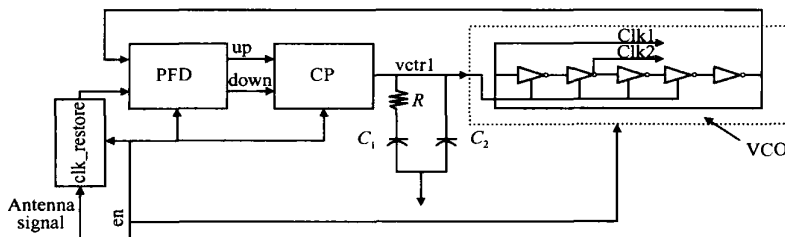


图 4 PLL 的功能块实现图

Fig. 4 Building block diagram of PLL

由图 4 所示的 PLL 系统的线性模型,可以求出系统的自然频率 ω_n 和阻尼因子 ζ , 分别如 (3) 式和 (4) 式所示.

$$\omega_n = \frac{1}{N} \sqrt{\frac{I_p}{C_1} \times \frac{K_{vco}}{N}} \quad (3)$$

$$\zeta = \frac{RC_1}{2} \sqrt{\frac{I_p}{C_1} \times \frac{K_{vco}}{N}} \quad (4)$$

其中 R, C_1, I 和 K_{vco} 分别为低通滤波器中的滤波电阻和电容、电荷泵的充放电电流和压控振荡器的增益. 选取适当的 R, C_1, I 和 K_{vco} 值可保证环路的稳定^[2~4],使环路的跟踪性能和噪声性能达到设计要求.

PLL 电路中的鉴频鉴相器 (PFD)、电荷泵 (CP)、压控振荡器组成 (VCO) 的电路实现如图 5 所示. 为简单起见,所有电路的使能控制信号已略去.

时钟恢复电路采用过零比较器实现. 为增加电路的稳定性,在过零比较器中引入 50mV 左右的迟滞电压.

采用 HSPICE 对电路进行仿真. 仿真结果显示:电路在各种工艺条件下,都能很好地工作,最低工作电压可到 2.5V. 从图 6 的仿真结果可以看出该电路的解调性能比二极管解调电路的解调性能要好得多.

4 电路物理实现

电路针对 0.6μm 标准 CMOS 工艺设计. 完成电路设计后利用生产厂商提供的版图设计规则进行版图设计. 版图设计过程中按功能模块进行分块版图设计,各模块有自己独立的保护环,以增强各模块之间的屏蔽和隔离. 所有的电阻电容都在周围加了 DUMMY 电阻和 DUMMY 电容,以提高电阻电容的精度. 各模块的布局按信号流的方向布局. PLL 电路采用独立的电源,直接拉至电源 PAD 上. 电路的最终物理实现如图 7 中白色框内电路所示.

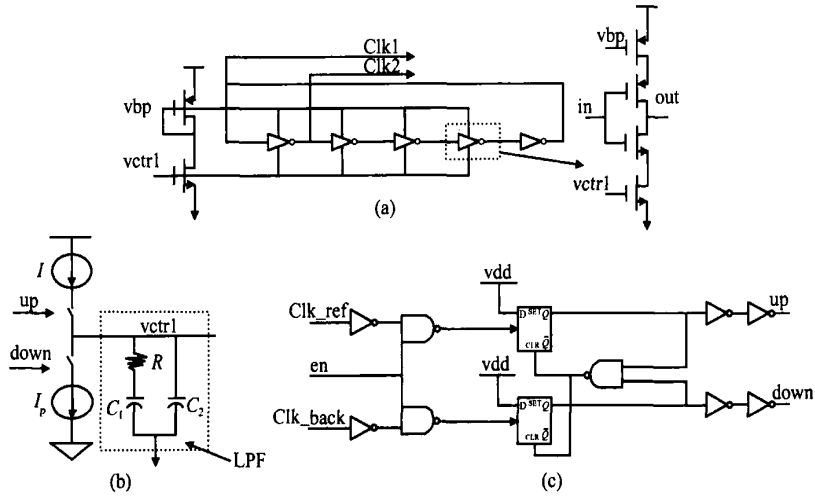


图 5 PLL 的具体电路实现 (a) 压控振荡器 (VCO); (b) 电荷泵 (CP) 和低通滤波器 (LPF); (c) 鉴频鉴相器 (PFD)
 Fig. 5 Schematic of PLL building block (a) VCO; (b) Charge pump and low pass filter; (c) PFD

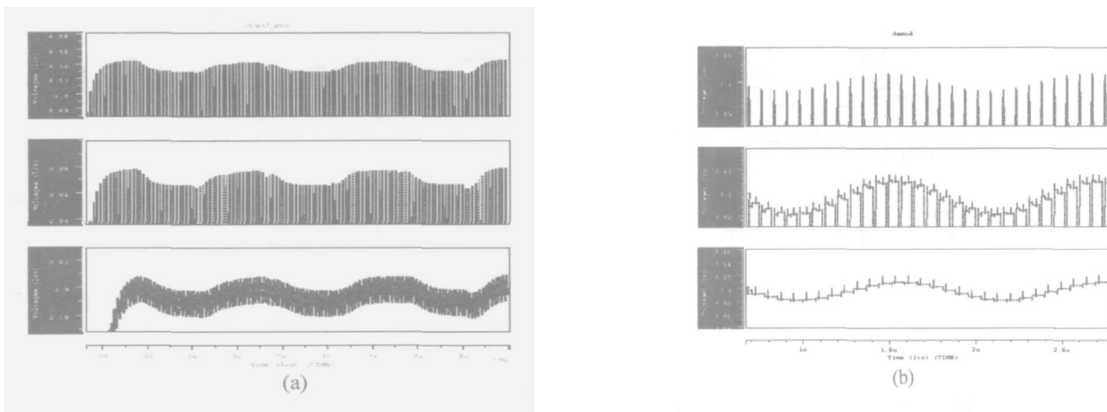


图 6 电路与二极管解调电路解调性能比较 (输入信号的调制幅度为 20mV) (a) 二极管解调电路的仿真结果, 从上到下依次为输入信号、二极管输出信号、低通滤波后的信号; (b) 电路仿真结果, 从上到下依次为输入信号、A 点、B 点波形。
 Fig. 6 Simulation results comparison of diode demodulator and designed demodulation circuit (input signal 20mV) (a) Simulation results of diode demodulator; (b) Simulation results of designed circuit

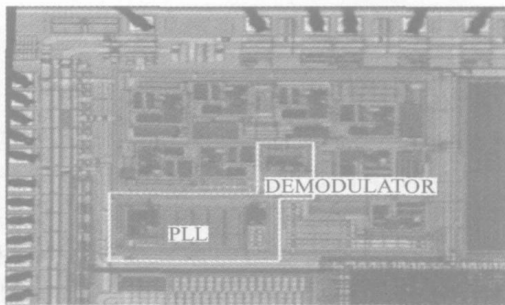


图 7 电路的物理实现 (白色框内为解调电路)
 Fig. 7 Microphotograph of chip (Demodulation circuit is including in the white box)

5 电路测试结果

对流片回来的电路搭建测试环境进行测试, 结果如图 8 所示. (a) 为解调电路的输入信号和时钟恢复电路从输入信号中恢复出来的时钟信号的局部放大图; (b) 为 PLL 锁相后输出的两相正交时钟信号图; (c) 为解调输入信号和解调电路的输出信号, 其中上面为解调输入信号, 信号为 13.56 兆的调幅正弦波, 下面为解调电路输出信号波形. 由于信号的幅度很微弱, 在此很难看出其幅值大小. 通过后面的电路进行放大、滤波后可获得很好的波形, 如图 8 (d)

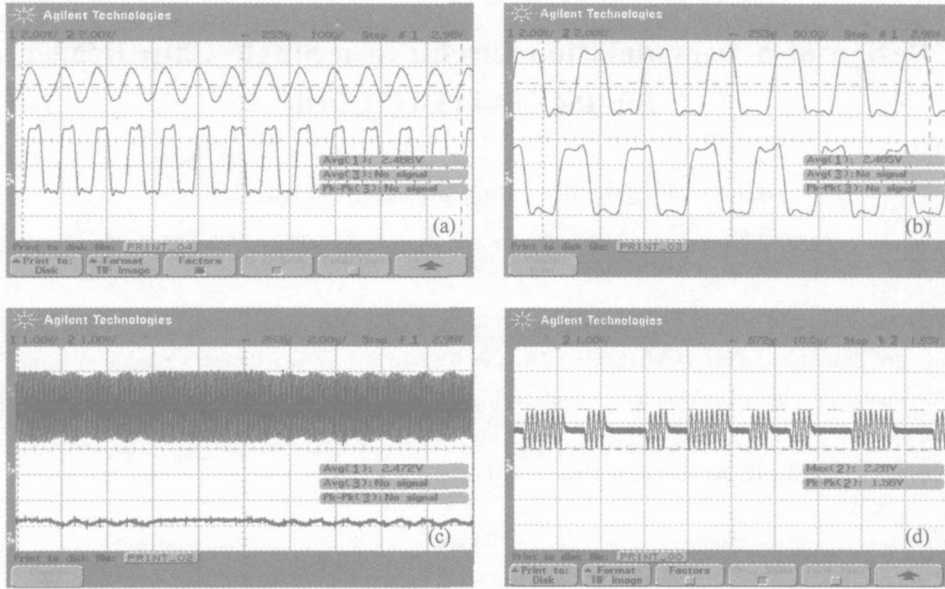


图 8 电路的测试结果 (a) 解调电路输入信号及时钟恢复电路从输入信号恢复出来的时钟信号;(b) 锁相环输出的两相正交时钟信号;(c) 解调电路的输入信号和解调电路解调输出信号;(d) 放大、滤波后的解调输出信号波形。

Fig. 8 Testing results (a) Input signal and restored clock;(b) Orthogonal clock signal generated by PLL;(c) Input and output of demodulation circuit;(d) Output signal of demodulation after amplifying and filtering

所示.通过对整个芯片性能的测试,测得电路工作温度范围为 - 20 ~ 80 ;整个解调电路在 5V 条件下的功耗约为 1mA ;电路能检测到的最小幅度调制信号约为 5mV ;此时测试用的标准卡离读卡机天线中心的距离大于 10cm ,所在位置的场强也小于 ISO14443 规定的 1.5A/ M. 可知电路的解调性能完全满足 ISO14443 对读卡机性能的要求.

6 结论

针对 0.6μm 标准 CMOS 工艺设计了一个可用于 ISO 14443 协议的 IC 卡单芯片读卡机解调电路,提出一种电路结构简单,性能优越的解调电路方案.电路经实际流片测试,获得很好的效果,能完全满足 ISO14443 对读卡机性能的要求.解调出来的信号经后继电路的放大、滤波和量化后送入数字电路进行后续处理.

参考文献

- [1] Chen Dacai. RFID technology-basic and application of wireless IC card and IC card reader (second edition). Beijing: Publishing House of Electronic Industry, 2001:160(in Chinese) [陈大才,译.射频识别(RFID)技术-无线电感应的应答器和非接触式 IC 卡的原理与应用(第 2 版).北京:电子工业出版社, 2001:160]
- [2] Lee C H, McClellan K, Choma J Jr. A supply-noise-insensitive CMOS PLL with a voltage regulator using DC-DC capacitive converter. IEEE J Solid-State Circuits, 2001, 36(10):1453
- [3] Lim K, Park C H, Kim D S, et al. A low noise phase-locked-loop design by loop bandwidth optimization. IEEE J Solid-State Circuits, 2000, 35(6):807
- [4] Co R S, Mulligan J H Jr. Optimization of phase-locked loop performance of in data recovery system. IEEE J Solid-State Circuits, 1994, 29(9):1022

Design of a Demodulation Circuit of a Single-Chip Reader for ISO 14443 IC Card

Chen Liangsheng , Hong Zhiliang , and Li Lian

(Department of Microelectronic, School of Information Science and Engineering, Fudan University, Shanghai 200433, China)

Abstract : The character and demodulation methodology of an IC card reader are introduced. The principle and circuit realization of the demodulation are describing. Test results show that the IC card reader can detect a minimum signal amplitude above 5mV. The power dissipation is about 1mA under a supply voltage of 5V. The reader works well under - 20 ~ 80 .

Key words : ISO 14443; IC card; IC card reader; demodulation

EEACC : 1205 ; 1250

Article ID : 0253-4177(2005)08-1623-06