

LS-DSP 中串行分布式数字滤波器的 功耗优化设计*

车德亮 王 忠 沈绪榜

(西安微电子技术研究所, 西安 710054)

摘要: 采用一种优化阶符的二进制数据表示方法,达到了减小 LS-DSP 内串行分布式计算滤波器的动态功耗的目的. 实验结果表明,该方法可有效减小 LS-DSP 内串行分布式计算滤波器 10% 的动态功耗.

关键词: 串行分布式计算; 滤波器; 数据表示方式; 低功耗

EEACC: 1265F; 1270F

中图分类号: TP302 文献标识码: A 文章编号: 0253-4177(2005)08-1586-05

1 引言

“九五”期间研制的面向航天应用的高性能数字信号处理器 LS-DSP,由于其内串行分布式计算滤波器计算方式是采用串行的移位计算方式,当采样数据值位跳变频率比较高时,串行移位链会引起很大的移位寄存器功耗^[1,2],直接影响了 LS-DSP 的实用化.

文献[3]采用 GRAY 码减少串行地址的总线功耗,受此方法的启发,本文探索是否可以使用特殊的二进制编码方式来减少串行分布式计算滤波器的功耗. 文献[4]提出的负二进制编码方式(negative-binary coding)是一种很好的减小采样数据值位跳变频率的编码方式,该方法缺点是减小采样数据值位跳变频率的效果受具体数据值的影响很大,适用范围有限. 本文研究的目的,是寻找降低 LS-DSP 内串行分布式计算滤波器的动态功耗的方法. 经过研究与实验,本文提出了一种优化阶符的采样数据编码方法,这种编码方式的优点是根据采样数据特点调整数据表示方式,实验结果表明该方法可有效减少串行分布式计算滤波器的功耗.

2 串行分布式计算滤波器的算法与结构

FIR 数字滤波的计算公式^[5]如下:

$$y(n) = \sum_{k=1}^K A_k x_k(n) \quad (1)$$

式中 $y(n)$ 表示滤波网络在时刻 n 的输出响应值; $x_k(n)$ 表示在时刻 n 的第 k 个输入信号采样值; A_k 表示第 k 个输入信号采样值的滤波系数.

x_k 以二进制补码表示,并且 $|x_k| < 1$, 那么 x_k 可表示成如下方式:

$$x_k = -x_{k0} + \sum_{b=1}^{B-1} x_{kb} 2^{-b} \quad (2)$$

式中 x_{kb} 是二进制变量, $x_{kb} \in \{0, 1\}$; x_k 的二进制位长为 B 位.

将(2)式代入(1)式并省略时刻 n 的表达,可得下式:

$$\begin{aligned} y &= \sum_{k=1}^K A_k \left[-x_{k0} + \sum_{b=1}^{B-1} x_{kb} 2^{-b} \right] \\ &= - \sum_{k=1}^K A_k x_{k0} + \sum_{k=1}^K \sum_{b=1}^{B-1} x_{kb} A_k 2^{-b} \end{aligned} \quad (3)$$

* 国防预研资助项目(批准号:41308010203)

车德亮 男,1975 年出生,博士研究生,研究方向:微处理器设计、嵌入式计算机系统结构.

王 忠 男,1968 年出生,博士后,研究方向为嵌入式体系结构、图像处理算法、编译软件等.

沈绪榜 男,1933 年出生,教授,博士生导师,从事嵌入式计算机及其芯片设计的研究工作.

2004-07-20 收到,2004-11-23 定稿

图 1 是根据 (3) 式生成的一个 4 阶串行分布式计算滤波器的典型结构. 主要由三部分组成: 采样数

据移位寄存器, LUT 部分和查找表, 以及加减运算、右移、累加部件.

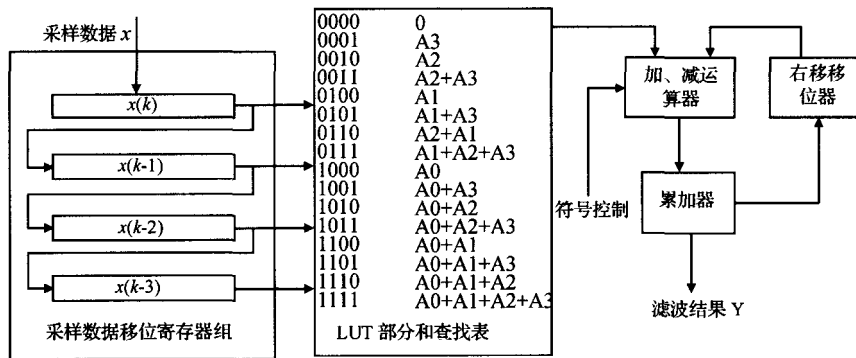


图 1 4 阶串行分布式计算滤波器的结构

Fig. 1 A kind of SDA filter architecture

根据文献[6,7]和串行分布式计算滤波器的计算过程可知, 翻转频率和翻转概率都很高的移位寄存器链是串行分布式计算滤波器的一个主要功耗源. 表 1 比较了 VeriSilicon 0.18μm 标准单元^[8]中 4 类触发器数据端在翻转和不翻转时的功耗.

表 1 触发器数据端翻转与不翻转的功耗对比

Table 1 Power dissipation contrast of toggled and un-toggled data

| VeriSilicon standard cell | 翻转时功耗 / nW | 无翻转功耗 / nW | 功耗相差百分比 / % |
|---------------------------|------------|------------|-------------|
| FFDHD1X | 0.391 | 0.183 | 114 |
| FFDHD2X | 0.504 | 0.247 | 104 |
| FFDHD4X | 0.681 | 0.343 | 98.5 |
| FFDHDLX | 0.314 | 0.163 | 92.6 |

3 串行分布式计算滤波器的低功耗设计技术

我们研究的串行分布式计算滤波器低功耗设计技术, 是通过一种优化阶符的二进制数据表示方式来表示采样数据, 以减小采样数据在原表示方式下的位翻转频率, 从而达到减少串行分布式计算滤波器功耗的目的.

固定基数的表示数系统可用一个三元组 $(n, b, \{i\})$ 表示, 其中, n 为表示数的精度或位数, b 为基数, $\{i\}$ 为基数符号队列 $(i_{n-1}, i_{n-2}, \dots, i_0)$, $i_j \in \{-1, 1\}$, $x = \sum_{i=0}^{n-1} i_i x_i 2^i$. 二进制表数系统为 $(n, 2, \{i\})$, $x = \sum_{i=0}^{n-1} i_i x_i 2^i$: 当 $\{i\} = (-1, 1, \dots, 1)$ 时, 二进制表数系

统实例化为补码数系统; 为 $(1, -1, 1, \dots, -1)$ 时, 二进制表数系统实例化为负二进制 (negative-binary, NB) 数系统^[4].

通过数据表示变换减少数据位翻转频率而降低功耗的方法, 需要满足: 条件一, 新的表数方式表示不同数据个数的范围要覆盖原表数方式下数据个数的范围, 以保证原表数方式下的任意数据都可映射到新表数方式下; 条件二, 数据表示变换电路的开销不能太大, 否则就失去了数据表示变换降低功耗的意义.

我们研究了一种优化阶符的二进制数据表示方式, 即通过选择一个优化基数符号队列的二进制数据表示方式, 来减少原表示方式下数据的位翻转频率. 优化阶符的二进制数据表数精度比原表数方式的精度多一位. 假设, 原表数方式的表数精度为 N 位, 则优化阶符的二进制数据表数精度为 $N+1$ 位, 当优化基数符号队列为 $(1, 1, \dots, 1)$ 时, 表数范围为 $[0, 2^{N+1} - 1]$; 当优化基数符号队列为 $(-1, -1, \dots, -1)$ 时, 表数范围为 $[-2^{N+1} - 1, 0]$; 优化基数符号队列的任意组合方式 (共 $2^N + 1$ 种), 表数范围将落于区间 $[-2^{N+1} - 1, 2^{N+1} - 1]$ 中, 并且每种组合方式表示的数都是区间 $[-2^{N+1} - 1, 2^{N+1} - 1]$ 中连续的 2^{N+1} 个数. 原表数方式 (不妨假设为补码) 的表数范围 $[-2^{N-1}, 2^{N-1} - 1]$ 可映射到 $[-2^{N+1} - 1, 2^{N+1} - 1]$ 内 $2^N + 1$ 个不同的势为 2^{N+1} 的数据集合上. 因此, 优化阶符的二进制数据表数精度保证了条件一得到满足, 同时从上述内容可知选择优化的基数符号队列即是从 $2^N + 1$ 个不同的势为 2^{N+1}

的数据集合上选择一个可以减少采样数据位翻转的数据集合。

优化阶符的二进制数据表示转换过程分为两步:首先根据采样数据分布特点产生优化基数符号

队列;第二步,根据优化基数符号队列进行数据转换。我们研究的优化基数符号队列产生算法和相应的数据转换算法如下:

```

    优化基数符号队列产生算法:
    main()
    { constant n;原始数据表数精度 n
    int num[ n ];从采样数据集中选出的参考采
    样数据值
    int sign[ n + 1 ];优化的基数符号队列
    int i;
    initial (num[ n ]);输入参考采样数据值
    for(i = 0 to n - 2)
        if (num[ i + 1 ] = = 1)
            sign[ i ] = 0; /*表示基数符号为 1 */
            else sign[ i ] = 1;表示基数符号为 - 1
    if (num[ n - 1 ] = = 1)
        { sign[ n - 1 ] = 0;
        sign[ n + 1 ] = 1; }
    else { sign[ n - 1 ] = 1;
        sign[ n + 1 ] = 0; }
    }
  
```

```

    数据转换算法:
    main()
    { constant n;原始数据表数精度 n
    int num[ n ],sign[ n + 1 ],temp[ n ];
    int num _ new[ n + 1 ];采样数据值使用优化
    阶符后的结果
    initial (num[ n ],sign[ n + 1 ]);输入采样数据
    值和优化的基数符号队列
    temp[ 0 ] = 0;
    for(i = 0 to n)
        { num _ new[ i ] = XOR(num[ i ],temp[ i ])
        if (sign[ i ] = = 0)
            temp[ i + 1 ] = AND(num[ i ],temp[ i ])
            else
                temp[ i + 1 ] = OR(num[ i ],temp[ i ]); }
    }
  
```

优化基数符号队列产生算法中需要输入一个重要的参考数据,该参考数据取自采样数据中满足 $MAX(P_{data} Toggle_{data})$ 条件的数据,其中 P_{data} 表示采

样数据的出现频率, $Toggle_{data}$ 采样数据的位翻转率。加入优化阶符的二进制数据表示转换电路的 4 阶串行分布式计算滤波器的结构如图 2 所示。

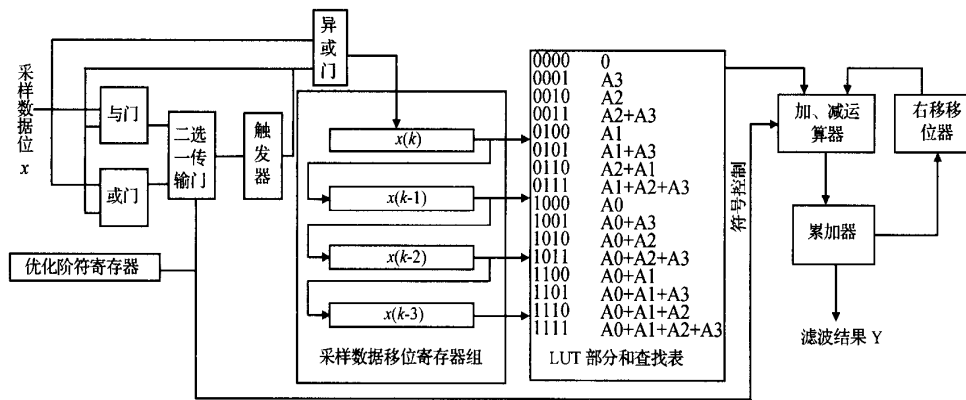


图 2 优化阶符的 4 阶串行分布式计算滤波器结构

Fig. 2 SDA architecture of optimized radix-notation binary coding method

图 2 中实现数据转换算法的电路由 5 个逻辑门组成(与门、或门、二选一传输门、触发器和异或门),根据 VeriSilicon 0.18 μm ^[8] 标准单元中的参数,其

最大功耗相当于 3 个触发器功耗,远远小于采样数据移位寄存器链产生的功耗,因此保证了条件二得到满足。

4 实验与结论

我们使用 MATLAB 产生高斯分布的两种不同均方差 (standard deviation, SD) 和均值 (mean) 的采样数据, 对优化阶符的 4 阶串行分布式计算滤波器进行仿真实验 (功耗模型参考 VeriSilicon 0.18 μm ^[8] 标准单元库). 计算了采样数据在不同位精度条件下优化阶符的二进制数据表示减少的位翻转次数比率和串行分布式计算滤波器功耗减少率, 结果如表 2 所示.

表 2 优化阶符的 4 阶串行分布式计算滤波器实验结果

Table 2 Experiment result of optimized radix-notation binary coding method

| 采样数据分布特征 | 采样数据精度 | 优化基数符号队列 | 采样数据位翻转减少率 / % | 串行分布式计算滤波器功耗减少率 / % |
|-------------------------------|--------|-----------------------------------|----------------|---------------------|
| Mean = 0.5max SD = 0.19max | 6 | (1, -1, -1, -1, 1, 1, 1, 1) | 24.6 | 11.2 |
| | 7 | (1, -1, -1, -1, 1, 1, 1, 1, 1) | 19.1 | 8.3 |
| | 8 | (1, -1, -1, -1, 1, 1, 1, 1, 1, 1) | 14.7 | 6.8 |
| Mean = 0.7max SD = 0.09max | 6 | (-1, 1, 1, -1, -1, 1, 1, 1) | 32.3 | 15.7 |
| | 7 | (-1, 1, 1, -1, -1, 1, 1, 1, 1) | 24.06 | 10.8 |
| | 8 | (-1, 1, 1, -1, -1, 1, 1, 1, 1, 1) | 17.2 | 7.5 |

通过对表 2 数据的分析, 得到以下结论:

(1) 两种高斯分布信号源采样数据以优化阶符的二进制数据表示后, 串行分布式计算滤波器滤波处理功耗平均减少约 10%.

(2) 采样数据值分布越集中, 优化阶符节省功耗的效果越好. 产生该结果的原因, 是因为当采样数据

值分布集中时, 优化基数符号队列算法中输入的参考数据具有整体数据的特征, 因此使得优化阶符节省功耗的效果明显.

(3) 随着采样数据值精度的提高, 优化阶符节省功耗的效果降低. 当采样数据值精度提高时, 原表示方式下数据的位翻转次数增加, 而优化阶符所降低的数据位翻转次数基本不变, 这就使得优化阶符节省功耗的效果变差.

参考文献

[1] Shang W, Wah B W. Dependence analysis and architecture design for bit-level algorithms. Intl Conf on Parallel Process, 1993:30

[2] Valls J, Martinez M, Sansaloni T, et al. A study about FPGA-based digital filters. Proc 1998 IEEE SIPS, IEEE Workshop on VLSI Signal Processing: Design and Implementation, 1998

[3] Mehendale M, Sherlekar S D, Venkatesh G. Extensions to programmable DSP architectures for reduced power dissipation. International Conference on VLSI Design, 1998:37

[4] Zohar S. Negative radix conversion. IEEE Trans Computer, 1970

[5] Hu Guangshu. Digital signal processing: theory, algorithm and implementation. Beijing: Tsinghua University Press, 1998 (in Chinese) [胡广书. 数字信号处理: 理论、算法与实现. 北京: 清华大学出版社, 1998]

[6] Soudris D, Piguat C, Goutis C. Designing CMOS circuits for low power. Kluwer Academic Publishers, 2002:10

[7] Rabaey J M. Digital integrated circuits: A design perspective. Prentice-Hall International, Inc, 1998:234

[8] VeriSilicon SMIC 0.18 μm high-density standard cell library data book. Version 2.1, 2004

A Low Power Design of an SDA Digital Filter for LS-DSP*

Che Deliang, Wang Zhong, and Shen Xubang

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: In order to reduce the power dissipation of a serial distributed arithmetic (SDA) digital filter, a new data coding technique, called optimized radix-notation binary coding method, is put forward to express the sampled data. Experiment results show that the optimized radix-notation binary coding method can reduce the power dissipation of SDA digital filter by about 10%.

Key words: SDA; digital filter; data coding method; low-power

EEACC: 1265F; 1270F

Article ID: 0253-4177(2005)08-1586-05

* Project supported by the National Defence Pre-Research Foundation of China (No. 41308010203)

Che Deliang male, was born in 1975, PhD candidate. His research interests include microprocessor design and embedded computer architecture.

Wang Zhong male, was born in 1968. His research interests include embedded parallel computer architecture, image processing, and compile techniques.

Shen Xubang male, was born in 1933, professor. His research interests include embedded computer and VLSI design.

Received 20 July 2004, revised manuscript received 23 November 2004

©2005 Chinese Institute of Electronics