

GaAs 场效应微波功率器件稳态 热场分析的等效结构模型*

张鸿欣

(西安电子科技大学电路 CAD 所 西安 710071)

摘要 提出了用于计算 GaAs 场效应微波功率器件峰值沟道温度的等效结构模型 其中底座与芯片等截面的等效厚度处理和胞单胞化处理,使计算工作量下降约二个数量级 计算的峰值沟道温度与修正(包括了胞内热场分布影响、胞间热场分布影响和瞬态冷却过程影响)后的电学法测量值的差别约为 3. 文中还用此模型模拟了若干工艺参数对峰值沟道温度的影响

EEACC: 0170N

1 前言

峰值沟道温度是 GaAs 场效应微波功率器件的可靠性指标,在排除了偶然的工艺问题之后,器件的寿命就主要由峰值沟道温度决定 实验(红外、电学法)只有在器件制成后方能进行,而且红外由于空间分辨率($\sim 5\mu\text{m}$)远大于沟道长度($\sim 1\mu\text{m}$)难于测到沟道温度,电学法测得的是整个器件的某种平均沟道温度 因此非常需要一个热分析软件,能模拟器件的热场分布、热斑的位置和温度、工艺参数、器件结构对热场的影响,以便调正设计,达到预定的可靠性指标 与完全按照器件实际结构的热场模拟^[1]比较,本文提出的等效结构模型方法大大简化了计算,其达到的 5 左右的精度可以满足大多数器件可靠性设计的要求

2 等效结构模型、算法和热场分析软件

计算沟道温度的难点在于:沟道温度既受其近邻处的工艺结构细节又受整体器件结构的影响,计算十分繁琐,解决方法如下.

2.1 底座的等效厚度处理和胞单胞化处理

模拟必须包括芯片、底座、粘接层三部分.虽然底座体积是芯片的百倍,但底座温升仅为芯片的十分之一左右,而且分布比较均匀,底座在整个热阻中处于次要地位,我们用等效厚度法将其用与芯片等截面、厚度为等效厚度的等效底座代替,使计算量减少几十倍

器件一般有 20~30 个胞,除去每边的 3~4 胞,其余的胞的热场基本相同^[1],即峰值温

* 电子部电子科学研究基金、陕西省自然科学基金资助项目
张鸿欣 男,1938 年 12 月生,教授,目前从事半导体器件的热场及相关效应研究
1997-07-20 收到,1997-12-20 定稿

度出现的中间胞与其左右胞达到了热平衡,因此近似地可以将它以单胞处理,其左右面近似为绝热面,这使计算量又下降了几十倍

上述多胞单胞化处理实际上把芯片(或器件)当作无限多的胞构成的阵列,即沿栅长方向芯片是无限长,因此中间胞的热场才与其近邻胞一样(实际上是除了边上几个胞,其它中间部分的胞的热场基本一样),这样计算等效底座厚度不用公式

$$H_{\text{eff}} = \frac{ab}{2(b-a)} \left(\ln \frac{a+2H}{a} - \ln \frac{b+2H}{b} \right) \tag{1}$$

而用公式

$$H_{\text{eff}} = \frac{b}{2} \ln \frac{b+2H}{b} \tag{2}$$

式中 a, b 为芯片沿栅长、栅宽方向的尺寸; H 为底座厚度; A, B 为底座沿这两个方向的尺寸. $A > a + 2H$ 及 $B > b + 2H$ 是式(1)、式(2)的使用条件. 式(2)计算的等效底座厚度比式(1)的要大,但实际上仅使峰值温度增加 2~3 .

在整个热阻中起不大作用的芯片与底座之间的金粘接层可以等效为 GaAs 芯片厚度的一个增加

$$h_{\text{eff}} = h_{\text{Au}} \times K_{\text{GaAs}}/K_{\text{Au}}$$

上式中 $K_{\text{GaAs}}, K_{\text{Au}}$ 代表砷化镓的、金的导热率; h_{Au} 为金粘接层的厚度

经以上处理的热分析模型分为两部: 芯片(包括粘接层)和底座(与芯片等截面). 除底座热沉下表面可以与周围环境进行热交换外,其余表面均为绝热面,热源位置确定在栅漏端,沿栅宽方向均匀分布

2 2 简化

为了使结构处理不致太复杂,将栅、漏的引线电极扩展到芯片的边缘,由于边缘处的温度梯度很小,简化的影响不大

上述的等效处理过程如图 1 所示,最后得到的等效结构模型如图 1(c)所示. 在计算中热源分布于栅的漏端,分布宽度沿栅长为~ 0.8 μm ,沿栅宽方向均匀分布,器件沿 z 方向为

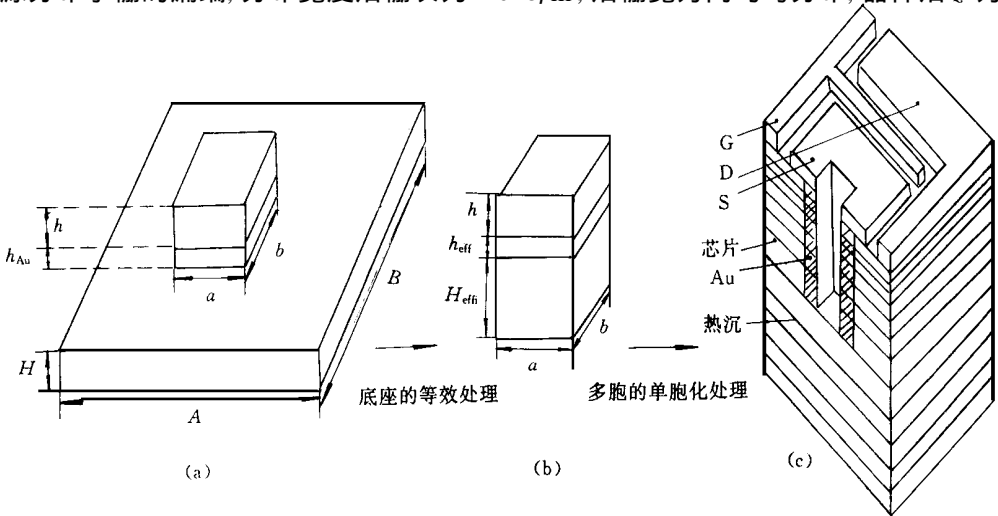


图 1 等效结构模型建立过程

13 层, 层 1~ 5 为底座, 层 6~ 12 为芯片(包括金粘接层), 层 13 为电极, 底座下表面为面 1, 固定于参考温度, 各层的下表面的号与层号同 面 14 为电极上表面, 面 11 为功耗所在面

2.3 建库

为了处理实际工艺、版图、器件结构引起的繁琐计算, 我们建立了专用函数库 通过调库来完成功率的网格化处理, 泊松方程系数计算、边界条件处理

计算采用三维七点差分方法 网格划分: 芯片沿 x 、 y 方向等间隔划分, z 方向从上而下(芯片到底座)逐步加厚不等间隔划分 稳态热传导方程:

$$K \Delta T = p \quad (3)$$

用 Guess-Seidel 超松弛法求解方程组 p 为功率耗散密度, 式(3)中导热率 K 与温度 T 有关引起的方程非线性, 通过引入克希霍夫变换温度^[2](以下简称变换温度):

$$\theta = \theta(T) = \frac{1}{K(T_0)} \int_{T_0}^T K(u) du \quad (4)$$

使式(3)变为相应的线性方程

$$K(T_0) \Delta \theta = p \quad (5)$$

在求解式(5)得到 θ 后, 可以通过式(4)的反变换找到对应的真实温度 T . GaAs 的导热率与温度的关系为

$$K(T) = 5600T^{-0.87} \text{W} \cdot \text{m} / \quad (6)$$

(条件 350K T 500K)

由式(4)根据 θ 反变换得到的 T 比 $(\theta - T_0)$ 要略大

计算软件主要包括功率网格化、泊松方程系数计算、温度场计算三部分和上述的库 整个软件用 Fortran 语言编写, 共约 8000 行

3 模型的实验验证

用该软件包对航天部 771 所的微波功率器件 4~ 18 号 IW FET 进行了热场计算

边界条件的确定 除底座下表面外, 其余表面取为绝热面 面积为 $10 \times 5 \text{mm}^2$ 的底座, 用二个螺钉固定于 60 工作台上, 接触压强较大, 类似于 G1 外型功率管的安装条件^[3](接触热阻率为 $0.75 \times 10^{-4} \text{m}^2/\text{W}$), 根据接触热阻率、接触面积和功耗, 可计算出接触热阻引起 ~ 3.3 温升, 故将底座下表面定在 63.3 作为边界条件, 金、铜的导热率分别取为 $330 \text{W} \cdot \text{m} /$ 和 $390 \text{W} \cdot \text{m} /$, GaAs 的导热率按式(6)计算的 63.3 取值, 即 $35.4 \text{W} \cdot \text{m} /$.

电学法测量结果的修正 文献[4]指出电学法测量结果低于峰值沟道温度, 但高于芯片表面的统计平均温度 本文得出了电学法测量温度与峰值沟道温度的定量关系, 即真实峰值沟道温度

$$\begin{aligned} T_{\text{峰值沟道}} &= T_{\text{电}} + \Delta T_{\text{稳态分布}} + \Delta T_{\text{冷却外推}} \\ &= T_{\text{电}} + \Delta T_{\text{栅宽}} + \Delta T_{\text{栅长}} + \Delta T_{\text{多胞}} + \Delta T_{\text{冷却外推}} \end{aligned} \quad (7)$$

$\Delta T_{\text{栅宽}}$ 、 $\Delta T_{\text{栅长}}$ 、 $\Delta T_{\text{多胞}}$ 分别代表温度沿栅宽方向、栅长方向和多胞上的相对分布引起的修正, 它们的总和效应构成了稳态热场空间分布修正 $\Delta T_{\text{稳态分布}}$ $\Delta T_{\text{冷却外推}}$ 是电学法外推至断电零时引起的误差

本文稳态热场的定量修正与文献[4]中的分析所用的方法都是基于下式

$$I = I_i = BA_i \exp[-(E_g - V_a)/kT_i] \tag{8}$$

这里 V_a 为施加栅偏压; I_i 为沟道面积元 A_i 的偏流; I 为总偏流; k 为玻尔兹曼常数; T_i 为 A_i 的绝对温度; e 为电子电荷; E_g 为内建电势; B 为与单位有关的常数

稳态热场分布修正主要部分即胞内热场修正(包括 $\Delta T_{\text{栅长}}, \Delta T_{\text{栅宽}}$)利用本文等效结构模型计算的热场进行,修正的次要部分,即胞间热场修正利用文献[1]中的多胞相对温升分布,但归一到本文所分析器件的实际温升.

器件冷却过程中沟道温度 T 与冷却时间方根的非线性^[5]是电学法外推至断电零时误差的根源,开始的快速下降部分实验目前测不到对 50~ 60 的沟道温升, $\Delta T_{\text{冷却外推}}$ ^[5]. 需要指出,等效结构模型由于用了体积比真实底座小得多(因而热容也小得多)的等效底座代替真实底座,因此不能模拟从断电至热平衡的整个冷却过程,但可以模拟与确定峰值沟道温度有关的冷却过程(即温升下降不到一半左右)的开始阶段

计算的各修正项见表 1,即为得到真实峰值沟道温度,电学法测量结果(对本文的器件)应向上修正~ 10 .

表 1 电学法的修正项

$\Delta T_{\text{栅长}}$	$\Delta T_{\text{栅宽}}$	$\Delta T_{\text{多胞}}$	$\Delta T_{\text{栅长}} + \Delta T_{\text{栅宽}} + \Delta T_{\text{多胞}}$	$\Delta T_{\text{冷却外推}}$
1.5	3	1.5	6	4

计算沿栅长分 46 步,每步 $0.5\mu\text{m}$,沿栅宽分为 56 步,每步 $12.5\mu\text{m}$.

图 2 为面 11 上的温升分布,为显示清楚,栅长方向尺寸放大了 20 倍 图 3 为底座上表面(面 6)上的温升分布 面 6 上的峰值温升仅为峰值沟道温升的 1/7,而且面 6 上的温升分布已比较均匀,说明了等效底座的处理是合理的

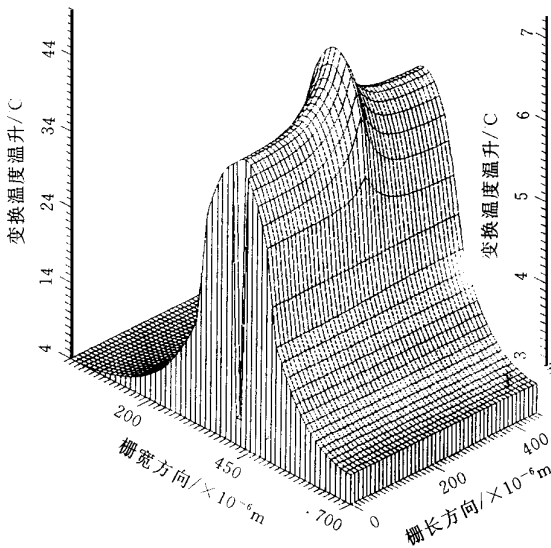


图 2 面 11(有源区所在面)上的变换温度温升分布

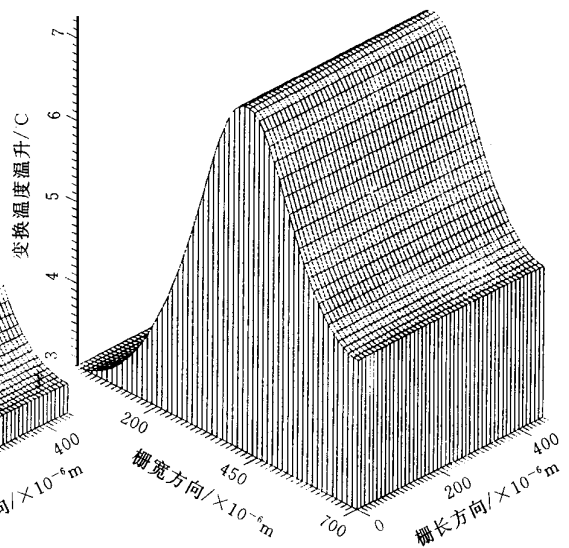


图 3 面 6(底座上表面)上的变换温度温升分布

本文计算的峰值沟道温度的变换温度温升为 49.9 , 对 63.3 的边界条件, 对应的峰值沟道温度为 116.8 , 电学法实际测量温度为 108 , 修正后的峰值沟道温度为 ~ 118 . 考虑到可能存在的同方向误差, 预计等效结构模型的计算精度为 ~ 5 .

4 工艺参数对峰值沟道温升影响的模拟

4.1 功率分布对峰值沟道温升的影响

沿栅长方向当功率分布从 $0.8\mu\text{m}$ 降至 $0.2\mu\text{m}$, 仅引起 ~ 2 峰值沟道温升上升. 即计算所假定的栅长方向的功率分布与实际功率分布的差别对峰值沟道温度影响不大, 而栅宽扩大一倍引起峰值沟道温升下降约三分之一. 即功率分布在栅宽方向起主要影响

4.2 金属电极的影响

金属电极使峰值沟道温升从 66.3 下降至 59 , 即 $\sim 12\%$, 即与文献[1]的关于电极有重要作用结论基本一致

4.3 GaAs 芯片厚度的影响

当厚度从 $80\mu\text{m}$ 降至 $30\mu\text{m}$, 峰值沟道温升从 59 降至 39 , 即下降 $\sim 1/3$

5 讨论

与整个器件热场计算相比^[1], 文中提出的等效结构模型使计算的工作量下降约二个数量级, 达到的精度(估计 ~ 5)可以满足大多数可靠性设计的要求. 除了不能对跨越几个胞的大空洞效应进行模拟外, 等效结构模型可以模拟大部分工艺参数对峰值沟道温升的影响. 改进等效结构模型的主要方向不在于进一步提高精度, 而在于扩大功能使之能模拟跨越几个胞的大空洞效应, 以明确对粘接层的定量要求; 模拟从断电(或加电)至热平衡的整个过渡过程, 以用于脉冲工作模式的可靠性设计.

致谢 航天部 771 所郑鹏洲研究员和罗艳斌同志提供实验数据

参 考 文 献

- [1] P.W.Webb, IEEE Trans Electron Devices, 1993, ED-40: 867~ 877.
- [2] K.Poulton *et al* , IEEE J. Solid-State Circuits, 1992, 27: 1379~ 1387.
- [3] 《国内外功率晶体管实用手册》编写组, 国内外功率晶体管实用手册, 北京: 电子工业出版社, 1987年, 25页, 655页
- [4] 冯士维等, 电子产品可靠性与环境试验, 1995年, 第4期, 64~ 67页
- [5] 张鸿欣等, “GaAs 场效应微波功率器件的热场瞬态分析”, 第八届全国半导体集成电路和硅材料学术会议论文集, 杭州, 1993年, 495~ 496页

Equivalent Structure Model for Calculating Peak Channel Temperature of GaAs MESFET

Zhang Hongxin (H. X. Zhang)

(CAD Inst. of Xiidian University, Xi'an 710071)

Received 20 July 1997, revised manuscript received 20 December 1997

Abstract The proposed model reduces the computation time at least by an order of two. The difference between the calculated peak channel temperature and the corrected measured value by electrical method is ~ 3 . In the model the heat sink is replaced with an equivalent one whose cross-section is the same as the chip's, whose equivalent thickness is much less than the real one; the array of parallel cells is represented by only one cell. The correction to the measured value includes effect of steady state temperature field and cold down process on electrical method. The effect of device structure parameters on the peak channel temperature is studied by using this model.

EEACC: 0170N