

MBE 生长 InAs 薄膜输运性质的研究

周宏伟 董建荣 王红梅 曾一平 朱占萍 潘 量 孔梅影

(中国科学院半导体研究所 北京 100083)

摘要 在 GaAs 衬底上 MBE 生长大失配 InAs 薄膜, 虽然在界面处存在大量位错, 但仍能在 InAs 薄膜中得到较高的电子迁移率. 掺 Si 样品的迁移率比同厚度未掺杂的样品要高. 且对未掺杂的 InAs 薄膜, 迁移率在室温附近有一个明显的极小值. 这些反常行为可以通过体层和界面层电子的并联电导模型来解释.

PACC: 8115G, 7280E, 7350

1 引言

用 MBE 技术在 GaAs 衬底上生长 InAs 外延层, 由于在红外探测器、光电子器件方面的潜在应用, 一直很受人们重视^[1~7]. 虽然 InAs 和 GaAs 衬底之间较大的晶格失配(7.2%) 会在界面附近产生高密度的位错, 但在 InAs 薄膜中仍能得到非常高的电子迁移率. 并且电子的迁移率随外延层厚度的增加而增大. 迄今为止, 对此现象的解释还有很大分歧^[7~9]. 另一方面, InAs 是窄禁带半导体, 因此人们以前一直认为 InAs 薄膜 Hall 器件的温度特性不会太好^[12]. 但高灵敏度、温度特性较好的 InAs 薄膜 Hall 器件已成功地研制出来并且商品化^[10,11]. 为什么窄禁带的 InAs 薄膜 Hall 器件有较好的温度特性, 目前对此也无理论解释. 本文系统地研究了厚度、温度、掺杂对电子迁移率的影响. 用并联电导模型解释了迁移率对掺杂及温度的反常依赖关系.

2 实验结果

InAs 外延层都是用 RBER-32MBE 系统, 在半绝缘 GaAs(100) 衬底上生长的. 所有样品生长温度都是 480 °C, 掺杂浓度 $8 \times 10^{16} \text{cm}^{-3}$, V/III 比为 20~40. 我们并没有寻求最佳生长条件来提高电子迁移率, 样品的电子迁移率是用范德堡方式测得.

(1) 对掺杂(Si) 浓度相同但厚度不同的样品 HR009(厚度 $d = 0.4 \mu\text{m}$) 和 HR012(厚度 $d = 1 \mu\text{m}$), 生长时 In 和 As 的束流等效压强分别为 $P_{\text{In}} = 1.6 \times 10^{-4} \text{Pa}$, $P_{\text{As}} = 5.5 \times 10^{-3} \text{Pa}$, 电子迁移率随温度的变化如图 1 所示.

周宏伟 男, 1970 年出生, 博士生, 从事分子束外延的研究
董建荣 男, 1968 年出生, 博士, 从事分子束外延的研究
1997-07-10 收到, 1997-11-14 定稿

(2) 典型的掺杂和非掺杂样品 GR088(厚度 $d=1.2\mu\text{m}$)和 GR089(厚度 $d=2\mu\text{m}$), 生长时 In 和 As 的束流等效压强分别为 $P_{\text{In}}=1.1\times 10^{-4}\text{Pa}$, $P_{\text{As}}=2.0\times 10^{-3}\text{Pa}$ 迁移率随温度的变化如图 2 所示

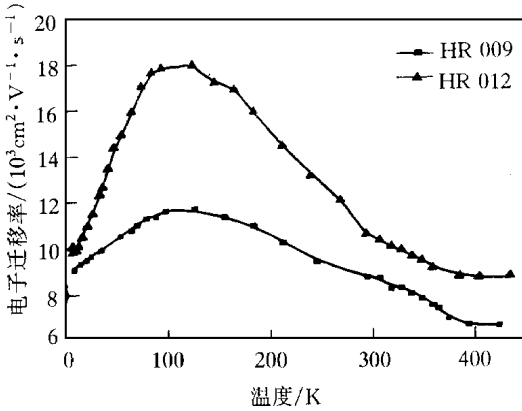


图 1

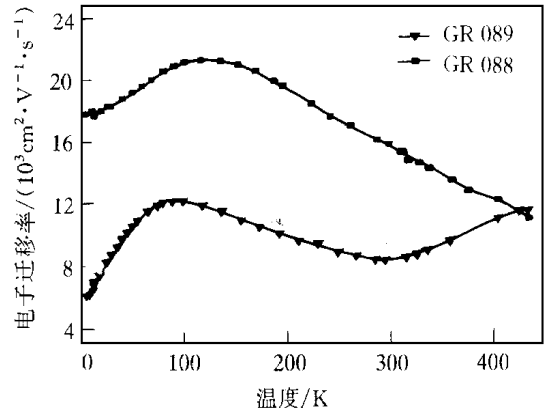


图 2

(3) 厚度相同, 掺杂浓度相同, 但掺杂位置不同对样品迁移率的影响如表 1 所示, 所有样品外延层厚度为 $0.7\mu\text{m}$, 生长时 In 和 As 的束流等效压强分别为 $P_{\text{In}}=1.1\times 10^{-4}\text{Pa}$, $P_{\text{As}}=2.0\times 10^{-3}\text{Pa}$

表 1

样品编号	掺杂位置(距界面距离)/ μm	室温迁移率/ $(\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1})$
HR055	0~0.28	6588
HR056	0.28~0.42	9022
HR057	0.56~0.7	9348
HR073	未掺杂	6070

3 分析和讨论

从以上实验结果可看出较薄样品(HR009)的迁移率较低但温度特性较好(图 1)。对未掺杂的 InAs 外延层(GR089), 电子迁移率在室温附近出现一个明显的极小值 而掺杂样品(GR088)没有发现明显的极小值(图 2)。当在 InAs 外延层中远离 InAs/GaAs 界面掺杂时, 其电子迁移率比同厚度未掺杂样品高(表 1)。这些现象很难用 Kalem 等人的位错和晶格散射模型来解释^[5,6,13], 而用 Wang 等人所提出的并联电导模型则很成功^[7,9]。并联电导模型是指当样品中不同层中的电子迁移率不同时, 测得的迁移率是这些电子的整体贡献 对较厚的 InAs 外延层, Wang, Weider 等是用体层(距 InAs/GaAs 界面较远的区域)和表面积层两层并联电导模型解释了迁移率随厚度的变化 虽然 InAs/GaAs 界面是一个位错密度很高的区域, 但位错对离它较远的体层电子散射很弱, 体层中电子迁移率仍然很高, 位错仅对其附近区域的电子有较强的散射作用, 使其迁移率很低, 并且对温度变化不敏感^[7,9]。但对较薄的 InAs 外延层, 界面层(InAs/GaAs 附近位错密度较大的区域)中电子对整个外延层的影响不能忽略, 从表 1 中可看出, 表面积层电子和体层电子对整体迁移率的贡献差别不大, 因

此我们用体层和界面层两层并联电导模型来解释我们的实验结果

根据并联电导模型^[7], 实验测得的迁移率 μ 为:

$$\mu = [\mu_b^2(n_b/n_i) + \mu_i^2 d_i / (d - d_i)] / [\mu_b(n_b/n_i) + \mu_i d_i / (d - d_i)] \quad (1)$$

式中 μ_b , n_b 分别是体层的电子迁移率和浓度; μ_i , n_i 和 d_i 分别是界面层电子的迁移率, 浓度和界面层的厚度 d_i 的厚度用扫描电镜测得约为 $0.2 \mu\text{m}$ ^[14], d 为外延层的厚度 且 $\mu_i \ll \mu_b$, μ_i 对温度不敏感

若外延层越厚, d_i/d 越小, 在并联电导中, 体层贡献越大, 测得的迁移率越接近体层, 迁移率也就越高^[5-11]. 当样品非常厚时, 界面层的影响可忽略, 其电子迁移率趋近于体层电子的迁移率, 这也解释了外延层中电子迁移率随厚度增加会出现饱和的实验结果^[13]. 若外延层越薄, 界面层贡献越大, 迁移率越低且随温度变化也比较平缓, 如图 1.

当远离异质界面层掺杂一定浓度 Si 时, 由于电离散射作用增强, 使得体层和界面层的迁移率都降低 但测得的电子迁移率比同厚度未掺杂样品要高, 这不是电子之间的屏蔽效应^[9], 而是因为杂质电离后, 库仑束缚作用使掺杂引入的电子大多局域在体层, n_b/n_i 增大, 测得的迁移率更接近体层而提高 从方程(1)也可看出掺杂和未掺杂样品随温度变化也有可能不相同 它们在低温时都有一个极大值, 然后随温度增加迁移率降低^[5]. 在此过程中, μ_b 和 μ_i 都降低, n_b/n_i 相对稳定, 总的迁移率降低 但是当温度增加到某一值时, 界面层所束缚的导电电子开始激发到体层, 对非掺杂样品, 虽然 μ_b 和 μ_i 都降低, 但 n_b/n_i 增加, 也可能使总的迁移率随温度的增加而增加 温度更高时, n_b/n_i 的增加已不能补偿 μ_b 和 μ_i 的降低, 总的迁移率随温度的增加而降低 对远离界面掺杂的样品 n_b/n_i 较大, 它随温度增加并不明显, 总的迁移率随 μ_b 和 μ_i 降低而降低, 而没有明显的极小值, 如图 2 厚度相同的样品, 无论掺杂还是不掺杂, 高温时本征导电电子占主导地位, n_b/n_i 差别可忽略, 因此电子迁移率也趋于相同^[10].

4 结论

我们用并联电导模型解释了 InAs 薄膜迁移率对温度的依赖关系, 以及掺杂而引起的迁移率反常增加 外延层比较薄时, 总的迁移率来源于体层和界面层电子的整体贡献 外延层越薄, 界面层电子贡献越大, 总的迁移率越低, 但温度特性也越好, 因此 InAs 薄膜 Hall 器件有较好的温度特性

致谢 作者感谢孙殿照研究员、张剑平博士、王晓亮博士后的有益讨论

参 考 文 献

- [1] C. T. Foxon, J. Vac. Sci. Technol., 1983, **B1**: 293
- [2] J. D. Grange, E. H. C. Parker and R. M. King, Appl. Phys., 1979, **12**: 1601
- [3] C. Chang, C. M. Serrano, L. L. Chang *et al.*, Appl. Phys. Lett., 1980, **37**: 538
- [4] J. M. Gerand and J. Y. Marzin, Appl. Phys. Lett., 1988, **53**: 568
- [5] S. Kalem, J. Chyi, C. W. Litton *et al.*, Appl. Phys. Lett., 1988, **53**: 562
- [6] S. Kalem, J. Chyi, H. Morkoc *et al.*, Appl. Phys. Lett., 1988, **53**: 1647

- [7] H. H. Wieder, *Appl Phys Lett*, 1974, **25**: 206
- [8] S. Holmes, R. A. Strading, P. D. Wang *et al*, *Semicond Sci Technol*, 1989, **4**: 303~ 308
- [9] P. D. Wang, S. N. Holmes, Tan Le *et al*, *Semicond Sci Technol*, 1992, **7**: 767~ 786
- [10] Tatsuuro *et al*, *J. Cryst Growth*, 1995, **150**: 1302
- [11] H. M. Wang *et al*, *J. Cryst Growth*, (accepted).
- [12] R. S. Popovic, Hall Effect Devecas, Hilger, Bristol, 1991, 195~ 196
- [13] S. Kalem *et al*, *Semicond Sci Technol*, 1990, **5**: S200~ 203
- [14] W. J. Schaffer, M. D. Lind, S. P. Kowalczyk *et al*, *J. Vac Technol*, 1983, **B1**: 688

Transport Studies of InAs Thin Films Grown on GaAs by MBE

Zhou Hongwei, Dong Jianrong, Wang Hongmei, Zeng Yiping,
Zhu Zhanping, Pan Liang, Kong Meiyang

(*Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083*)

Received 10 July 1997, revised manuscript received 14 November 1997

Abstract The transport properties of large lattice-mismatched InAs/GaAs heterojunctions are examined. In spite of a high dislocation density at the heterointerface, very high electronic mobilities are obtained in the InAs film. The mobilities demonstrate a pronounced minimum around room temperature in undoped samples. By doping Si into the layer far from the InAs/GaAs interface, a higher mobility than the undoped sample with the same thickness is always obtained. Such abnormal behavior is explained by the parallel conduction from the quasi-bulk carriers and interface carriers. The high mobility InAs films are found to be suitable materials for making Hall elements.

PACC: 8115G, 7280E, 7350