

压阻型集成电路封装应力 测试芯片的研究与应用

贾松良 朱浩颖 罗艳斌

(清华大学微电子所 北京 100084)

摘要 本文介绍了一种(100)硅片上的压阻型集成电路封装应力测试芯片的设计、制造、校准和应用测量情况。该应力测试芯片包含双极性 4 元素应力测试单元和偏轴 3 元素压阻系数校准单元。所用应力测试单元具有温度补偿、灵敏度高、抑制工艺对准误差的特点。采用四点弯曲法进行了硅压阻系数校准测量。采用其中一种应力测试芯片,测量了 IC 卡按 ISO 7816-1 标准规定的弯曲和扭曲情况下的芯片应力,发现: IC 卡弯曲时主要受正应力,剪切应力较小;而扭曲时剪切应力较大,正应力较小。

EEACC: 2570, 2860, 7320G

1 引言

随着集成电路封装技术向小型化、高密度和表面安装等方向发展,以及芯片面积不断增加,封装和芯片的应力问题日益突出,与应力相关的损伤增多,成为器件失效的主要原因之一。因此应力参数的测试与分析是保证器件可靠性的关键之一。与传统的应力测试方法相比,利用硅的压阻效应制造的应力测试芯片与常规集成电路工艺兼容,测量设备比较简单,测试结果较能反映芯片实际受力情况,是进行集成电路封装应力测量的有力工具。通过采用压阻应力测试芯片对封装内芯片应力进行测量研究,可为优化集成电路封装结构及相关工艺、提高器件可靠性提供依据,为封装应力的有限元模拟提供实验数据。本文介绍了一种优化结构的压阻应力测试芯片单元结构,采用四点弯曲法进行硅压阻系数校准测量的情况,以及采用该应力测试芯片对 IC 卡封装进行芯片应力测试的结果。

2 硅压阻应力测试芯片的单元结构

压阻应力测试芯片是利用硅的压阻效应,通过测量附加应力导致的电阻变化来测量芯片表面的应力状态。该类芯片一般常用(100)硅衬底制造,采用不同的单元结构,可以测量芯

贾松良 男,1937 年出生,教授,现从事微电子封装和可靠性方面的研究
朱浩颖 男,1972 年出生,硕士毕业
1997-07-08 收到,1997-12-24 定稿

片表面的一个或几个应力分量 典型的应力测试单元有 2 元素、3 元素、偏轴 3 元素、4 元素及 6 元素等几种结构^[1]。

在(100)型硅片的坐标系内,硅片平面内沿任一角度 φ 的电阻,在附加应力 σ 下其电阻的相对变化量为^[2]:

$$\frac{\Delta R}{R} = \frac{R(\sigma) - R(0)}{R(0)} = \frac{\sigma_{11}}{2}(\pi_{11} + \pi_{44}\cos 2\varphi) + \frac{\sigma_{22}}{2}(\pi_{11} - \pi_{44}\cos 2\varphi) + \sigma_{33}\pi_{12} + \sigma_{12}\pi_{6}\sin 2\varphi \quad (1)$$

式中 $R(\sigma)$ 、 $R(0)$ 分别为有应力 σ 和无应力时的电阻值 σ_{11} 、 σ_{12} 和 σ_{22} 表示在硅片自然坐标系 $x_1 = [110]$ 、 $x_2 = [\bar{1}10]$ 内的应力分量, σ_{33} 是沿方向 $x_3 = [001]$ 上的正应力分量, π_{11} 、 π_{12} 、 π_{44} 为硅的压阻系数, $\pi_6 = \pi_{11} + \pi_{12}$, $\pi_6 = \pi_{11} - \pi_{12}$ 。

通过正确设计压阻应力测试单元结构,选择不同的电阻方向,掺杂极性和浓度,可以提高测量的灵敏度,降低温度、工艺对准误差对测量准确度的影响 本文采用了优化的(2n+ 2p) 双极性 4 元素压阻应力测试单元^[2],如图 1 所示

其中 Q_90 方向电阻 R_1^p 、 R_2^p 为 P 型,用于测量平面正应力分量(σ_{11} - σ_{22}); $\pm 45^\circ$ 方向电阻 R_3^n 、 R_4^n 为 N 型,用于测量平面剪切应力 σ_{12} 这时,应力分量的计算如式(2)所示:

$$\begin{aligned} (\sigma_{11} - \sigma_{22}) &= \frac{1}{\pi_{44}^p} \left(\frac{\Delta R_1^p}{R_1^p} - \frac{\Delta R_2^p}{R_2^p} \right) \\ \sigma_{12} &= \frac{1}{2\pi_6^n} \left(\frac{\Delta R_4^n}{R_4^n} - \frac{\Delta R_3^n}{R_3^n} \right) \end{aligned} \quad (2)$$

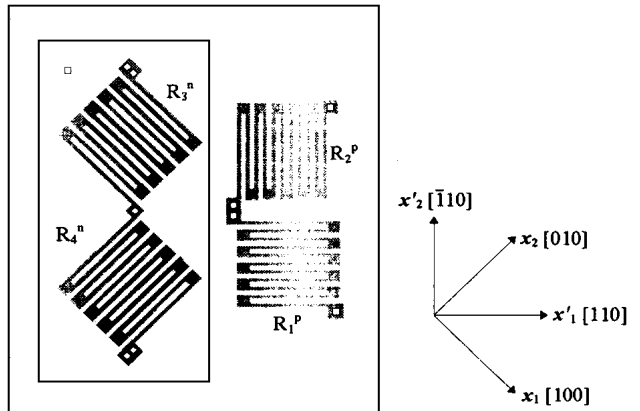


图 1 4 元素优化压阻应力测试单元的结构

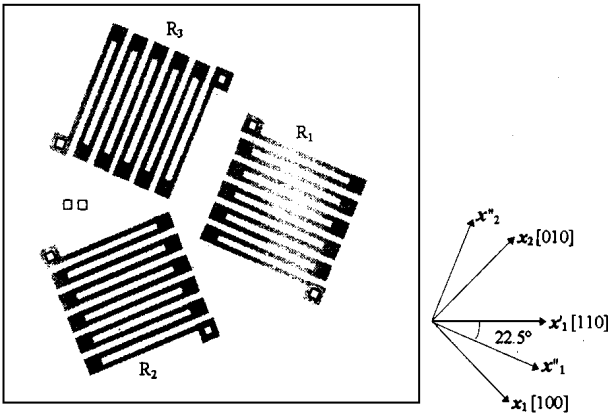
公式(2)表明该应力测量单元具有如下优点:测量灵敏度高,因为所测应力与硅的最大压阻系数——P 型硅的 π_{44} 和 N 型硅的 π_6 成比例;温度补偿,因为是用匹配电阻的相对变化量之差来计算应力分量;对角度对准误差不敏感;并且独立于平面外应力 σ_{33} ,适用于塑料封装等 σ_{33} 不为零情形下的应力测量

应力测试芯片上还集成有 P、N 型偏轴 3 元素压阻系数校准单元,偏轴角度为 22.5° ^[3],如图 2 所示 电阻 R_1 、 R_2 、 R_3 分别位于与 x_1 晶向成 0° 、 45° 和 90° 的方向上 在校准测量时,沿晶向 x_1 施加一已知的单轴应力 σ ,即可由电阻随应力变化求得各压阻系数:

$$\begin{bmatrix} \pi_{11} \\ \pi_{12} \\ \pi_{44} \\ \pi_6 \\ \pi_6 \end{bmatrix} = \frac{d}{d\sigma} \begin{bmatrix} 1.5 & -1 & 0.5 \\ -0.5 & 1 & 0.5 \\ 0 & 2 & -2 \\ 2 & -2 & 0 \\ 1 & 0 & 1 \end{bmatrix} \begin{bmatrix} \Delta R_1 \\ R_1 \\ \Delta R_2 \\ R_2 \\ \Delta R_3 \\ R_3 \end{bmatrix} \quad (3)$$

该压阻应力测试芯片采用 N 型(100)硅衬底,常规 P 阱工艺制造 它包含两种应力测试芯片,一为用于测量 PQFP 封装应力的测试芯片,它包括 6 组 4 元素应力测试单元阵列和

N、P 型偏轴 3 元素压阻系数校准单元 芯片面积为 $3.90 \times 3.90\text{mm}^2$ 。应力测量单元的面积



约为 $0.26 \times 0.30\text{mm}^2$ ，以提高测量的空间分辨率。电阻条宽为 $4\mu\text{m}$ ，总长为 $200\mu\text{m}$ 。6 个应力测试单元分别位于芯片的中心、边缘和对角线上，用以研究芯片上的应力分布。一为用于测量 IC 卡封装应力的芯片，它只包含一组 4 元素应力测量单元，单元面积为 $1.65 \times 0.80\text{mm}^2$ ，尽可能覆盖整个芯片，以提高灵敏度。电阻条宽为 $30\mu\text{m}$ ，总长为 $300\mu\text{m}$ 。芯片面积为 $2.40 \times 1.95\text{mm}^2$ 。

图 2 偏轴 3 元素压阻系数校准单元的结构

3 硅压阻系数的校准测量

从应力测试单元测得电阻变化后要推出应力状态，必须通过压阻系数 π_{11} 、 π_{12} 、 π_{44} 。由于压阻系数与掺杂浓度和制造工艺都有关系，因此准确校准压阻系数是压阻应力测试芯片能准确测量封装应力的关键之一。校准方法采用四点弯曲法^[4]，将工艺已完成的硅圆片沿 -22.5° 方向切割成硅条，沿硅条方向施加单轴向的均匀应力，测量各个电阻随所加应力的变化情况，结果如图 3 所示。

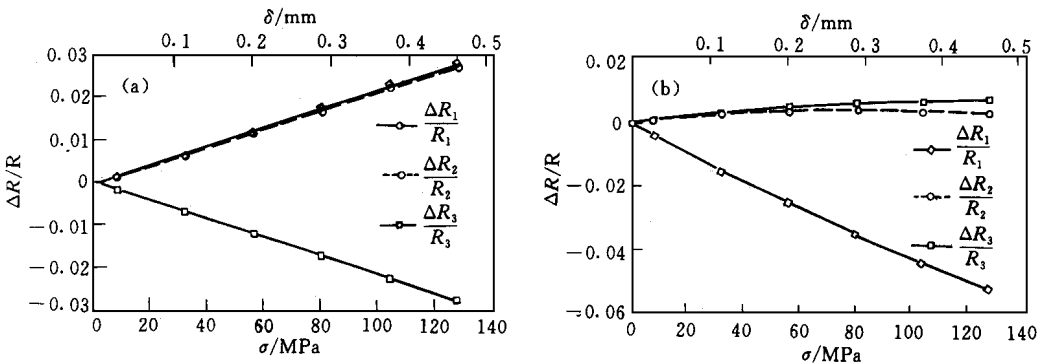


图 3 校准测量时电阻随所加应力的变化

(a) P 型电阻随应力的变化; (b) N 型电阻随应力的变化

由图 3 可见，电阻随所加应力的变化有如下特点：

- (1) 在所加应力范围内，电阻相对变化的最大值不超过 $\pm 6\%$ ；
- (2) B 离子注入形成的 P 型电阻的 $\Delta R_1/R_1$ 和 $\Delta R_2/R_2 > 0$ ， $\Delta R_3/R_3 < 0$ ；
- (3) A_s 离子注入形成的 N 型电阻的 $\Delta R_1/R_1 < 0$ ， $\Delta R_2/R_2$ 和 $\Delta R_3/R_3 > 0$ ；
- (4) P 型电阻的 $\Delta R_1/R_1$ 、 $\Delta R_2/R_2$ ，N 型电阻的 $\Delta R_3/R_3$ 略大于 $\Delta R_2/R_2$ ；
- (5) $\Delta R/R \sim \sigma$ 基本成线性；N 型电阻有一定的非线性。

将电阻的变化与所加的应力代入公式(3)的右端,用最小二乘法拟合确定压阻系数

校准测量 P 型硅 [R 为 100~ 200Ω/, 掺杂浓度为 $(1\sim 3) \times 10^{19} \text{cm}^{-3}$] 的压阻系数随方块电阻的变化如图 4 所示 π_{44} 系数在 $(72\sim 88) \times 10^{-5} / \text{MPa}$ 范围内,平均值为 $(75 \pm 5) \times 10^{-5} / \text{MPa}$ 对于表面掺杂浓度为 $1.4 \times 10^{19} \text{cm}^{-3}$ 左右的 P 型硅,文献上给出 π_{44} 约为 $90 \times 10^{-5} / \text{MPa}$ ^[5],比我们的校准结果约大 20%. P 型硅的 π_{11} 、 π_{12} 系数在 $\pm 1 \times 10^{-5} / \text{MPa}$ 量级,远小于 π_{44} 校准测量 N 型硅 (R 为 0.2~ 0.6kΩ/, 掺杂浓度为 $(1\sim 6) \times 10^{18} \text{cm}^{-3}$) 的 π_{66} 系数在 $(- 70\sim - 115) \times 10^{-5} / \text{MPa}$ 范围内,平均值为 $(- 91 \pm 13) \times 10^{-5} / \text{MPa}$ 对于表面掺杂浓度为 $1.2 \times 10^{18} \text{cm}^{-3}$ 左右的 N 型硅,文献上给出 π_{66} 约为 $- 110 \times 10^{-5} / \text{MPa}$ ^[5],比我们的校准结果约大 20% (绝对值), π_{44} 系数的校准结果为 $(- 9 \pm 3) \times 10^{-5} / \text{MPa}$ π_{11} 系数约为 $(- 60 \pm 10) \times 10^{-5} / \text{MPa}$, π_{12} 约为 $(31 \pm 4) \times 10^{-5} / \text{MPa}$,满足 $\pi_{11} = - 2\pi_{12}$ 的近似关系,与有关理论和文献上的报道一致

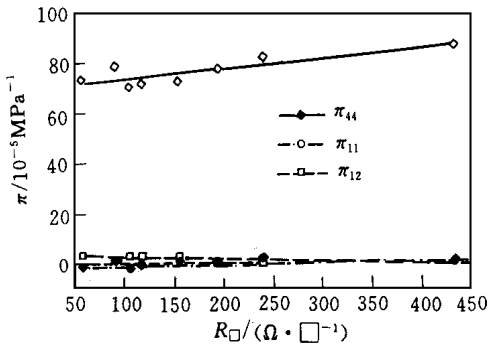


图 4 P 型硅压阻系数随方块电阻的分布

4 IC 卡封装应力的测量

IC 卡一般随身携带,人体的运动会使卡片弯曲或扭曲,因此芯片会受到相当大的应力,威胁到所存储数据的安全 根据国际标准 ISO 7816 中的有关规定,对 IC 卡需进行弯曲和扭曲试验 我们采用压阻应力测试芯片对 IC 卡在弯曲和扭曲条件下的芯片应力进行了测量 按标准要求,弯曲幅度长边挠度为 2cm;短边挠度为 1cm. 扭曲试验为对短边进行扭曲,最大幅度为 $\pm (15 \pm 1)^\circ$. 装片方式和封装工艺均参照正常封卡进行,以尽可能模拟其芯片应力 IC 卡应力测试芯片封装完成后,在卡片为平直状态时测量芯片内各电阻的电阻值作为基准,然后将卡片弯曲或扭曲到要求的状态,测量此时的电阻值,根据相应的电阻变化量利用公式(2)和压阻系数 π_{44} 、 π_{66} 的校准值可以得到由卡片弯曲和扭曲所导致的芯片附加应力 测量结果如表 1 所示 弯曲试验时 IC 卡的触点在上,向上弯曲为 IC 卡拱起,向下弯曲为 IC 卡凹下. 正应力分量为正表示压缩应力,负表示拉伸应力

由表 1 可见,在弯曲试验中,长边向上弯曲时应力分量 $|\sigma_{11} - \sigma_{22}|$ 约为 75MPa,为压应力. 长边向下弯曲时的应力分量 $|\sigma_{11} - \sigma_{22}|$ 为拉应力,数值比向上弯曲时约大 20%. 两种情况下的平均值约为 82MPa. 短边向上弯曲时应力分量 $|\sigma_{11} - \sigma_{22}|$ 约为 105MPa,为压应力. 因在短边弯曲时,芯片接近弯曲的中心位置,形变较大,故应力也较大. 在上述弯曲情况下,剪切应力分量 $|\sigma_{12}|$ 的数值都很小,可以忽略. 扭曲试验为对短边进行扭曲,实验结果列于表 2

表 1 IC 卡弯曲时的芯片应力

	样本数	$\overline{(\sigma_{11} - \sigma_{22})} / \text{MPa}$	样本数	$\overline{\sigma_{12}} / \text{MPa}$
短边向上弯曲	18	105 ± 18	19	- 2 ± 4
长边向上弯曲	18	75 ± 11	24	0 ± 2
长边向下弯曲	18	- 88 ± 14	/	/

表 2 IC 卡扭曲时的芯片应力

扭转方向	样本数	$\overline{(\sigma_{11} - \sigma_{22})} / \text{MPa}$	样本数	$\overline{\sigma_{12}} / \text{MPa}$
顺时针	15	- 22 ± 23	16	19 ± 9
逆时针	14	10 ± 17	15	- 31 ± 11

由表 2 可见, 扭曲试验中的应力分量 $|\sigma_{11} - \sigma_{22}|$ 平均值约为 16MPa , 小于弯曲试验时的应力值 两种扭转方向时的剪切应力 σ_{12} 符号相反, $|\sigma_{12}|$ 的平均值约为 25MPa , 远大于弯曲试验时的剪切应力值 由以上测量结果可知, $|\sigma_{11} - \sigma_{22}|$ 应力当沿短边方向向上弯曲时最大, 剪切应力分量 $|\sigma_{12}|$ 则是扭曲时最大

5 结论

本文介绍的压阻型集成电路封装应力测试芯片, 采用集成电路兼容工艺、优化的单元结构, 具有灵敏度高、温度补偿的优点 利用该测试芯片, 对硅压阻系数进行了校准测量, 测得 P 型硅的 π_{44} 系数平均为 $(75 \pm 5) \times 10^{-5} / \text{MPa}$, N 型硅的 π_{66} 系数平均为 $(-91 \pm 13) \times 10^{-5} / \text{MPa}$ 采用其中一种应力测试芯片, 模拟测量了 HX768 IC 卡在 ISO 7816-1 标准规定的弯曲和扭曲情况下的芯片应力, 结果为: IC 卡长边向上弯曲时的正应力幅值 $|\sigma_{11} - \sigma_{22}|$ 约为 75MPa , 向下弯曲时为负应力, 其值增加约 20%, 短边向上弯曲时 $|\sigma_{11} - \sigma_{22}|$ 约为 105MPa , 在弯曲时芯片所受剪切应力较小; 扭曲时的剪切应力分量幅值 $|\sigma_{12}|$ 约为 25MPa , 而正应力幅值 $|\sigma_{11} - \sigma_{22}|$ 较小, 平均约为 16MPa 因此, $|\sigma_{11} - \sigma_{22}|$ 应力当沿短边方向向上弯曲时最大, 剪切应力分量 $|\sigma_{12}|$ 则是扭曲时最大 本课题的研究表明, 利用硅压阻效应制成的封装应力测试芯片, 是研究集成电路封装内芯片应力状态的有力工具 有关硅压阻系数校准测量和 IC 卡封装应力测量的结果, 为相关的压阻应力传感器参数设计、IC 卡可靠性研究、封装应力的有限元分析提供了很有价值的参考数据

致谢 本课题从立项、方案讨论到芯片设计制作曾得到李志坚院士、刘理天教授的多次指教和参与讨论, 我所器件物理室完成了芯片制作, 在此向他们和所有曾帮助过我们的同志表示衷心的感谢

参 考 文 献

- [1] D. A. Bittle *et al* , J. Electronic Packaging, 1991, **113**(20): 203~ 215
- [2] R. C. Jaeger *et al* , "A (100) Silicon Stress Test Chip With Optimized Piezoresistive Sensor Rosettes," 44th Electronic Component & Technology Conference, 1994, pp. 741~ 749
- [3] R. C. Jaeger *et al* , IEEE Trans Comp. , Hybrids, Manuf Technol , 1993, **16**(8): 925~ 931
- [4] R. E. Beaty *et al* , IEEE Trans Comp. , Hybrids, Manuf Technol , 1992, **15**(5): 904~ 914
- [5] H. Lau, Editor, Thermal Stress and Strain in Microelectronic Packaging, Van Nostrand Reinhold, N. Y. , 1993
- [6] 国际标准 ISO 7816-1: 1987 识别卡-带触点的集成电路卡-第 1 部分: 物理特性

Study and Application of Piezoresistive Stress Test Chip for IC Packages

Jia Songliang, Zhu Haoying, Luo Yanbin

(Institute of Microelectronics, Tsinghua University, Beijing, 100084)

Received 8 July 1997, revised manuscript received 24 December 1997

Abstract This paper presents the study of design, manufacturing, calibration, and application of a (100) silicon stress testing chip for IC packages. The piezoresistive stress test chip contains optimal dual polarity four elements piezoresistive sensor rosettes and off-axis three elements piezoresistive coefficients calibration rosettes. The piezoresistive sensor rosettes offer high sensitivity to stress, and the outputs are both temperature compensated and insensitive to rotational alignment error. The piezoresistive coefficients are calibrated by using four-point bending method, the $\overline{\pi}_{44}$ of P-type Si is about $(75 \pm 5) \times 10^{-5} / \text{MPa}$, and the $\overline{\pi}_{11}$ of N-type Si is about $(-91 \pm 13) \times 10^{-5} / \text{MPa}$. Using this stress test chip, we have studied the chip stress state of IC card under bending and twisting condition. The measurement results are: for upward bending along card's long edge, the in-plane normal stress difference $|\sigma_{11} - \sigma_{22}|$ is about 75 MPa, downward bending increases it by about 20%, the $|\sigma_{11} - \sigma_{22}|$ for upward bending along card's short edge is about 100 MPa, the shear stress is small at bending condition. The in-plane shear stress $|\sigma_{12}|$ for card twisting is about 25 MPa, which is larger than normal stress.

EEACC: 2570, 2860, 7320G