

# 单片集成低通波数字滤波器\*

李天望 王晓悦 晁英伟 洪志良

(复旦大学电子工程系 上海 200433)

**摘要** 本文报告了采用硬件复用技术集成的波数字低通滤波器, 其中所有的加、减法和乘法都在一个带超前进位链的 ALU 单元上分时进行。采用全定制方式进行版图设计, 并用  $3\mu\text{m}$  CMOS 工艺(单层金属)进行流片, 芯片面积为  $6.12\text{mm} \times 5.28\text{mm}$ , 测试结果表明, 该滤波器的通带纹波系数小于  $0.00007\text{dB}$ , 阻带衰减大于  $112\text{dB}$ 。

EEACC: 1150, 1265B, 1270F

## 1 引言

随着集成电路技术的发展, 数字集成电路能完成越来越多的功能, 数字信号处理已成为一种被广泛采用的信号处理技术。但自然界的现象是模拟变化的, 对模拟量的处理必须首先将模拟量转换成数字量。传统的 A/D 变换器的精度取决于器件的匹配误差, 因而很难实现 16 位以上的精度。过采样 A/D 变换器通过过采样时间来交换精度<sup>[1]</sup>, 对元器件的不匹配不敏感, 但这类变换器需要降频和低通滤波器来抑制高频噪声。梳状滤波器可以很方便地将频率降到奈奎斯特率的 4 倍<sup>[2]</sup>。为了实现高精度, 后面的降频低通滤波器常常成为占整个系统面积最大的单元, 其实现方法有很多种<sup>[3~5]</sup>, 波数字滤波器是一种节省芯片面积的实现方法<sup>[4~5]</sup>。本文采用硬件复用技术, 设计了一个通带为  $20\text{kHz}$ 、采样频率为  $80\text{kHz}$ 、阻带衰减大于  $112\text{dB}$ 、最快时钟为  $10.24\text{M}$  的波数字低通滤波器, 并用贝岭  $3\mu\text{m}$  CMOS 工艺进行流片, 测试结果表明, 此滤波器能达到 18 位 A/D 的要求。数字滤波器作为数字信号处理基本单元, 这种节省面积的设计方法有助于数字信号处理系统的单片集成。

## 2 波数字滤波器的设计

在波数字滤波器(WDF)中, 自倒量(bireciprocal)滤波器具有较少的乘法器和加法器<sup>[6]</sup>, 为了降低系统的敏感性和进一步减少硬件耗费, 本文采用两个相同的子滤波器级联来实现。图 1(见图版 D)为子滤波器的原理图, 其中 T 表示一采样周期的延迟,  $a_1, a_3, a_5, a_7$

\* 国家自然科学基金资助课题

李天望 博士生, 从事集成电路设计和数字信号处理研究

洪志良 博士, 教授, 博士生导师, 从事 VLSI 设计, 特别对模拟集成电路感兴趣

1997-07-14 收到本文

分别为D、E单元的乘法系数,D、E单元的结构图如图1(b)和图1(c)所示,由图1可得两个子滤波器级联的波数字滤波器的传输函数为:

$$H(Z) = \frac{1}{4} \left[ Z^{-1} \prod_{n=3,7} \frac{-r_n + Z^{-2}}{1 - r_n Z^{-2}} + \prod_{n=1,5} \frac{-r_n + Z^{-2}}{1 - r_n Z^{-2}} \right]^2 \quad (1)$$

式中  $r_n$  与  $a_n$  的关系如表1所示 为了达到18位精度的要求,滤波器的阻带衰减必须大于112dB. 根据文献[7]给出的椭圆自倒量滤波器的设计公式,可以很容易地求得所需的乘法系数如表1所示 为了便于硬件实现,必须将所得的系数量化为二进制数,因此,我们用C语言程序来模拟WDF的性能,从而在满足系统要求的情况下,确定乘法系数的量化字长及整个WDF运算所需的字长,量化后的乘法系数也如表1所示

表1 滤波器的乘法系数值

系数	系数值及量化后的值	相应 $r$ 的值
$a_1$	0.07421875 (0.00010011) <sub>2</sub>	$-a_1$
$a_3$	0.26953125 (0.01000101) <sub>2</sub>	$-a_3$
$a_5$	0.46875000 (0.01111000) <sub>2</sub>	$a_5 - 1$
$a_7$	0.17187500 (0.00101100) <sub>2</sub>	$a_7 - 1$

### 3 波数字滤波器的硬件实现

从图1可知,完成子滤波器需要4个乘法器,整个WDF则需要8个乘法器,由于WDF的内部运算字长为29位,因此,8个8×29的乘法器需要耗费大量的硬件.从表1中可以看出,WDF的乘法系数非零位个数较少,如果采用移位相加的方式实现,则可节省硬件.由于该滤波器的采样频率(80kHz)较低,两组输入数据的时间间隔为12.5μs,而从图1可知,整个滤波器一组数据的运算可在64步里完成,这样每步的运算时间为200ns左右.因此,可以用硬件复用的方式来进一步减少硬件,即所有的加法和乘法都用一个加法器来实现,乘法采用移位相加的方式.本文所用的全加器为四位一组,组间串行,组内并行的加法器<sup>[8]</sup>.通过PSPICE模拟发现,这种加法器能够满足我们的要求.移位器采用筒式移位器<sup>[8]</sup>,整个滤波器硬件框图如图2所示.图中X、Y分别为输入、输出信号,MUX1、MUX2为多路选通器,以C和M开头的信号为控制信号,其中M<sub>C1</sub>、M<sub>C2</sub>用来控制A、B两个操作数的加减,所有控制信号都用PLA来产生,通过这些控制信号使整个电路的运算顺序进行,L<sub>1</sub>~L<sub>7</sub>及L<sub>in</sub>、L<sub>T</sub>为D触发器,L<sub>A</sub>和L<sub>B</sub>为一组特殊的存储阵列,用来锁存运算的中间结果,并产生图1中的2T延迟.图3为这种存储单元的电路图,采用此结构,可以将输入、输出分别短接,由读写控制信号C<sub>B</sub>、C<sub>A</sub>来控制单元的读出和写入,这样在版图设计中可以节省芯片面积.整个版图按3μm CMOS单层金属工艺进行全定制设计,芯片大小为6.12mm×5.28mm,芯片照片如图4所示(见图版D).

从图4的芯片照片可以看出,整个芯片共48个压焊点,采用双列48腿进行封装,其管脚分布为:P<sub>1</sub>为时钟输入,P<sub>2</sub>~P<sub>27</sub>为数据输入,P<sub>28</sub>为V<sub>DD</sub>,P<sub>29</sub>~P<sub>46</sub>为数据输出,P<sub>47</sub>为一便于测试的时钟输出,即为图2中的C<sub>5</sub>,P<sub>48</sub>为地

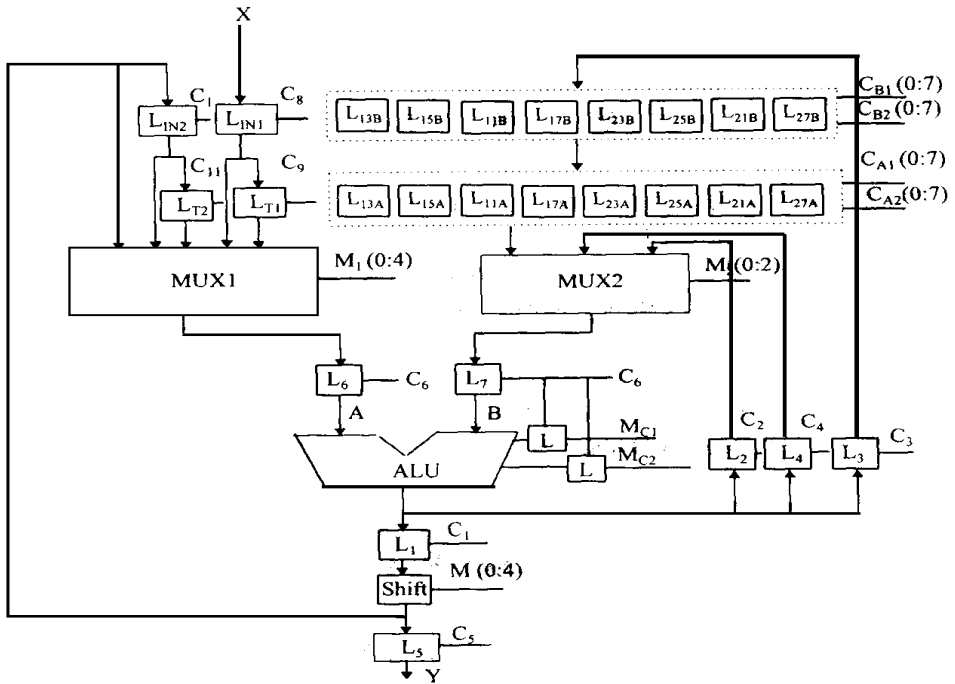


图 2 波数字滤波器的硬件框图

### 4 测试结果

对于一个数字滤波器来说, 当输入是单位采样信号  $\delta(n)$  时, 其输出为单位采样响应  $h(n)$ , 本文就根据此原理对封装好的芯片进行测试 具体的测试方法是将WDF的数据输入端通过 2 选 1 的多路选通器接到  $V_{DD}$  和地, 多路选择器的控制端接在一起由计算机控制, 这样, 通过编程控制计算机输出一个脉冲信号控制多路选择器的控制端, 就可以在WDF的数据

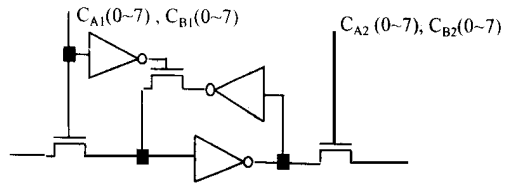


图 3  $L_A, L_B$  的存储单元电路图

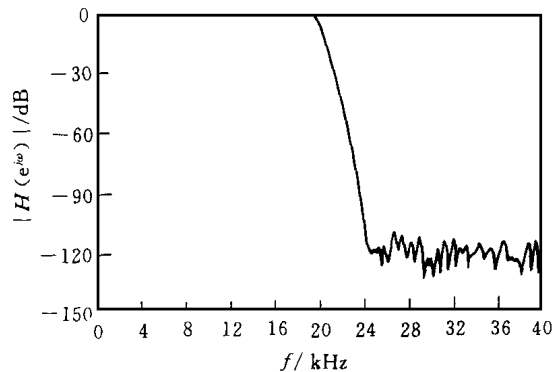


图 5 WDF 的幅频响应曲线

输入端加上一单位采样信号 然后, 计算机在  $P_{47}$  的控制下, 将WDF 的输出采集到计算机里, 这时计算机采集到的数据为WDF 的单位采样响应, 为了获得滤波器的幅频响应, 将单位采样响应  $h(n)$  进行离散傅利叶变换, 即

$$H(e^{j\omega}) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n}$$

由得到的  $H(e^{j\omega})$  可知, WDF 的通带纹波系数小于 0.00007dB, 阻带衰减大于 112dB, 图 5 给出了  $|H(e^{j\omega})|$  随  $\omega$  的变化曲线, 即滤波

器的幅频响应曲线 显然,这种滤波器的性能可以满足 18 位 A/D 的要求 本文采用的硬件复用技术,可以应用于其它数字滤波器的设计,因而具有广泛的意义

### 参 考 文 献

- [ 1 ] 洪志良,曹先国,王晓悦, 半导体学报, 1996, **17**(11): 830
- [ 2 ] Shuni Chu and C. Sidney Burrus, IEEE Trans Circuits Syst , 1984, **31**(11): 913
- [ 3 ] Tapani Ritonieni, Eero Pajarre, Seppo Ingalsuo *et al* , IEEE J. JSSC, 1994, **29**(12): 1514
- [ 4 ] Dijkstra E, Cardoletti L, Nys O, IEEE International Symposium on Circuit and System, Finland, 1988: 2327.
- [ 5 ] 洪志良, 电子学报, 1995, **23**(8): 80
- [ 6 ] 黄大卫, 波数字滤波器, 北京: 中国铁道出版社, 1990 年
- [ 7 ] Gazsi E, IEEE Trans Circuits Syst , 1985, **32**(1): 68
- [ 8 ] 徐 生, MOS 数字大规模及超大规模集成电路, 北京: 清华大学出版社, 1990 年

## M onolithic L owpass W ave D igital F ilter

L i T ianw ang, W ang X iaoyue, C hao Y ingw ei, H ong Zhiliang

*(D ep arment of Electronic Engineering, Fudan University, Shanghai 200433)*

Received 14 July 1997

**Abstract** Basing on the hardware multiplexing technology, a monolithic lowpass wave digital filter is presented. The operation of this filter is divided into steps which can be executed sequentially in a carry look ahead ALU. The layout is designed by full custom and the circuit die size is  $6.12\text{mm} \times 5.28\text{mm}$  using a  $3\mu\text{m}$  single metal CMOS process. The results show that the passband ripple of the filter is less than  $0.00007\text{dB}$  and the stopband attenuation is more than  $112\text{dB}$ .

**EEACC:** 1150, 1265B, 1270F