

# 一种低延迟低功耗的片上全局互连方法\*

刘祥远 陈书明

(国防科技大学计算机学院, 长沙 410073)

**摘要:** 提出了一种用于片上全局互连的混合插入方法. 该方法利用中继驱动器和低摆幅差分信号电路在驱动不同长度连线时的优点, 将它们混合插入到连线的合适位置, 从而降低互连的延时和功耗. 模拟结果表明, 该方法与已有方法相比在延时、能耗、能耗延时积以及面积等方面都获得了一定程度的改善.

**关键词:** 片上互连; 延时; 能耗; 面积; 低摆幅; 差分信号

EEACC: 2570

中图分类号: TN47 文献标识码: A 文章编号: 0253-4177(2005)09-1854-06

## 1 引言

CMOS 工艺进入 VDSM 阶段后, 随着 ULSI 频率和规模的不断增大, 片上互连在延时、功耗和信号完整性等方面都面临着严峻的挑战, 已经成为阻碍集成电路性能提高的瓶颈之一<sup>[1]</sup>.

减小互连延时的常用方法是在连线上等间隔插入中继驱动器, 使总延时随线长线性增长<sup>[2]</sup>. 插入中继驱动器的方法简单可靠, 得到 EDA 工具的广泛支持. 但随着工艺的缩小及互连长度的增加, 插入的中继驱动器尺寸越来越大、数量越来越多, 导致延时、功耗及面积等方面的严重问题. 近几年的一些研究<sup>[4-6]</sup>都是以一定的性能损失来换取功耗、面积或吞吐率的部分好处, 适合于一些非关键路径上的互连优化.

降低互连线上信号的摆幅是非常有效的低功耗设计技术, 它能使互连功耗以线性速度降低<sup>[2]</sup>. 当前的低摆幅电路研究包括单线 (single-ended) 互连电路<sup>[7]</sup> 和差分 (differential/double-ended) 互连电路<sup>[8,9]</sup> 两大类. 后者采用两根互补线来传输信号, 虽然比前者增加了一倍的布线开销, 但是能有效消除连线共模噪声的影响, 使信号以更低的摆幅传输, 从而获得更多性能和功耗上的好处. 从信号模式看, 低摆

幅差分信号电路又可分为电压模式电路<sup>[10,11]</sup> 和电流模式电路<sup>[12,13]</sup> 两种. 电压模式以电平的高低, 而电流模式以电流的方向来表征信号. 电流模式电路的速度更快、动态功耗更低, 但往往需要钟控信号来抑制静态电流, 增加了额外的设计开销. 这些低摆幅差分信号电路<sup>[10-13]</sup> 既能减小互连延时又能降低互连功耗, 非常适合高性能 ULSI 的全局互连设计.

现有的研究主要集中在低摆幅差分信号电路的结构设计和优化上, 对其插入方法的研究不多. 在实际应用时一般采用全定制设计, 电路尺寸随着互连长度及寄生参数的变化进行相应调整. 这种方式难以与 EDA 工具相结合, 设计效率低. 为了适应大规模互连设计的需要, 本文侧重研究低摆幅差分信号电路的插入方法.

文献[14]提出了一种插入中继驱动器和电流模式混合电路进行互连的方法, 认为当中继驱动器驱动 25% 线长而电流模式电路驱动 75% 线长时互连的性能最好, 但并没有对该结论进行理论分析和推导.

从同时降低互连延时和功耗的目的出发, 本文提出一种混合插入中继驱动器和低摆幅差分信号电路的互连优化方法, 在延时、功耗和面积等方面都获得了一定程度的改善.

\* 国家高技术研究发展计划 (批准号: 2004AA1Z1040) 和国家自然科学基金 (批准号: 60473079) 资助项目

刘祥远 男, 1977 年出生, 博士研究生, 主要研究方向为超深亚微米 VLSI 设计理论与技术. Email: liu\_xiangyuan@hotmail.com

陈书明 男, 1961 年出生, 教授, 主要研究方向为高性能微处理器设计和超深亚微米 VLSI 设计理论与技术. Email: smchen@nudt.edu.cn

2005-01-28 收到, 2005-03-29 定稿

© 2005 中国电子学会

## 2 混合插入方法

### 2.1 方法的构建

设连线的长度为  $L$ , 单位电阻为  $r$ , 单位电容为  $c$ , 驱动电阻为  $R_0$ , 负载电容为  $C_0$ , 则在分布式  $RC$  模型下, 互连延时为

$$t_p(L) = k_1 R_0 C_0 + (k_2 R_0 c + k_3 r C_0) L + k_4 r c L^2 \quad (1)$$

其中  $k_1, k_2, k_3$  和  $k_4$  为常数, 不同的传输技术对应不同的  $k_1, k_2, k_3$  和  $k_4$ . 通常优化的中继驱动器插入 (ORI) 方法对应的  $k_1$  为 1,  $k_2$  和  $k_3$  为 0.69,  $k_4$  为 0.38<sup>[2]</sup>.

采用 ORI 方法, 如图 1(a) 所示, 可使总的互连延时与线长成正比<sup>[2]</sup>

$$t_{ORI}(L) = (1.38 + 1.02 \sqrt{1 + \dots}) L \sqrt{r c R_0 C_0} \quad (2)$$

其中  $\dots$  为中继驱动器的本征输出电容与输入栅电容之比, 通常为 1.

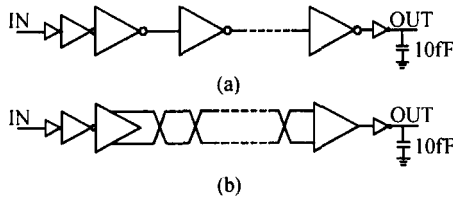


图 1 两种常用的互连方法 (a)ORI 法; (b)低摆幅差分传输法

Fig. 1 Two common schemes for interconnect (a) ORI scheme; (b) Low swing differential transmission

低摆幅差分信号电路通常包含一对收发电路, 发送器和接收器. 所以, 采用低摆幅差分传输方法进行互连时, 如图 1(b) 所示, 总的延时为

$$t_{DIFF}(L) = t_{driver} + t_{receiver} + t_p(L) \quad (3)$$

其中  $t_{driver}$  和  $t_{receiver}$  分别为发送器和接收器的本征延时.

如图 2 所示,  $t_{ORI}(L)$  与  $L$  成正比, 对应直线  $a$ ; 而  $t_{DIFF}(L)$  与  $L$  成平方关系, 对应  $b, c$  两条可能的曲线.  $l_1$  和  $l_3$  为曲线  $t_{ORI}(L)$  与  $t_{DIFF}(L)$  两个交点的横坐标,  $l_2$  为  $t_{DIFF}(L)$  上切线斜率与  $t_{ORI}(L)$  斜率相同时切点的横坐标, 它们可分别通过解下列方程式得到,

$$t_{DIFF}(L) = t_{ORI}(L) \quad (4)$$

$$\frac{\partial t_{DIFF}(L)}{\partial L} = \frac{\partial t_{ORI}(L)}{\partial L} \quad (5)$$

当方程(4)无解时(即图 2 中  $a$  与  $c$  的情况),  $l_1, l_2$  和  $l_3$  均取无穷大.

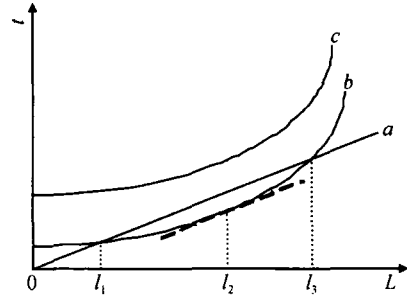


图 2 延时曲线

Fig. 2 Delay curve

从图 2 可以看出, 当  $L \in (0, l_1)$  时, ORI 方法的延时更小; 当  $L \in (l_1, l_2)$  时, 低摆幅差分传输方法的延时更小; 而当  $L > l_2$  时, 两种方法的延时都比较大, 并且后者的延时增加速度超过了前者.

为了降低  $L > l_2$  时的延时, 我们结合中继驱动器和低摆幅差分信号电路在驱动不同长度连线时的优点, 提出一种混合插入这两类电路的互连优化方法, 简称为 HI (hybrid insertion) 方法. 该方法如图 3 所示, 长度为  $xL$  的连线部分采用低摆幅差分传输方法, 需插入  $M$  对低摆幅差分信号收发电路, 每对收发电路之间的线段长度均不超过  $l_2$ , 且至多只有一条线段的长度小于  $l_2$ ; 而长度为  $(1-x)L$  的连线部分则采用 ORI 方法.

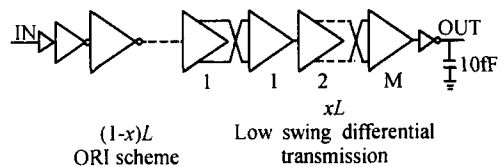


图 3 混合插入方法

Fig. 3 Hybrid insertion scheme

HI 方法中, 非负整数  $M$  和百分比  $x$  可分别用 (6), (7) 式计算得出.

$$M = \left\lceil \frac{L - l_1}{l_2} + 1 \right\rceil \quad (6)$$

$$x = \begin{cases} 0, & L < l_1 \\ 1, & l_1 + (M - 1)l_2 \leq L < l_1 + Ml_2 \\ M \frac{l_2}{L}, & Ml_2 < L < l_1 + Ml_2 \end{cases} \quad (7)$$

### 2.2 延迟

由参数  $l_1, l_2, M$  和  $x$  可导出 HI 方法的互连延时为

$$t_{HI}(L) = t_{ORI}[(1 - x)L] + (M - 1)t_{DIFF}(l_2) + t_{DIFF}[xL - (M - 1)l_2] \quad (8)$$

当  $L \in (0, l_1)$  时,  $M = 0, x = 0$ , 此时只插入中继驱动器, 互连延时为

$$t_{HI}(L) = t_{ORI}(L) \quad (9)$$

当  $L \in [l_1, l_2]$  时,  $M = 1, x = 1$ , 此时只插入一对低摆幅差分信号收发电路, 互连延时为

$$t_{HI}(L) = t_{DIFF}(L) + t_{ORI}(L) \quad (10)$$

当且仅当  $L = l_1$  时不等式取等号。

当  $L \in (l_2, \infty)$  时,  $M > 1, x > 0$ , 此时  $l_1 < xL - (M - 1)l_2 < l_2$  成立, 由前述可知下列不等式成立, 且不会同时取等号。

$$(M - 1)t_{DIFF}(l_2) < (M - 1)t_{ORI}(l_2) \quad (11)$$

$$t_{DIFF}[xL - (M - 1)l_2] < t_{ORI}[xL - (M - 1)l_2] \quad (12)$$

又由 (2) 式可知,  $t_{ORI}(L) < L$  且  $t_{ORI}(0) = 0$ , 故  $t_{ORI}(L)$  满足交换律和结合律, 所以可得

$$t_{ORI}(L) = t_{ORI}\{(1 - x)L + (M - 1)l_2 + [xL - (M - 1)l_2]\} = t_{ORI}[(1 - x)L] + (M - 1)t_{ORI}(l_2) + t_{ORI}[xL - (M - 1)l_2] \quad (13)$$

由 (8) ~ (13) 式, 可推出

$$t_{HI}(L) < t_{ORI}(L) \quad (14)$$

至此, 从理论上推导出在  $L \in (l_1, \infty)$  时 HI 方法的延时比 ORI 方法的延时更小。

### 2.3 信号完整性

HI 方法中, 采用低摆幅差分传输方法的连线较长, 寄生效应明显, 所以差分连线采用 TDL (twisted differential line)<sup>[9]</sup> 连接方式。低摆幅差分信号电路能有效消除共模噪声, 而 TDL 方式能显著降低寄生电容和寄生电感所导致的串扰噪声, 因此, HI 方法结合 TDL 技术能保证互连具有良好的信号完整性。

## 3 模拟验证

为了验证本文提出的方法, 我们在 1.8V 0.18 $\mu$ m CMOS 工艺下进行了 SPICE 模拟。

### 3.1 互连模型

互连模型采用分布式参数模型, 用于参数提取的互连结构为常用的总线结构, 如图 4 所示。介质采

用第五层金属, 线宽和线间距均为 1 $\mu$ m。连线由许多 100 $\mu$ m 长的线段组成, 其电容用 FastCap<sup>[15]</sup> 提取, 电阻和电感则用 Fast Henry<sup>[16]</sup> 提取。

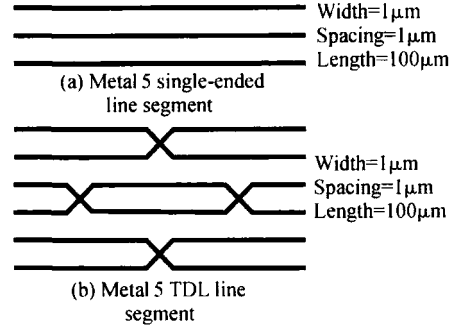


图 4 用于参数提取的互连结构

Fig. 4 Interconnect structure used for parasitic extraction

### 3.2 实验

为了比较不同的互连方法, 我们对长度为 1 ~ 20mm 的互连线先后做了下面四组实验。

Case 1: 采用 ORI 方法, 连线为单线互连。所用中继驱动器的尺寸为最小反相器的 45 倍, 个数随线长的增加而增加, 如表 1 所示。

表 1 Case 1 中所需中继驱动器的个数

Table 1 Number of repeaters required in Case 1

L/ mm	Number	L/ mm	Number
1	2	12	7
2	2	13	8
3	3	14	8
4	3	15	9
6	4	16	9
8	5	18	10
10	6	20	11

Case 2: 采用低摆幅差分传输方法, 连线为 TDL 互连。发送器选用过驱动的低摆幅差分信号驱动器如图 5<sup>[11]</sup> 所示, 其输出信号的普通摆幅为 100mV, 过驱动摆幅为 400mV。接收器选用低摆幅差分敏感放大器如图 6 所示, 可识别的最小摆幅为 50mV。为了与 ORI 方法公平比较, 发送器的过驱动 NMOS 管的尺寸取最小反相器 NMOS 管尺寸的 45 倍。一对收发电路的总面积约为 Case 1 所用中继驱动器的 4.5 倍。

Case 3: 采用低摆幅差分传输方法, 收发电路和连线设计与 Case 2 相同, 不同的是为了减小长线的互连延迟, 发送器中过驱动 NMOS 管的尺寸随线长

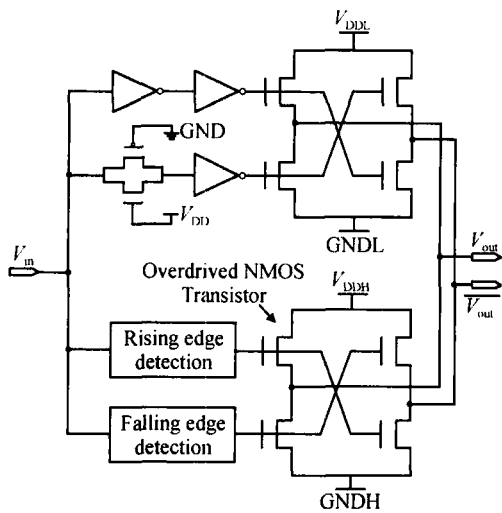


图 5 过驱动的低摆幅差分信号发送器

Fig. 5 Overdriven low-swing differential signaling driver

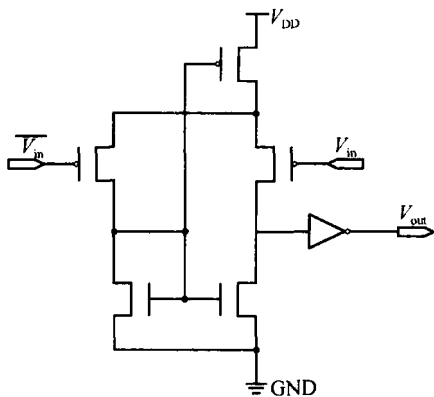


图 6 低摆幅差分信号接收器

Fig. 6 Low-swing differential signaling receiver

增大而相应增大,如表 2 所示.当线长增大到 20mm 时,该驱动管的尺寸需增大到最小反相器 NMOS 管尺寸的 225 倍.

表 2 Case 3 所用的过驱动 n 管的尺寸

Table 2 Size of overdriven nMOS transistor used in Case 3

L/ mm	Size/ nMOS of min. inverter	L/ mm	Size/ nMOS of min. inverter
1	45x	12	110x
2	45x	13	125x
3	45x	14	135x
4	45x	15	145x
6	45x	16	155x
8	65x	18	200x
10	90x	20	225x

Case 4:采用 HI 方法,所用的中继驱动器和低摆幅差分信号电路分别与 Case1 和 Case2 的相同.对于过驱动的低摆幅差分传输方法,难于准确得到互连延时计算公式(3)中的参数  $k_1, k_2, k_3$  和  $k_4$ .因此 HI 方法所需的参数  $l_1$  和  $l_2$  是根据 Case 1 和 Case 2 的模拟结果近似得到,分别为 3.2mm 和 12mm.再由(6),(7)式可求出不同线长对应的  $M$  和  $x$ ,如表 3 所示.

表 3 Case 4 中  $M$  和  $x$  的值

Table 3 Value of  $M$  and  $x$  in Case 4

L/ mm	$M$	$x$	L/ mm	$M$	$x$
1	0	0	12	1	1
2	0	0	13	1	0.92
3	0	0	14	1	0.86
4	1	1	15	1	0.8
6	1	1	16	2	1
8	1	1	18	2	1
10	1	1	20	2	1

### 3.3 模拟结果

图 7 为四组实验的延时曲线,表 4 为 Case 4 分别相对 Case 1 和 Case 3 做归一化后的模拟结果.与 Case 1 相比,大部分情况下 Case 4 的延时更小、能耗更低、面积开销更少.与 Case 3 相比,线长为 8~16mm 时 Case 4 的延时略大一些,但它在能耗、能耗延时积及面积等方面获得了更大的提高;而对于 18mm 以上的长线,Case 4 在这四个方面均具有明显的优势.必须指出的是,Case 3 虽然比 Case 1 的延时要小,但它的面积开销与 Case 1 相当,而且随着线长增大,以面积增加为代价所能获得的性能改善越来越小.因此,从综合指标来衡量,Case 4 采用的 HI 方法比其他几种方法都好.

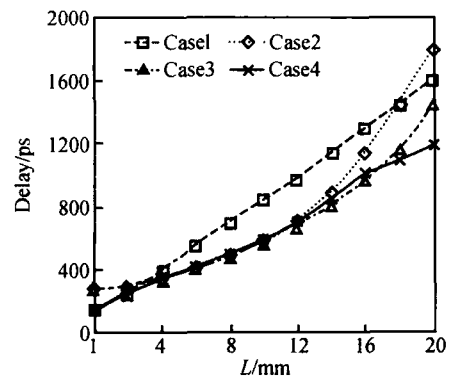


图 7 不同实验的延时曲线

Fig. 7 Delay curves of different cases

表 4 Case 4 的规格化结果

Table 4 Normalized results of Case 4

$L/\text{mm}$	Results of Case 4 normalized to Case 1				Results of Case 4 normalized to Case 3			
	Delay	Energy	EDP	Area	Delay	Energy	EDP	Area
1	1	1	1	1	0.726	0.29	0.21	0.374
2	1	1	1	1	0.814	0.29	0.338	0.374
3	1	1	1	1	0.932	0.555	0.517	0.868
4	0.882	1.041	0.914	1.552	1	1	1	1
6	0.73	0.547	0.419	1.09	1	1	1	1
8	0.701	0.43	0.302	0.84	1.033	0.847	0.869	0.789
10	0.694	0.375	0.26	0.681	1.019	0.743	0.761	0.66
12	0.719	0.315	0.227	0.576	1.047	0.657	0.691	0.569
13	0.759	0.444	0.34	0.791	1.08	0.828	0.899	0.728
14	0.748	0.405	0.301	0.684	1.06	0.765	0.814	0.683
15	0.773	0.47	0.363	0.762	1.035	0.811	0.84	0.715
16	0.755	0.481	0.364	0.877	1.055	0.891	0.942	0.883
18	0.736	0.43	0.317	0.784	0.93	0.781	0.728	0.723
20	0.723	0.352	0.255	0.698	0.801	0.596	0.479	0.662

## 4 讨论

HI 方法以 ORI 方法的性能为标准得到低摆幅差分信号电路的插入长度  $l_2$ 。对于某种具体的低摆幅差分信号电路,该长度不一定是性能最优的,但它是优化插入长度的一个上限,可以在功耗、面积等方面获得更多的好处。这种计算方法相对简单且适应范围广,更容易与 EDA 工具相结合。

对于不同的低摆幅差分信号电路,  $l_1$  和  $l_2$  会有所差别。如果  $l_1$  很小, HI 方法退化为低摆幅差分信号电路的插入方法; 如果  $l_1$  很大, 则退化为 ORI 方法; 而如果  $l_2$  很大, 则退化为已有的低摆幅差分传输方法。

当线长超过  $l_2$  后, HI 方法可能导致信号摆幅发生多次变化, 增加了一定的复杂度, 但是该方法能够在保障互连性能的同时, 有效地控制功耗及面积开销。对于一个高性能、低功耗的设计, 这种复杂度代价是可以接受的。

采用 HI 方法能够减少长互连线的分段数, 降低布局布线的难度。但它也具有低摆幅差分传输技术的一些缺点, 需占用更多的布线资源, 会增加静态功耗开销和设计复杂度。另外, 稳定的低摆幅电压往往需用电压调整器或 DC-DC 转换器来产生, 增加了功耗和面积开销, 如果有多组互连线都使用这个低摆幅电压, 则额外开销可以忽略。

## 5 结束语

本文提出了一种低延迟、低功耗的混合插入中

继驱动器和低摆幅差分信号电路的互连优化方法, 它综合考虑了这两种电路各自驱动不同线长时的优点, 对线长变化具有良好的适应性, 并且不局限于某一种低摆幅差分信号电路。模拟结果表明, 与使用单一电路的优化方法相比, 该方法在延时、能耗和面积上都获得了一定程度的改善, 是一种有效的互连优化方法。该方法适用于 VDSM 工艺下 ULSI 的片上互连(特别是长线互连)设计, 随着低摆幅差分信号电路设计技术的进步, 它的可用性和竞争力将进一步提高。

## 参考文献

- [1] Semiconductor Industry Assoc. International technology roadmap for semiconductors(ITRS). San Jose, CA, 2001
- [2] Rabaey J M, Chandrakasan A, Nikolic B. Digital integrated circuits: a design perspective. 2nd edition. Prentice Hall, 2003
- [3] Bakoglu H B. Circuits, interconnections and packaging for VLSI. Addison-Wesley Publishing Company, 1990
- [4] Banerjee K, Mehrotra A. A power-optimal repeater insertion methodology for global interconnects in nanometer designs. IEEE Trans Electron Devices, 2002, 49(11): 2001
- [5] Li Ruiming, Zhou Dian, Liu Jin, et al. Power-optimal simultaneous buffer insertion/ sizing and wire sizing. IEEE/ ACM International Conference on Computer Aided Design (ICCAD), San Jose, California, USA, 2003
- [6] Shah H, Shin P, Bell B, et al. Repeater insertion and wire sizing optimization for throughput-centric VLSI global interconnects. IEEE/ ACM International Conference on Computer Aided Design (ICCAD), San Jose, California, USA, 2002
- [7] Zhang H, George V, Rabaey J M. Low-swing on-chip signa-

- ling techniques: effectiveness and robustness. IEEE Trans Very Large Scale Integrated Systems, 2000, 8(3): 264
- [ 8 ] Massoud Y, Kawa J, MacMillen D, et al. Modeling and analysis of differential signaling for minimizing inductive crosstalk. Design Automation Conference (DAC), Las Vegas, Nevada, USA, 2001
- [ 9 ] Hatirnaz I, Leblebici Y. Twisted differential on-chip interconnect architecture for inductive/capacitive crosstalk noise cancellation. International Symposium on System-on-Chip (SoC), Tampere, Finland, 2003
- [10] Ho R. On-chip wires: scaling and efficiency. PhD Dissertation, Stanford University, 2003
- [11] Dally W. A single-chip terabit switch. Hot Chips 13, Palo Alto, California, USA, 2001
- [12] Maheswari A, Burleson W. Current sensing techniques for global interconnects in very deep submicron (VDSM) CMOS. Proceedings of IEEE Computer Society Workshop on VLSI, 2001
- [13] Narasimhan A, Kasotiya M, Sridhar R. A low-swing differential signaling scheme for on-chip global interconnects. Proceedings of the 18th International Conference on VLSI Design jointly with 4th International Conference on Embedded Systems Design, 2005
- [14] Maheshwari A, Burleson W. Repeater and current-sensing hybrid circuits for on-chip interconnects. GLSVLSI, Washington DC, USA, 2003
- [15] Nabors K, White J. Fast cap: a multipole-accelerated 3-D capacitance extraction program. IEEE Trans Comput-Aided Des, 1991, 10(10): 1447
- [16] Kamon M, Tsuk M, White J. Fast henry: a multipole-accelerated 3-D inductance extraction program. IEEE Trans Microw Theory Tech, 1999, 42(9): 1750

## A Low-Latency Low-Power Scheme for On-Chip Global Interconnects \*

Liu Xiangyuan and Chen Shuming

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

**Abstract:** A hybrid insertion scheme for on-chip global interconnects is presented. The scheme takes advantages of repeaters and low-swing differential-signaling circuits on driving long wires in different length, and optimally inserts them along the wire in order to decrease delay and power of interconnects. It is shown that the delay, energy, delay-energy-product, and area are all considerably decreased compared with other available schemes.

**Key words:** on-chip interconnect; delay; energy; area; low-swing; differential-signaling

**EEACC:** 2570

**Article ID:** 0253-4177(2005)09-1854-06

---

\* Project supported by the National High Technology Research and Development Program of China (No. 2004AA1Z1040) and the National Natural Science Foundation of China (No. 60473079)

Liu Xiangyuan male, was born in 1977, PhD candidate. He is engaged in research on theory and technology of VDSM VLSI design.

Chen Shuming male, was born in 1961, professor. His research interest is in high performance microprocessor design, theory, and technology of VDSM VLSI design.

Received 28 January 2005, revised manuscript received 29 March 2005

© 2005 Chinese Institute of Electronics