

一种 DC-DC 芯片内建可测性设计 *

王红义 来新泉 李玉山 陈富吉

(西安电子科技大学电路 CAD 研究所, 西安 710071)

摘要: DC-DC 芯片设计中有许多内部参数需要检测和控制,有限的引脚数目使得直接测试内部参数比较困难.文中提出一种通用性很强的内建可测性设计方法,在芯片内部设计时只需要增加规模较小的测试电路,就可以在芯片外引脚上测量芯片内部众多的参数.

关键词: 电源管理; DC-DC; 可测性设计; 内建测试电路

EEACC: 1280; 2570; 8110B

中图分类号: TN432 **文献标识码:** A **文章编号:** 0253-4177(2005)09-1848-06

1 引言

在便携式电子和消费电子产品中,对基于电池供电的电源管理的指标要求越来越高,其中高效率 and 低成本是最主要的两项指标.开关型集成 DC-DC 转换器由于具有很高的效率使其在很多场合成为首选的电源管理方案.然而,DC-DC 的设计变得日益复杂^[1],为了满足不同的应用需要,要求可以在 PWM 和 PFM 之间选择工作方式,可以在工作状态和休眠状态之间自动切换;为了提高可靠性,要求具有过电压、过电流和过温等各种保护功能;为了实现低噪声,有些需将 LDO 线性稳压器集成在内部,有些需增加抗振荡 (anti-ringing) 电路;为了实现更高的精度和输出电压的编程,还会将小规模 EPROM 集成在内部.另外,DC-DC 的电路规模也越来越大,经常需要设计多个内部电压基准、电流基准和低失调比较器等,而内部的数字逻辑电路和大功率器件又会给其他电路造成各种影响,所有这些都对 DC-DC 的设计带来严峻的挑战.

为了简化 DC-DC 的设计过程,满足日益变化的新需求,进行合理的可测性设计就显得越来越重

要^[2].一方面,由于电路复杂度的提高,一次投片成功的可能性越来越小,往往存在一个故障分析和调试过程,而这个过程所占的时间越来越长,已成为限制设计进程的一个重要因素.如果可以将电路内部的关键指标进行方便的测量,就可以提供更多的信息帮助分析判断电路故障,调试就会比较容易;另一方面,由于工艺存在的离散性,电路量产时,需要根据电路内部的关键参数确定具体的修正 (trimming) 方案,以保证足够高的成品率,这也要求对内部参数进行方便的测量.

对于典型的单节锂/锂离子电池供电的 BUCK 型 DC-DC (见图 1) 来说,通常只有电源 (V_{CC})、地 (GND)、开关输出 (SW)、反馈 (VFB)、使能控制 (EN) 和模式控制 (MODE) 六个引脚^[3].为了减小体积通常采用 SO T-23-6 封装,没有多余的引脚可以专门用来测量内部参数,这给可测性设计带来了困难.针对这种情况,本文中提出了一种引脚复用技术,可以实现芯片内部参数的测量.

2 基本原理

引脚复用技术多用在数字电路中,一般是指电

* 国家自然科学基金 (批准号:60172004) 和国家教育部博士点基金 (批准号:20010701003) 资助项目

王红义 男,1974 年出生,博士研究生,从事混合信号专用集成电路的研究、设计和教学工作.目前的研究兴趣在集成 DC/DC、集成 CMOS LDO 稳压器、高精度电压基准等领域. Email:hywang@eutechx.com.cn

来新泉 男,1963 年出生,博士,目前的研究兴趣主要为数模混合集成电路设计理论与技术、VLSI 器件物理、CMOS 图像传感器和集成电路的热场数值建模. Email:xqlai@eutechx.com.cn

2005-01-04 收到,2005-03-31 定稿

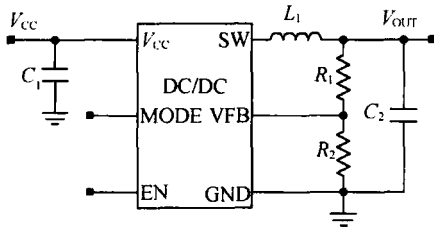


图 1 BUCK 型 DC-DC 典型应用电路

Fig. 1 Typical application circuit of BUCK converter

路在不同状态或不同时刻时,使芯片引脚代表不同意义的信息,比如分别代表地址信息和数据信息,来实现引脚复用,达到减少引脚或扩展功能的目的。对于典型的 DC-DC 来说,电源、地、输出、反馈四个引脚的信号均为模拟信号,正常工作中它们出现任何电平都是有意义的,没有多余状态可以利用,而使能控制(EN)和模式控制(MODE)两个引脚为高低电平控制信号,可以将这些引脚电平分为多个电平档段从而使每个引脚电平可以表达多于两个信息的信息量。本文中对使能控制引脚采用这种方法控制芯片进入测试状态,实现对芯片内部各个参数的测量。

图 1 中,MODE 控制芯片工作在 PWM 模式还是 PFM 模式,EN 引脚作为电路的使能控制,当 $V_{EN} > 1.5V$ 时,电路处于工作状态,当 $V_{EN} < 1.5V$ 时,电路处于关断状态。一般情况下,使能控制的内部电路如图 2 上半部分所示,其中二极管 D1, D2 和电阻 R_1 是 ESD 保护部分,防止器件在储运和焊接过程中的高压静电损坏芯片。MP 为一沟道长度远大于沟道宽度 ($L \gg W$) 的 PMOS,作为 MN 的负载,起到一个大电阻的作用。INV1 和 INV2 为两个反相

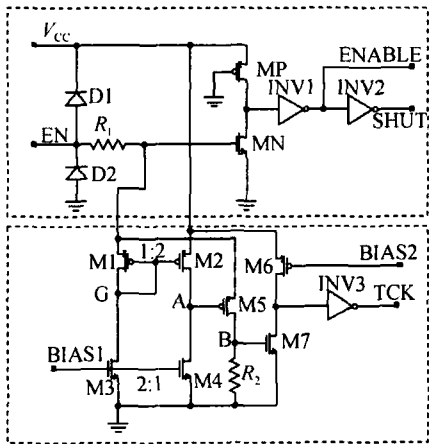


图 2 使能控制和测试状态检测电路

Fig. 2 Circuit diagram of enable control and test-state detection

器,缓冲驱动正反相的使能信号 ENABLE 和 SHUT 去控制其他电路。可以看出,电路工作时, V_{EN} 必须小于 $V_{CC} + V_{D1}$,否则 D1 会导通,大电流会通过 D1 由 EN 流向 V_{CC} ,时间长了会导致芯片损坏。在实际应用中,要求 V_{EN} 的最高电平不能超过 $V_{CC} + 0.3V$,通常 EN 的高电平直接采用 V_{CC} 电平。本文中提出的方法,就是利用 V_{EN} 在 V_{CC} 到 $V_{CC} + V_{D1}$ 之间的电压范围实现额外的功能,当芯片内部电路检测到 $V_{EN} > V_{CC} + 0.3V$ 时控制芯片进入测试状态,而正常工作时由于 $V_{EN} < V_{CC} + 0.3V$ 而不受任何影响。

3 电路实现

为了完成芯片内部参数的测试,需要在芯片内部添加一定的测试电路,它需要完成的功能有:进入和退出测试状态的控制;测试序列的生成;测试结果的输出以及合适的外围控制电路等,下面分别介绍各种功能实现。

3.1 测试状态的检测

电路测试时,首先要退出正常工作状态而进入测试状态,图 2 下半部分的电路为进入测试状态的检测电路, M3 和 M4 为 2:1 的电流源,当它们工作在饱和区时,电流分别为 $I_3 = 2I, I_4 = I$ (式中 I_n 指 M_n 的电流,以下类同), I 由偏置信号 BIAS1 决定, M1 和 M2 共栅,其栅极电压 V_G 为:

$$V_G = V_{EN} - (2I + I_5) R_1 - V_{TP} - \sqrt{\frac{4I}{\mu_p C_{OX} \left(\frac{W}{L}\right)_1}} \quad (1)$$

如果 M2 工作在饱和区,则其电流为:

$$I_{2,sat} = \frac{1}{2} \mu_p C_{OX} \left(\frac{W}{L}\right)_2 (V_{CC} - V_G - V_{TP})^2 \quad (2)$$

(1) 式代入 (2) 式,考虑到 $(W/L)_2 = 2(W/L)_1$ 可得:

$$I_{2,sat} = 4I + \mu_p C_{OX} \left(\frac{W}{L}\right)_1 \left[(V_{CC} - V_{EN} + (2I + I_5) R_1)^2 + 2[V_{CC} - V_{EN} + (2I + I_5) R_1] \sqrt{\frac{4I}{\mu_p C_{OX} \left(\frac{W}{L}\right)_1}} \right] \quad (3)$$

当 $V_{EN} = V_{CC}$ 时,

$$I_{2,sat} > 4I = 4I_4 \quad (4)$$

所以 M2 不会工作在饱和区,而是进入深线性区, A

点被抬升为高电平,即

$$V_A = V_{CC} \quad (5)$$

M5 截止, $I_5 = 0$, M7 截止, 输出 TCK 为低电平.

当 $V_{EN} > V_{CC}$ 且逐渐升高时, V_G 电平逐渐升高, M2 逐渐由线性区进入饱和区, M1 ~ M5 构成了一个负反馈电路, 在平衡状态时, M2 和 M4 均处于饱和区且电流相等, 由此可以得到 M5 中的电流为:

$$I_5 = \frac{1}{R_1} \left[V_{EN} - V_{CC} - \sqrt{\frac{I}{\mu_p C_{OX}} \left(\frac{W}{L} \right)_1} \right] - 2I \quad (6)$$

当 $I_7 = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_7 (I_5 R_2 - V_{TN})^2 > I_6$, 即当 V_{EN} 满足(7)式时, TCK 输出高电平, 控制进入测试状态.

$$V_{EN} - V_{CC} > \sqrt{\frac{I}{\mu_p C_{OX}} \left(\frac{W}{L} \right)_1} + \frac{R_1}{R_2} \left(V_{TN} + \sqrt{\frac{2I_6}{\mu_n C_{OX}} \left(\frac{W}{L} \right)_7} \right) + 2IR_1 \quad (7)$$

设计中 V_{EN} 的选取既要保证 $V_{EN} < V_{CC} + V_{DI}$, 防止 ESD 二极管 D1(见图 2) 导通, 又要保证一定的噪声容限, 防止 EN 接 V_{CC} 正常工作时噪声引起两者的差别使电路进入测试状态, 一般可选取 $(V_{EN} - V_{CC})$ 等于 0.3 ~ 0.4V, 由(7)式可知, 可以通过调整 R_2 达到设计要求.

3.2 测试序列的产生

由于需要测试的参数往往比较多, 所以整个测试过程需要分为若干个测试阶段进行, 可以应用计数器和译码器产生测试序列, 以便在不同的阶段测试不同的参数. 图 3 为一个简单的测试序列产生电路, 运用两个 T 触发器组成的 4 进制计数器和 4 个与非门产生共 4 个测试阶段 T1 ~ T4. 当 TCK 为低电平时, 电路处于正常工作状态或关断状态(由 SHUT 决定), 当 TCK 第一次为高电平时, T1 为高电平, 进入第一个测试阶段, 通过一定的控制电路测试一部分数据; 当 TCK 第二次为高电平时, T2 为高电平, 进入第二个测试阶段, 测试另外一些数据, 依次类推, 可以根据测试参数的需要增加或减少测试阶段. 图 3 中 SHUT 为计数器清零控制信号, 可以使计数器回到起始状态. 测试的控制电路在下一小节中介绍.

3.3 内部信号的输出

DC-DC 中需要测量的电参数主要有模拟电压

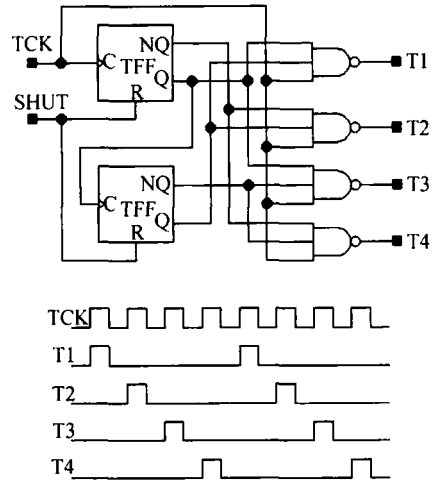


图 3 测试序列内建产生电路及其时序图

Fig. 3 Built-in circuit schematic and timing diagram of test series implementation

信号、数字电压信号、电流信号和其他特殊参数, 它们需要输出到外引脚上才可以进行测量, 输出的方法分别如下.

(1) 模拟电压信号的输出

DC-DC 有些关键的电压信号需要测量, 比如基准电压^[4,5]、过压关断的门限电压、欠压关断的门限电压等, 这些电压节点的驱动能力往往比较小, 直接测量可能造成较大的误差或内部稳定性问题. 为此, 可以考虑采用一个运算放大器对需要测量的电压节点进行电压跟随输出, 然后进行测量. DC-DC 中的误差放大器 EA(见图 4) 是一个增益很大、反相输入端接外引脚 VFB 的运算放大器, 可以用来作为电压跟随器. 实际上可以通过一个切换电路 K2 将需要测试的电压信号接到 EA 的同相输入端, 而用一个开关 K1 将 EA 的反相输入端和输出端相连, 就构成了电压跟随器, 需要测试的信号就可以从 VFB 输出. 在下面的实例中, 基准电压就是通过这种方式测量的.

(2) 数字电压信号的输出

对振荡器的输出等数字信号进行测量时, 同样存在驱动能力不足的问题, 采用一个由小到大的多级非门可以组成比较理想的缓冲电路. 可以通过类似的切换电路(见图 4 中 K3) 将需要测试的信号接到缓冲电路的输入端, 再通过 K4 从 SW 输出, 这时需要将 DC-DC 的主开关管和整流开关管关断. 对于有些占空比过小或过大的数字信号, 测频率时可以通过 T 触发器进行二分频得到 50% 占空比的方波

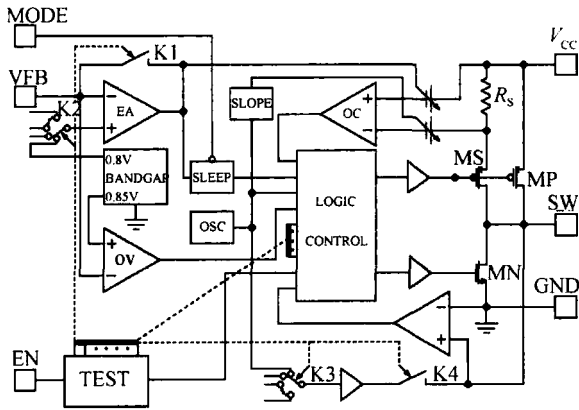


图 4 具有内建测试电路的 DC-DC 框图

Fig. 4 Block diagram of a DC-DC with built-in test circuit

信号输出, 以方便测量.

图 4 给出了BUCK 同步整流 DC-DC 的典型框图, 示意性的给出了模拟电压信号和数字电压信号的输出方法.

(3) 电流信号的输出

芯片内部的电流信号经常是 μA 级的, 测量时可以通过一个 $1 \sim 10$ 的电流镜将需要测量的电流信号放大, 再从 SW 输出进行测量. 通过切换电路可以决定需要测量的电流.

(4) 其他参数的测量

DC-DC 中, 还经常测量其他一些参数或需要验证一些功能状态是否正常. 比如需要测量开关管的导通电阻, 需要测量过电压、过电流等的门限, 这时需要从一个引脚接入一个激励信号, 然后从本引脚或其他引脚测试输出信号.

开关导通电阻是影响 DC-DC 效率的一个重要因素, 设计中需要对其进行检测. 图 4 中, 主开关导通电阻等于主通路 MP 和采样通路 R_s, MS 相并联的电阻, 测试主开关导通电阻时 (见图 5 (a)), 可以控制主开关管 MP 和采样开关管 MS 处于导通状态, 同步整流开关管 MN 处于关断状态, 在 SW 和 GND 之间接一个合适的电阻和电流表, 根据 V_{cc} 与 SW 之间的电压差和电阻的电流值就可以得到 MP 的导通电阻. 测量同步整流开关管 MN 电阻时 (见图 5 (b)), 控制 MP 和 MS 关断, MN 导通, 由于整流管 MN 正常导通时, 电流方向从 GND 到 SW, 所以需要像图 5 (b) 那样加电源和电阻, 同样可以通过电压表和电流表的读数得到 MN 的导通电阻.

DC-DC 中有多个比较器, 比如过压比较器、过

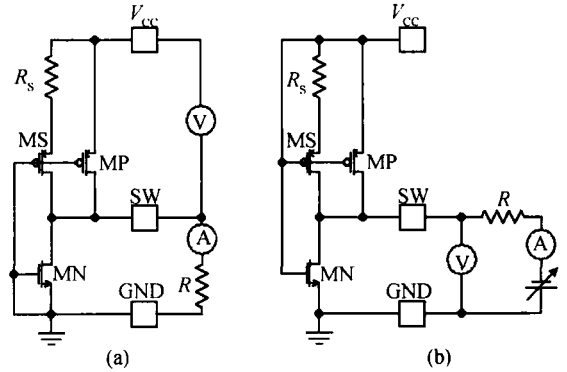


图 5 导通电阻的测量 (a) 主开关管; (b) 同步整流开关管
Fig. 5 Measurement of conduction resistance of main switch and synchronous switch

流比较器等, 这些比较器的翻转门限需要设置合适. 测量时, 通过切换电路控制比较器的输入接 VFB, 比较结果从 SW 输出. 这样可以从 VFB 接入可调节的信号, 观察 SW 的电平变化测得比较器门限. 另外, 运算放大器的测试也很重要, 可以参阅文献 [6].

3.4 外围控制电路

在测试过程中, 需要给 EN 引脚加一个高电平为 $V_{cc} + 0.3V$, 低电平介于 $1.5V$ 和 $V_{cc} + 0.3V$ 之间的可切换的信号. 为了准确控制时序, 要求该控制信号在跳变过程中不能抖动, 而且要求在 V_{cc} 调整时, EN 和 V_{cc} 的电压差不发生变化, 以便保持状态. 图 6 是实现这种目的的一个简单电路, 图 6 中 V_1 为主电源, 芯片由 V_{cc} 供电, V_2 为一个固定的 $0.3V$ 的电源, $D1$ 为一个二极管. 由 $U1$ 和 $U2$ 组成的 RS 触发器的电源由 V_2 的正端提供. 当按下 AN1 时, 由于 R_3 电流和压降很小, EN 电平近似为 $V_{cc} - V_{D1}$, 芯片处于正常工作状态, 当按下 AN2 时, 由于 $R_4 \gg R_3 \gg R_{ON(M1)}$, ($R_{ON(M1)}$ 为 M1 的导通电阻), EN 电平

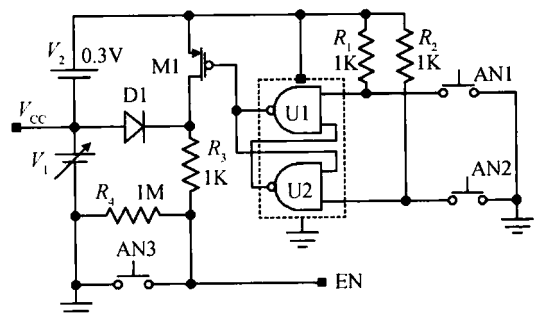


图 6 外围测试控制电路

Fig. 6 Off-chip test control circuit

近似为 $V_{CC} + 0.3V$, 芯片处于测试状态, 由于 RS 触发器的锁定作用, 电平在跳变时不会抖动. 当按下 AN3 时, EN 电平为 0, 芯片关断, 计数器清零. R_3 在 AN3 按下时起到限流作用, R_4 的作用是防止 U1 输出高电平 ($V_{CC} + 0.3V$) 时 M1 的泄漏电流抬高 EN 电平.

4 试验结果

在一款 BUCK 型 DC-DC 的设计中, 采用了以上的可测性设计方法, 内部的测试电路成功地实现了片内电压基准、振荡频率、电流门限、过压关断门限、导通电阻等重要指标的测量, 极大地方便了设计过程中的故障推断. 而且这种测量可以在硅圆片上直接进行, 不需要搭建应用电路, 可以根据测试结果通过预留的熔断丝 (fuse) 进行调节, 大大地提高了测试效率和芯片成品率, 并且在测试中发现内建测试电路对芯片的正常工作没有任何影响, 测试的精度可以满足一般 DC-DC 设计的要求. 这款 DC-DC 的输入电压为 $2.5 \sim 5.5V$, 输出电流为 $300mA$, 效率达到 94% , 芯片可以稳定地工作在连续模式^[7]和非连续模式^[8]. 设计采用 $0.5\mu m$ 的 CMOS 工艺, 芯片面积 $1mm \times 1mm$, 内建测试电路仅占总面积的 0.4% , 图 7 为该芯片的实物照片.

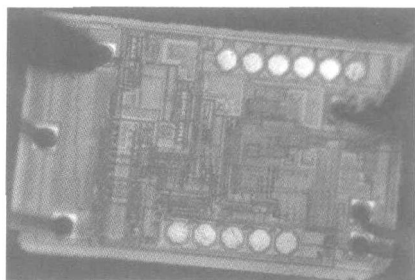


图 7 具有内建测试电路的 DC-DC 照片

Fig. 7 Photograph of a DC-DC with the built-in test circuit

5 结论

文中提出一种 DC-DC 的内建可测性设计方法, 利用引脚复用技术控制芯片进入测试状态, 可以利用芯片仅有的 6 只引脚对其内部的重要参数进行测量, 大大方便了设计阶段的故障分析过程. 这种方法用于一种 DC-DC 的电路设计, 占用面积很小, 但可完成十多种片内参数的测量, 这种可测性设计方法也可以用于其他数模混合电路中.

参考文献

- [1] Wang T, Zhou X, Lee F. A low voltage high efficiency and high power density DC/DC converter. IEEE Power Electronics Specialists Conference, 1997:240
- [2] Dufort B, Roberts G W. On-chip analog signal generation for mixed-signal built-in self-test. IEEE J Solid-State Circuits, 1999, 34(3):318
- [3] Linear Technology Corporation. LTC3405/LTC3405A data sheet, 2002
- [4] Wang Hongyi, Lai Xinquan, Li Yushan, et al. A piecewise-linear compensated bandgap reference. Chinese Journal of Semiconductors, 2004, 25(7):771
- [5] Wang Hongyi, Wang Songlin, Lai Xinquan, et al. Design guidelines of CMOS voltage references. Microelectronics, 2003, 33(5):415 (in Chinese) [王红义, 王松林, 来新泉, 等. CMOS 电压基准的设计原理. 微电子学, 2003, 33(5):415]
- [6] Arabi K, Kaminska B. Design for testability of embedded integrated operational amplifiers. IEEE J Solid-State Circuits, 1998, 33(4):573
- [7] Vorpřian V. Simplified analysis of PWM converters using model of PWM switch part : continuous conduction mode. IEEE Trans Aerosp Electron Syst, 1990, 26(3):490
- [8] Vorpřian V. Simplified analysis of PWM converters using model of PWM switch part : discontinuous conduction mode. IEEE Trans Aerosp Electron Syst, 1990, 26(3):497

A Design for Built-in Testability of DC-DC Converter Chip *

Wang Hongyi , Lai Xinquan , Li Yushan , and Chen Fuji

(*Institute of Electronic CAD, Xidian University, Xi'an 710071, China*)

Abstract : A design method for the testability of DC-DC is presented. Only a small portion of additional test circuits are added in this type of IC; most of the internal parameters can be measured through the limited pins of the DC-DC.

Key words : power management ; DC-DC ; design for testability ; built-in test circuit

EEACC: 1280 ; 2570 ; 8110B

Article ID : 0253-4177(2005)09-1848-06

* Project supported by the National Natural Science Foundation of China (No. 60172004) and the PhD Subject Research Foundation of Ministry of Education of China (No. 20010701003)

Wang Hongyi male, was born in 1974, PhD candidate. He is engaged in research on design and teaching of mixed signal application specific integrated circuits, DC/DC converter, LDO linear regulator, and high precision voltage reference. Email: hywang@eutechx.com.cn

Lai Xinquan male, was born in 1963, PhD. His current interests include design theory and techniques of mixed digital-analog IC, VLSI device, CMOS sensor, and thermal modeling using numerical techniques. Email: xqlai@eutechx.com.cn

Received 4 January 2005, revised manuscript received 31 March 2005

© 2005 Chinese Institute of Electronics