

埋空隙 PSOI 结构的耐压分析

段宝兴 张 波 李肇基 罗小蓉

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出了一种埋空隙 PSOI(APSOI) RESURF 器件结构,此结构利用空隙相对低的介电系数,在器件纵向突破了传统 SiO₂ 埋层的耐压关系,提高了击穿电压;硅窗口的存在缓解了有源区的自热效应;不同衬底的场调制作用进一步优化了表面电场分布.在相同击穿电压条件下,此结构较一般 PSOI 结构只需 1/4 厚度的埋层,当漂移区厚度和埋层厚度均为 2μm 时可获得 600V 以上的击穿电压.

关键词: RESURF 结构; APSOI; 自热效应; 表面电场; 击穿电压

EEACC: 1210; 2560

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2005)09-1818-05

1 引言

SOI(silicon on insulator) 器件具有更高的工作速度、更好的绝缘性能、更强的抗辐射能力以及无可控硅自锁效应^[1]等优点,因此,近年来其在 VLSI 领域的应用得到广泛关注.对功率集成电路(power integrated circuit, PIC)而言,当低压器件和高压器件集成于同一芯片时,SOI 优异的绝缘性能则显得尤为重要.但是 SOI 器件有两个主要缺点:一是 Si 的击穿电场的限制使得纵向耐压较低;二是埋氧层的存在使得散热困难而引起自热效应.为了解决这些问题,提出了许多新的器件结构,如 Nakagawa 等人采用 SIPOS FR(半绝缘多晶硅场板)技术^[2];高压双 RESURF SOI 结构^[3];具有降场电极的耐压结构^[4];Merchant 等人设计了漂移区掺杂浓度沿横向线性分布^[5],但这使得器件的导通电阻增大,而且线性掺杂分布引起的温度不均匀会使器件特性下降^[6];其中 PSOI(partial silicon-on-insulator)结构能解决自热效应也能提高其纵向耐压^[7];然而对于一般 PSOI 获得 600V 以上的耐压,要通过 4μm 以上的埋氧层且漂移区为薄线性掺杂才能实现^[8].

为了解决横向高压器件纵向耐压问题,一种方

法是使用低介电系数的埋层,如埋空隙 SOI 结构(BAGS)^[9];双埋层 SOI 结构(SODI)^[10].但这些方法都没有缓解器件的自热效应.本文在一般 PSOI(硅窗口在源端)和 BAGS 结构的基础上,提出了一种埋空隙的 PSOI——APSOI(air partial silicon-on-insulator)结构.此结构使击穿电压进一步提高,同时缓解了自热效应,更好地优化了表面电场.

2 器件结构

图 1 为 APSOI 结构的示意图,其中 t_s 表示漂移区厚度; t_i 表示埋层厚度; N_d 表示 n^- 漂移区浓度; N_i 表示 p^- 为衬底浓度; N_p 表示 p 沟道浓度; L_d 表示漂移区长度; L_w 表示硅窗口长度; L_A 表示埋空隙长度,硅窗口、埋层 SiO₂、空隙埋层在漂移区各占 1/3 漂移区长度.这种结构较一般 PSOI 和 BAGS 结构有以下优点,一是能提高击穿电压.对于 PSOI 结构的器件,纵向耐压由漂移区耗尽层、埋层、衬底耗尽层共同承担,而埋层击穿电压可表示为: $BV_i = \frac{\epsilon_{Si}}{\epsilon_i} \times E_{Si} t_i$ (其中 ϵ_{Si} 为 Si 的相对介电常数; ϵ_i 为埋层的相对介电常数; E_{Si} 为埋层与 Si 层界面处 Si 一侧的电场; t_i 为埋层的厚度).可以看出 ϵ_i 越小, BV_i

段宝兴 男,博士研究生,研究方向为半导体器件物理和 SOI 功率器件设计. Email: axing0913@sina.com

2005-01-21 收到,2005-03-18 定稿

越大,所以当用空隙埋层时,空隙的低介电常数(相对介电常数为 1),可获得比用 SiO₂ 埋层(相对介电常数为 3.9)更高的击穿电压;换言之,对于纵向,埋层为空隙时的击穿电压相当于 4 倍 SiO₂ 埋层厚度的击穿电压.二是缓解了自热效应.硅窗口的存在提供了热的传导通道,这有利于缓解一般 SOI 结构和 BAGS 结构的自热效应,使器件工作的有源区温度降低,提高了器件的稳定性.三是可以优化表面电场.因为埋层为部分埋层,硅窗口的存在不但使击穿电压提高,而且不同类型衬底电场调制作用使器件表面电场出现新的峰(峰的位置在不同衬底交界处),从而可以降低源漏端的峰值,进一步优化表面电场.

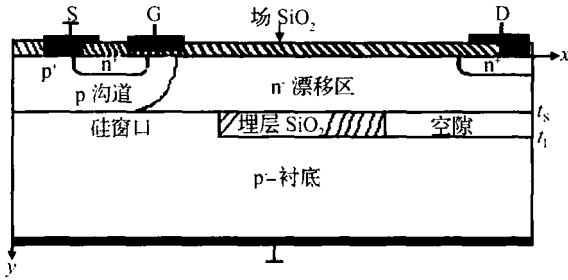


图 1 APSOI 结构剖面示意图

Fig. 1 Cross section of APSOI structure

3 结果与分析

图 2(a) 为三种结构的表面电场分布,从图中可以看出,APSOI 结构表面电场较一般 PSOI 结构出现了新的电场峰,峰的位置在空隙埋层处,这是因为两种介电常数不同的埋层对表面场调制的结果,这与阶梯埋层结构对电场调制的作用一样.与 BAGS 结构表面电场比较在硅窗口处有电场的峰值.由于新电场峰的出现,使漏源两端的电场峰下降.图 2(b) 为两种结构的漏端纵向埋层中的电场分布,在埋层处 APSOI 结构的电场较一般 PSOI 结构的电场大 4 倍左右,这是由于空隙埋层的相对介电常数为 SiO₂ 埋层的 1/4.图 2(b) 反映了这个规律,同时它也是 APSOI 提高耐压的一个原因(图 2 的仿真条件为:一般 PSOI $t_s = 2\mu\text{m}; t_i = 1\mu\text{m}; L_d = 36\mu\text{m}; N_d = 4.0 \times 10^{15} \text{cm}^{-3}; N_t = 1.0 \times 10^{14} \text{cm}^{-3}; N_p = 2.0 \times 10^{16} \text{cm}^{-3}$; APSOI $t_s = 2\mu\text{m}; t_i = 1\mu\text{m}; L_d = 36\mu\text{m}; N_d = 4.4 \times 10^{15} \text{cm}^{-3}; N_t = 1.0 \times 10^{14} \text{cm}^{-3}; N_p = 2.0 \times 10^{16} \text{cm}^{-3}$; BAGS $t_s = 2\mu\text{m}; t_i = 1\mu\text{m}; L_d = 36\mu\text{m}; N_d$

$$= 5.0 \times 10^{15} \text{cm}^{-3}; N_p = 2.0 \times 10^{16} \text{cm}^{-3}.$$

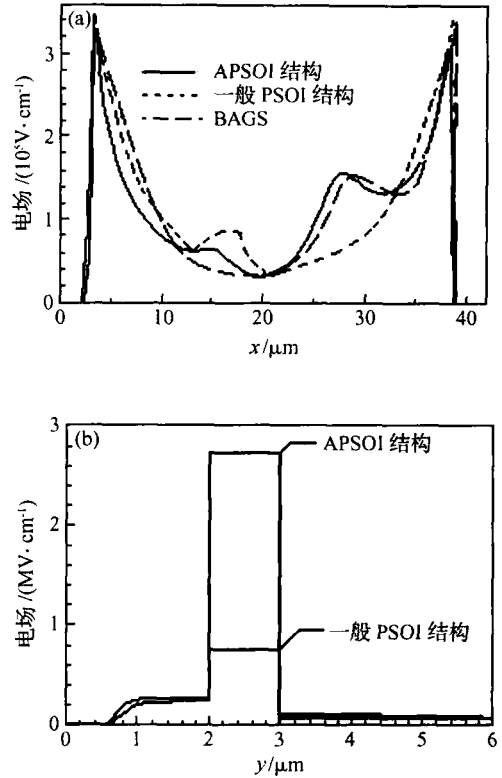


图 2 (a) 表面电场分布; (b) 纵向电场分布

Fig. 2 (a) Surface electric field distribution; (b) Lengthways electric field distribution

图 3 为在 APSOI 结构源端硅窗口长度一定的条件下,漏端空隙长度与击穿电压的关系.从图中可以看出,当空隙长度很小时,击穿电压增加很慢,这是由于纵向的电压主要由 SiO₂ 埋层承担;随空隙长度增加,击穿电压迅速增加直至达到饱和,这是因为纵向的电压已由空隙埋层承担.图 3 中虚线上的点代表空隙长度为零时的情况,这正是 一般 PSOI 结构.从图 3 可以看出,APSOI 结构较一般 PSOI 结构的击穿电压大大提高,这是因为图 2(b) 所示的空隙埋层中的电场较一般 PSOI 结构 SiO₂ 中的电场大的原因(曲线仿真条件为:衬底浓度 $1.0 \times 10^{14} \text{cm}^{-3}$ 、漂移区浓度为根据 RESURF 原理的优化值).

图 4 为 APSOI 结构漏端空隙长度一定的条件下,源端硅窗口长度与击穿电压的关系.从图中可以看出,随硅窗口长度增加,击穿电压增加且到一定窗口宽度下趋于饱和;虚线上的点代表窗口长度为零时的情况,这正是文献[8]提出的 BAGS 结构,图 4 给出的结果与文献[8]结果相符.从图 4 可以看出,

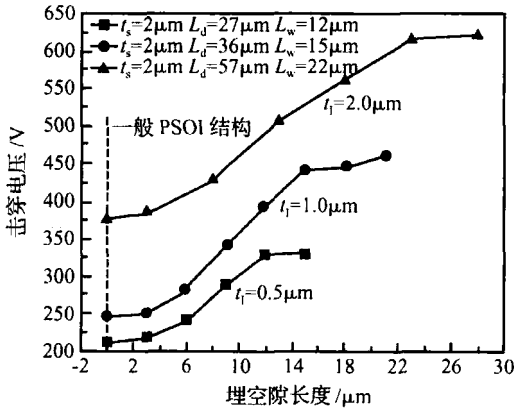


图 3 空隙长度与击穿电压的关系

Fig. 3 Breakdown voltage versus length of buried air

APSOI 结构较 BAGS 结构击穿电压大大提高,这是因为硅窗口的存在使衬底耗尽后承担了一部分电压,这也是 APSOI 提高耐压的第二个原因(曲线仿真条件为:衬底浓度 $1.0 \times 10^{14} \text{ cm}^{-3}$ 、漂移区浓度为根据 RESURF 原理优化的值)。

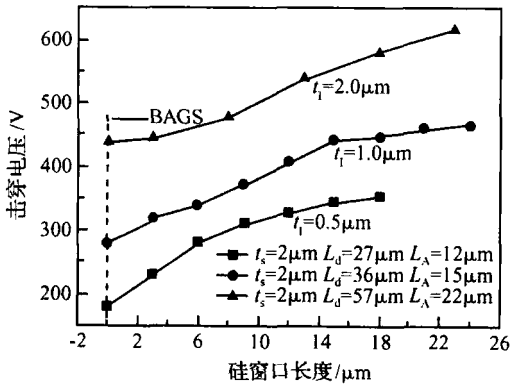


图 4 硅窗口长度与击穿电压的关系

Fig. 4 Breakdown voltage versus length of silicon window

图 5 为三种结构埋层厚度与耐压的关系。从图中可以看出,随埋层厚度增加,击穿电压近似线性增加;在一定埋层厚度条件下 APSOI 结构击穿电压较一般 PSOI 和 BAGS 的击穿电压大,并且如图中虚线所示,在相同击穿电压下,APSOI 结构所需埋层厚度为一般 PSOI 结构的 1/4;当空隙埋层为 $1 \mu\text{m}$ 时,能获得 400V 以上的击穿电压,空隙埋层为 $2 \mu\text{m}$ 时,可获得 600V 以上的击穿电压(漂移区浓度为根据 RESURF 原理优化的值)。

工程上可以通过硅片直接键合(SDB)的方法实现这种结构,与一般 PSOI 的 SDB 工艺的不同在于

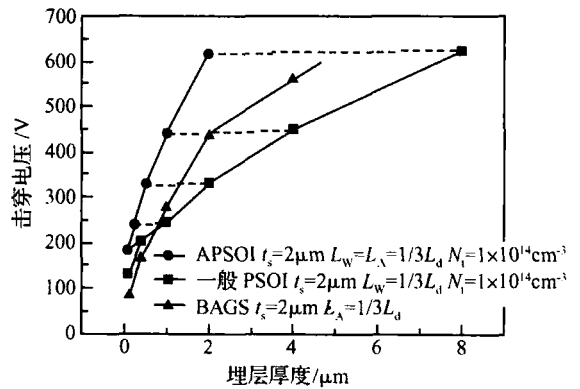


图 5 埋氧层厚度与击穿电压关系

Fig. 5 Breakdown voltage versus thickness of oxide

增加一步硅刻蚀. 第一步是进行具有掩蔽的硅氧化,掩蔽的部分是形成器件硅窗口的部分,因为硅的氧化是按 4 : 1 的比例消耗硅的,所以氧化完成后就有 1/4 厚度的氧化层埋于硅中,硅表面有 3/4 厚度的氧化层;第二步用刻蚀和化学抛光技术将硅表面 3/4 的氧化层刻蚀抛光;对于一般 PSOI 工艺,接下来第三步就可以直接与另一块没有氧化层的硅片键合;对于 APSOI 工艺,要进行一次硅刻蚀,刻蚀掉的部分是形成埋空隙部分;最后直接与另一块没有氧化层的硅片键合. 当然,对于埋层较厚的情况,在第一步硅氧化之前就须先在硅片上刻蚀出一个硅台阶,这样,经过相同的工艺过程后就可形成较厚的埋层.

一般 SOI 器件自热效应的影响是显而易见的,在器件工作的饱和区会出现负阻情况. 而且,自热效应还会使器件的性能退化. 一般 PSOI 结构由于具有硅窗口,自热效应得到了缓解. 对于本文提出的 APSOI 结构,由于保留了一般 PSOI 的特点,所以也缓解了自热效应.

图 6 是几种结构的有源区温度分布,从图(a), (c)中可以看出,对于一般 SOI 结构和 BAGS 结构,有源区温度较高且最高温度分布在靠近源端处,这对器件的性能影响很大. 从图 6(b), (d)可以看出,对于一般 PSOI 结构和本文提出的 APSOI 结构,由于源端存在硅窗口,温度最低. 图 6(e)精确给出在器件表面和埋层上表面处 APSOI 和 BAGS 结构沿 x 方向的温度分布. 可以看出,APSOI 结构有源区温度较 BAGS 的低 10K 左右. 图 6(f)精确给出在 S 端和 D 端处 APSOI 和 BAGS 结构沿 y 方向的温度分布. 可以看出,APSOI 结构由于存在硅窗口,S 端

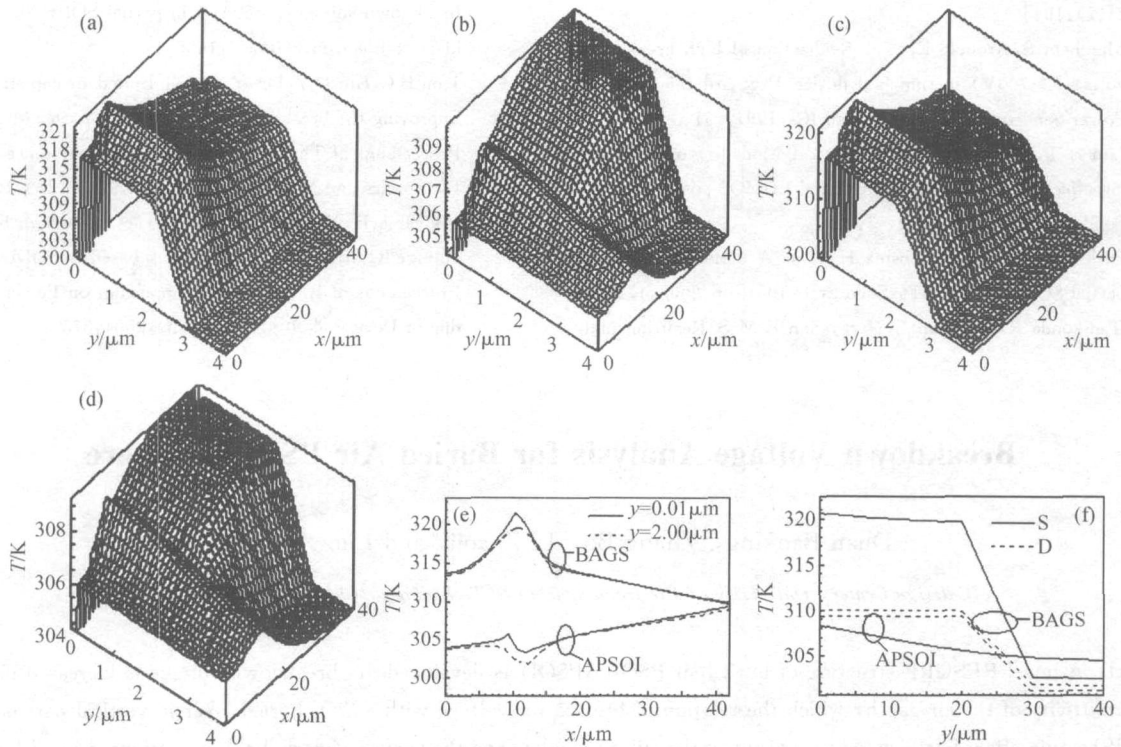


图 6 四种结构的温度分布 (a)一般 SOI;(b)一般 PSOI;(c) BAGS;(d) APSOI;(e) APSOI 和 BAGS 横向温度分布;(f) APSOI 和 BAGS 纵向温度分布 $x-y$ 平面为器件剖面, z 轴为温度分布,温度边界条件为 300 K.

Fig. 6 Temperature distributions of the devices $x-y$ planes represent the profiles of the devices; z coordination represents the value of temperature. (a) SOI; (a) Normal PSOI; (c) BAGS; (d) APSOI; (e) Lateral direction of APSOI and BAGS; (f) Vertical direction of APSOI and BAGS The boundary condition of temperature is 300 K.

温度最低,且较 BAGS 结构低 10 K 左右. 四种结构的最高温度分别为:一般 SOI 为 320.66 K;一般 PSOI 为 309.85 K;BAGS 为 320.70 K; APSOI 为 309.17 K. 图 6 的仿真条件为:栅压 $V_g = 6V$;漏端电压 $V_d = 20V$;源端和衬底电压为零; $t_s = 2\mu m$; $t_l = 1\mu m$; $L_d = 36\mu m$; $N_{p+} = 2 \times 10^{16} cm^{-3}$;漂移区浓度为根据 RESURF 原理优化的值.

4 结论

本文在一般 PSOI 结构基础上提出了一种新的器件结构——埋空隙 PSOI,简称 APSOI. 通过仿真和分析验证了此结构具有缓解自热效应、优化表面电场的优点. 由于空隙低的介电常数,使得器件在纵向突破了传统 SiO_2 埋层的耐压关系,击穿电压提高. 而且在一定击穿电压下 APSOI 结构所需的埋层厚度为一般 PSOI 的 1/4,当漂移区厚度为 $2\mu m$ 、埋层厚度为 $1\mu m$ 时可获得 400V 以上的耐压;当漂移

区厚度为 $2\mu m$ 、埋层厚度亦为 $2\mu m$ 时可获得 600V 以上的耐压. 此结构可以通过一般 PSOI 的 SDB 工艺方法实现,为功率集成技术提供了一种新的器件结构.

参考文献

[1] Colinge J P. Silicon-on-insulator technology: materials to VLSI. Kluwer: Academic Publishers, 1990
 [2] Matsudai T, Nakagawa A. Simulation of a 700V high voltage device structure on a thin SOI. Proc 4th Int Symp on Power Semiconductor Devices and ICs, 1992: 272
 [3] Li Zhaoji, Guo Yufeng, Fang Jian, et al. A new 2-D analytical model of double RESURF in SOI high voltage devices (invited). Proc ICSICT, 2004: 328
 [4] Luo Luyang, Fang Jian, Luo Ping, et al. Breakdown characteristics of novel SOFLDMOS with reducing field electrode and U-type drift region. Chinese Journal of Semiconductors, 2003, 24(2): 194 (in Chinese) [罗卢杨, 方健, 罗萍, 等. 具有降场电极 U 形漂移区 SOFLDMOS 的耐压特性. 半导体学报, 2003,

- 24(2):194]
- [5] Merchant S, Aronold E, et al. Realization of high breakdown voltage ($> 700V$) in thin SOI device. Proc 3rd Int Symp on Power Semiconductor Devices and ICs, 1991: v31
- [6] Lim H T, Udrea F, Garner D M, et al. Modelling of self-heating effect in thin SOI and partial SOI LDMOS power devices. Solid-State Electron, 1999, 43:1267
- [7] Park J M, Grasser T, Kosina H, et al. A numerical study of partial-SOI LDMOSFETs. Solid-State Electron, 2003, 47:275
- [8] Tadikonda R, Hardikar S, Narayanan E M S. Realizing high breakdown voltages ($> 600V$) in partial SOI technology. Solid-State Electron, 2004, 48:1655
- [9] Jeon B C, Kim D Y, Lee Y S, et al. Buried air gap structure for improving the breakdown voltage of SOI power MOSFET's. Proceedings of The Third International Conference on Power Electronics and Motion Control, 2000, 3(15~18):1061
- [10] Akiyama H, Yasuda N, Moritani J, et al. A high breakdown voltage IC with lateral power device based on SODI structure. Proceedings of International Symposium on Power Semiconductor Devices & ICs, Kitakyushu, 2004:375

Breakdown Voltage Analysis for Buried Air PSOI Structure

Duan Baoxing, Zhang Bo, Li Zhaoji, and Luo Xiaorong

(IC design Center, University of Electronic Science & Technology, Chengdu 610054, China)

Abstract: A novel RESURF structure of buried air PSOI (APSOI) is developed. Its breakdown voltage is increased due to the low permittivity of the air gap by which the relation of breakdown voltage with a SiO_2 buried layer in vertical part is broken. The self-heating effect is alleviated as a result of the silicon window and the surface electric field are optimized by different substrate electric field modulation. This structure only needs a $1/4$ buried layer compared with a normal PSOI structure under the condition of a certain breakdown voltage. When the thickness of the drift region is $2\mu m$ and the thickness of the buried layer is $2\mu m$, more than $600V$ of breakdown voltage can be obtained.

Key words: RESURF structure; APSOI; self-heating effect; surface electric field; breakdown voltage

EEACC: 1210; 2560

Article ID: 0253-4177(2005)09-1818-05

Duan Baoxing male, PhD candidate. His research interests are in semiconductor device physics and design of SOI power device. Email: axing0913@sina.com

Received 21 January 2005, revised manuscript received 18 March 2005

© 2005 Chinese Institute of Electronics