

深亚微米 pMOS 器件的 HCI 和 NBTI 耦合效应与物理机制*

刘红侠 郝 跃

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

摘要: 研究了深亚微米 pMOS 器件的热载流子注入 (hot-carrier injection, HCI) 和负偏压温度不稳定效应 (negative bias temperature instability, NBTI) 的耦合效应和物理机制. 器件在室温下的损伤特性由 HCI 效应来控制. 高温条件下, 器件受到 HCI 和 NBTI 效应的共同作用, 二者的混合效应表现为 NBTI 不断增强的 HCI 效应. 在 HCI 条件下器件的阈值电压漂移依赖沟道长度, 而 NBTI 效应中器件的阈值电压漂移与沟道长度无关, 给出了分解 HCI 和 NBTI 耦合效应的方法.

关键词: 深亚微米 pMOS 器件; 热载流子注入; 负偏压温度不稳定性; 界面态; 氧化层固定正电荷

PACC: 7340Q; 7300; 7220J

中图分类号: TN386.3

文献标识码: A

文章编号: 0253-4177(2005)09-1813-05

1 引言

MOS 器件中的热载流子注入 (hot-carrier injection, HCI) 和负偏压温度不稳定效应 (negative bias temperature instability, NBTI) 是影响器件可靠性的重要因素. 对于目前采用特征尺寸在 $0.25\mu\text{m}$ 以下工艺的 MOSFET, 其 HCI 和 NBTI 可靠性分析成为高性能设计和高可靠性应用中的重要环节^[1-4]. MOS 器件中的 HCI 效应源于器件特征尺寸的不断缩小和沟道中横向和纵向电场的增加^[5,6]. 在深亚微米尺度下, HCI 效应主要反映在沟道热载流子 (channel hot-carrier, CHC) 效应. NBTI 效应是由于在高温下对 pMOSFET 栅极加大的负栅压偏置 (源极、漏极和衬底接地) 所造成的器件退化, 表现为阈值电压漂移不断增大, 亚阈值斜率不断减小等器件参数的变化^[7-10].

对于 NBTI 和 HCI 这两种单独的效应已有大量研究, 但是关于 HCI 和 NBTI 耦合效应对器件特

性的影响则研究甚少. 在实际的工作器件中, 这两种效应同时存在并相互影响. 如何理解在 HCI 和 NBTI 效应共同作用下, 深亚微米 pMOS 器件的退化以及这两种效应之间的相互作用机制, 以便定量确定 HCI 效应和 NBTI 效应各自的贡献. 本文主要研究了高温沟道热载流子模式下, HCI 和 NBTI 的共同作用对器件阈值电压和跨导漂移的影响, 提出了 NBTI 效应不断增强的 HCI 耦合效应机制和分解这两种效应的方法.

2 深亚微米 pMOS 器件的 HCI 和 NBTI 耦合机制

实验器件采用 $0.25\mu\text{m}$ CMOS 工艺技术制备的 pMOSFET's, 器件的沟道长度 L 为 $0.25\mu\text{m}$, 沟道宽度 W 为 $5\mu\text{m}$, 栅氧化层厚度 T_{ox} 为 5nm . 对 HCI 效应, 在栅和漏都施加应力, 对 NBTI 效应, 高温下只在栅极施加应力.

在单独 NBTI 应力条件下, 器件中只存在 NB-

*国家自然科学基金(批准号:60206006), 教育部重点科技研究(批准号:104172), 国防重大预研基金(批准号:41308060305)和博士后基金(批准号:Q6312573)资助项目

刘红侠 女, 1968 年出生, 博士, 教授, 博士生导师, 主要从事深亚微米器件和电路可靠性研究. Email: hxliu@mail.xidian.edu.cn

郝 跃 男, 1958 年出生, 博士, 教授, 博士生导师, 主要从事深亚微米器件和电路建模及表征技术研究.

2005-01-25 收到, 2005-03-15 定稿

TI 效应. 在高温 CHC 应力条件下, 器件中会同时存在 HCI 效应和 NBTI 效应. 为进一步比较 HCI 和 NBTI 对于 pMOSFET 特性的影响, 在栅电极施加相同的应力电压 $V_G = -3.5V$, 改变漏电极所加的电压, 即 V_D 分别等于 0, -1.75 和 -3.5V, 源电极和衬底接地, 即保持 $V_S = V_{SUB} = 0V$, 应力时间 $t = 23000s$, 器件所处的工作温度为 $T = 150$. 图 1 给出了 pMOSFET 在只有 NBTI 应力条件下和 HCI 与 NBTI 应力同时存在条件下, 器件阈值电压的特性退化比较图. 对于图中所给出的三种应力条件, 栅上所施加的电压保持不变 ($V_G = -3.5V$). 其中, 实心方块和空心方块分别代表较高漏电压和中等漏电压情况下, 即 NBTI 和 HCI 混合效应对 pMOSFET 的阈值电压退化的影响; 实心三角形对应漏电压为零时, 即只存在 NBTI 应力条件下, pMOSFET 的阈值电压退化. 作为对比, 图 1 还给出了在施加两种不同高漏压情况下, pMOSFET 阈值电压退化特性的对比 ($V_G = V_D = -3.5V$ 和 $V_G = V_D = -2.75V$).

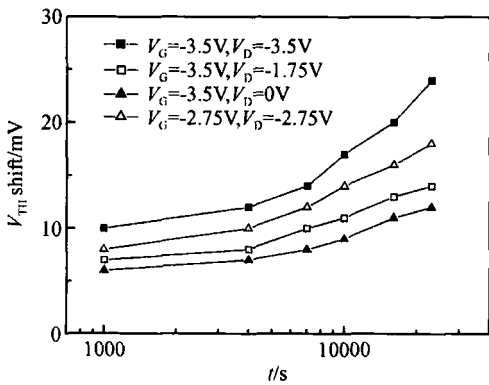


图 1 不同的栅和漏偏置条件下, 阈值电压退化与应力时间的关系

Fig. 1 Threshold voltage shift as a function of stress time for different gate bias and drain bias

在所施加的几种应力条件下, 器件的阈值电压都向负栅压的方向漂移 (图 1 所示为器件阈值电压漂移的绝对值), 亚阈特性退化. 应力前, 亚阈斜率值大约为 70mV/decade, 应力后当 $V_G = -3.5V, V_D$ 分别为 0, -1.75, -3.5V 时, 亚阈斜率值增加到 76, 78 和 81mV/decade. 这表明器件参数的退化是由于应力间产生的界面陷阱和氧化层固定正电荷所造成的. 其中, 在 $V_G = V_D = -3.5V$ 的高温 HCI 和 NBTI 应力条件下的阈值电压漂移都大于在 $V_G = -3.5V, V_D = -1.75V$ 的应力条件下的阈值电压漂

移, 而这两种情况下的阈值电压漂移又大于 $V_G = -3.5V, V_D = 0$ 的 NBTI 条件下的阈值电压漂移. 图 1 的数据表明当栅上所施加的电压保持不变时, 漏端所加的电压越高, 器件的阈值电压退化越严重. 这说明在热载流子应力条件下, 有大量的陷阱产生; 同时也说明 $V_G = V_D$ 是阈值电压退化最严重的应力条件, 在这种应力条件下, HCI 和 NBTI 都对阈值电压的退化产生影响. 而当 $V_G = -3.5V, V_D = 0$ 时, 只有 NBTI 效应影响器件阈值电压的退化. 结合 $V_G = V_D = -2.75V$ 时的高温沟道热载流子应力条件下的阈值电压漂移, 可以充分地说明 HCI 和 NBTI 的共同作用大于 NBTI 效应单独作用的效果, 所以在 $V_G = V_D = -3.5V$ 的高温 CHC 应力条件下器件特性的退化是这两种效应的综合体现.

为了更进一步研究 HCI 和 NBTI 引起 pMOSFET 特性退化的本质, 在负偏置应力结束后, 对器件施加反方向的正偏置应力进行后应力退火处理. 具体施加的退火条件为: 栅电压 $V_G = 3.5V$, 退火时间 $t = 7000s$. 图 2 给出施加应力后, pMOSFET 阈值电压的恢复与退火时间之间的关系. 从图中可以明显地看出, 在 $V_G = V_D = -3.5V$ 和 $V_G = -3.5V, V_D = 0$ 这两种应力条件下, pMOSFET 的阈值电压恢复值最大, $V_{TH} = 4mV$. 但是比较阈值电压恢复的百分比可知, 在单独的 NBTI 应力作用下, 经过退火后, pMOSFET 的阈值电压恢复得最多, 大约为 33%; 在高漏压应力条件下, 阈值电压的恢复百分比为 17%; 在中等漏压应力条件下, 阈值电压的恢复百分比最小, 大约为 14%.

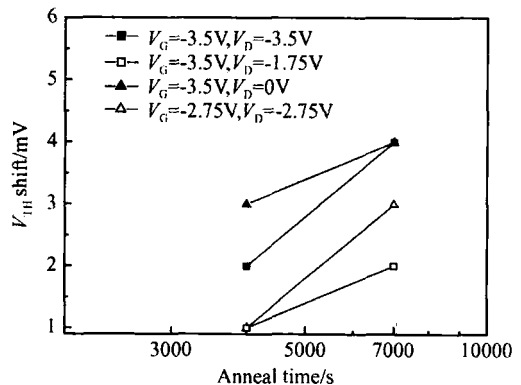


图 2 不同的栅和漏偏置条件下, 阈值电压的恢复与退火时间的关系

Fig. 2 Threshold voltage restore as a function of annealing time for different gate bias and drain bias

从上述实验结果可知,尽管在单独的 NBTI 应力作用下,pMOSFET 的阈值电压退化最小,但是在同样的应力条件下退火后,NBTI 应力作用后,器件的阈值电压却得到最大限度的恢复.可见,尽管在高温沟道热载流子应力条件下产生了更多的陷阱,但是在 NBTI 应力条件下的阈值电压恢复得更多,表明在 NBTI 条件下有更多的陷阱解陷.这充分说明在高温沟道热载流子应力下产生的大多数陷阱是不可退火的界面陷阱,在 NBTI 效应下产生的多为氧化层固定正电荷,而氧化层固定正电荷可以被部分退火消除.

3 NBTI 和 HCI 效应对器件退化影响的分解

在高温沟道热载流子应力条件下,器件的退化是由 HCI 和 NBTI 效应共同作用的.如何评价这两种机制共同作用下的器件损伤和它们各自的作用?本文提出了一种同时考虑这两种机制的模型和分解 NBTI 和 HCI 的方法.

图 3 和图 4 给出了在高栅压条件下 ($V_G = V_D = -3.5V$),沟道长度为 $0.25\mu m$ 的 pMOSFET 中阈值电压和跨导漂移与温度的依赖关系.当温度在 80 附近时,器件的阈值电压漂移达到最小,当温度大于 80 后阈值电压漂移不断增加.但是在跨导的

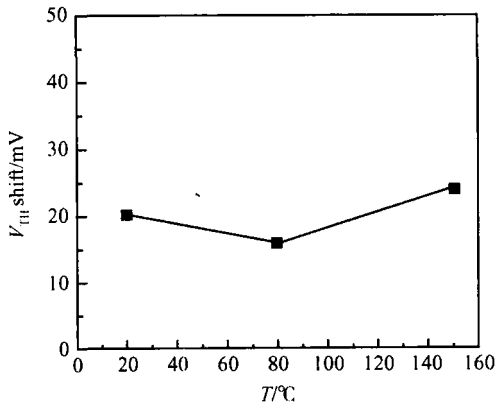


图 3 阈值电压漂移和温度之间的关系

Fig. 3 Threshold voltage shift as a function of temperature

漂移和温度的关系曲线中却没有出现最小值,而且跨导漂移的绝对值随着温度的升高而减小,这和以前参考文献所报道的跨导漂移随着温度的增加而减小的关系是完全一致的.跨导漂移和温度的关系表

明这个器件参数主要敏感于在应力期间由热空穴注入引起的施主型界面陷阱.而器件的阈值电压漂移主要受到氧化层电荷的影响,它与温度的关系表明不仅只有 HCI 起作用,还要归功于附加的 NBTI 效应形成的正电荷的影响.当温度在 80 以下时,阈值电压的损伤是由 HCI 机制引起的;当温度处于 80 到 150 之间时,NBTI 效应引起了阈值电压附加增加的漂移.

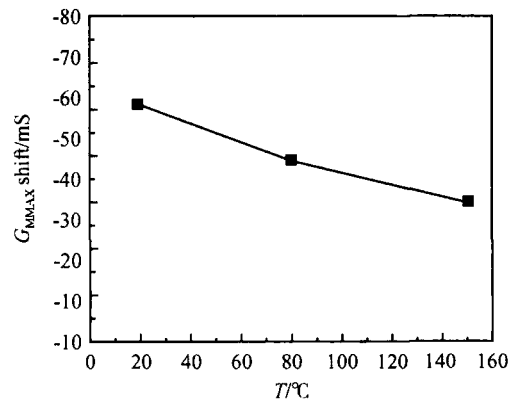


图 4 跨导漂移和温度之间的关系

Fig. 4 Maximum transconductance shift as a function of temperature

图 5 给出了在室温条件下 ($V_D = -3.5V$),沟道长度为 $0.25\mu m$ 的 pMOSFET 中跨导漂移和衬底电流与栅压的依赖关系.从图 5 中可以看出,室温下跨导漂移的极值发生在与初始最大衬底电流同样的栅电压下,最大衬底电流对应最严重的 HCI 条件,这表明器件跨导的漂移是由 HCI 损伤引起的.

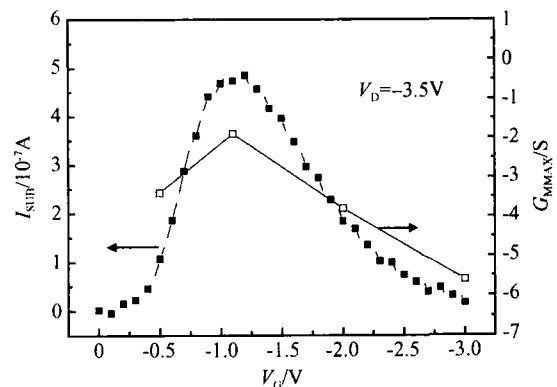


图 5 不同栅压下的跨导漂移和衬底电流

Fig. 5 Maximum transconductance shift and substrate current for different gate voltages

图 6 给出了在同样条件下,器件阈值电压的漂移和衬底电流与栅压的依赖关系.从图 6 可以看出,室温下器件阈值电压的漂移随着栅电压的增加而增加,这是由于在高栅压应力条件下,栅的边界会有更多的空穴从垂直电场中获得能量,处于热激活状态.这些热激活的空穴能够打断氢终端的悬挂键,产生氧化层陷阱和氧化层固定正电荷,使阈值电压的退化增强.与应力下器件跨导的退化特性相比较而言,在应力下阈值电压的退化与衬底电流之间却不遵循任何关系,这表明对于器件阈值电压的退化和跨导的退化是由完全不同的两种机制所控制的. HCI 和 NBTI 这两种机制对器件退化的共同作用使得预测 pMOSFET 寿命的模型更加复杂.

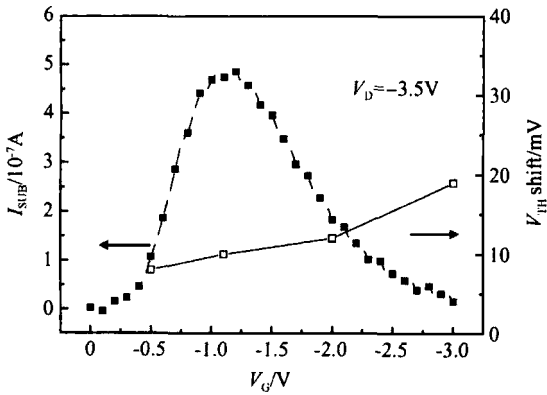


图 6 不同栅压下的阈值电压漂移和衬底电流

Fig. 6 Threshold voltage shift and substrate current for different gate voltages

对于 $W/L = 5\mu\text{m}/0.25\mu\text{m}$,栅氧化层厚度 $T_{ox} = 5\text{nm}$ 的实验样品在同样温度下分别施加 NBTI 和高栅压 CHC 应力,器件的阈值电压漂移见图 7.从图中可以看出,由 NBTI 应力引起的漂移与沟道长度无关,并且与在相同条件高栅电压应力下长沟器件的测量值相同.这表明高温条件下,在 $V_G = V_D$ 应力期间,退化中的 NBTI 成分与单独 NBTI 条件下的相同.在这些偏置条件下,pMOSFET 退化过程中固定正电荷的形成是 NBTI 和 CHC 分别独立作用结果的总和.通过将相同应力下长沟器件的漂移值从短沟器件的漂移值中减去,可以把退化期间 CHC 应力对固定正电荷的贡献分解出来.

4 结论

研究了深亚微米 pMOSFET 的 HCI 和 NBTI

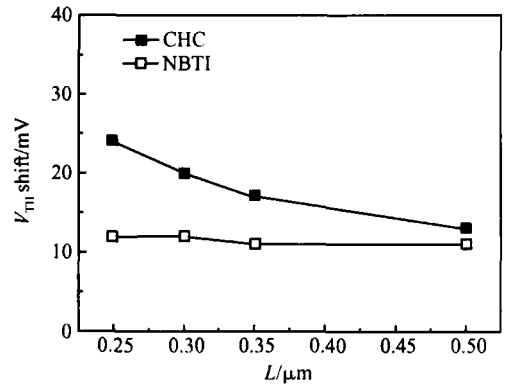


图 7 在 CHC 和 NBTI 应力下,阈值电压漂移和沟道长度的关系

Fig. 7 Threshold voltage shift as a function of channel length under CHC and NBTI stress

效应.结果表明,低温下器件的参数漂移很明显由 HCI 效应来控制,在高温 CHC 应力条件下,器件受到 HCI 效应和 NBTI 效应的共同作用,二者的混合效应表现为 NBTI 不断增强的 HCI 效应.器件的跨导漂移主要是由热空穴注入引起的界面态所引起的,而阈值电压则对氧化层中的净正电荷的形成很敏感.由于 NBTI 效应对阈值电压的影响与沟道长度无关,通过测量相同条件下长沟道器件在沟道热载流子应力下阈值电压的漂移值就可以将短沟道器件在同样应力条件下 NBTI 的漂移值分离出来,由此可以分解出这两种效应各自对器件参数漂移的影响.

参考文献

[1] Yamamoto T,Uwasawa K,Mogami T. Bias temperature instability in scaled p+ polysilicon gate p-MOSFET 's. IEEE Trans Electron Devices ,1999 ,46:921

[2] Blat C E,Nicollian E H, Poindexter E H. Mechanism of negative-bias-temperature instability. J Appl Phys ,1991 ,69 (3) : 1712

[3] Chaparala P, Shibley J, Lim P. Threshold voltage drift in PMOSFETs due to NBTI and HCI. IEEE International Integrated Reliability Workshop Final Report ,2000 :95

[4] Fishbein B ,Doyle B ,Conran C. Thermal instability in p-channel transistors with reoxidized nitrided oxide gate dielectrics. IEEE Trans Electron Devices ,1992 ,39(11) :2672

[5] Thompson S, Packan P, Bohr M. MOS scaling: transistors challenges for 21st century. Intel Technology Journal ,1998 ,2 (3) :21

[6] Haggag A ,McMahon W, Hess K, et al. High-performance

- chip reliability from short-time-tests statistical models for optical interconnect and HCI/ TDDB/ NBTI deep-submicron transistor failures. IEEE International Reliability Physics Symposium 2001 :271
- [7] Hook T B ,Adler E ,Guarin F ,et al. The effects of fluorine on parametrics and reliability in a 0. 18- μm 3. 5/ 6. 8nm dual gate oxide CMOS technology. IEEE Trans Electron Devices ,2001 , 48(7) :1346
- [8] Morifuji E ,Kumamori T ,Muta M ,et al. New considerations for highly reliable PMOSFETs in 100nm generation and beyond. VLSI Technology ,2001 :117
- [9] Ichinose K ,Saito T ,Yanagida Y ,et al. A high performance 0. 12 μm CMOS with manufacturable 0. 18 μm technology. VLSI Technology ,2001 :103
- [10] Han Xiaoliang , Hao Yue ,Liu Hongxia. NBTI effects of p⁺ gate pMOSFET and influence of nitrogen on NBTI effects. Chinese Journal of Semiconductors ,2005 ,26(1) :84 (in Chinese) [韩晓亮,郝跃,刘红侠. 深亚微米 p⁺ 栅 pMOSFET 中 NBTI 效应及氮在其中的作用. 半导体学报,2005 ,26(1) :84]

Couple Effects and Physical Mechanism of HCI and NBTI in Deep Submicron pMOSFET 's *

Liu Hongxia and Hao Yue

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices ,
School of Microelectronics , Xidian University , Xi 'an 710071 , China)

Abstract : The couple effects and physical mechanism of HCI(hot-carrier injection) and NBTI(negative bias temperature instability) in deep submicron pMOSFET 's are investigated. At room temperature the HCI contribution to the device damage is confirmed. However ,at high temperatures the degradation is controlled by the cooperation of HCI and NBTI mechanism. NBTI channel hot-carrier enhancement is really observed. The threshold voltage shift depends on channel length under HCI stress , whereas the threshold voltage shift is not dependent on channel length for NBTI. A method to decouple the HCI and NBTI is presented.

Key words : deep submicron pMOSFET 's ; HCI ; NBTI ; interface states ; positive fixed oxide charges

PACC : 7340Q ; 7300 ; 7220J

Article ID : 0253-4177(2005)09-1813-05

* Project supported by the National Natural Science Foundation of China (No. 60206006) ,the Key Project of Chinese Ministry of Education (No. 104172) ,the National Defense Pre-research (No. 41308060305) , and the Postdoctoral Foundation of China (No. Q6312573)

Liu Hongxia female ,was born in 1968 ,PhD ,professor ,adviser of PhD candidates. She mainly focuses on reliability of deep submicron devices and circuits. Email :hlyliu@mail.xidian.edu.cn

Hao Yue male ,was born in 1958 ,PhD ,professor ,adviser of PhD candidates. His research interests are modeling and characterization of deep submicron devices and circuits.

Received 25 January 2005 ,revised manuscript received 15 March 2005

© 2005 Chinese Institute of Electronics