

短沟道 CMOS/SOI 器件加固技术研究

张 兴 奚雪梅 王阳元

(北京大学微电子学研究所 北京 100871)

摘要 通过大量辐照实验分析了采用不同工艺和不同器件结构的薄膜短沟道 CMOS/SIMOX 器件的抗辐照特性, 重点分析了 H_2-O_2 合成氧化和低温干氧氧化形成的薄栅氧化层、 $CoSi_2$ /多晶硅复合栅和多晶硅栅以及环形栅和条形栅对 CMOS/SIMOX 器件辐照特性的影响, 最后得到了薄膜短沟道 CMOS/SIMOX 器件的抗核加固方案.

EEACC: 2550E, 2570D, 2560R, 1230B

1 引言

CMOS/SOI 器件除与体硅器件一样具有栅氧化层以外, 它还有一个埋氧化层, 辐照将在栅及埋氧化层中产生陷阱正电荷, 在 Si/SiO_2 界面上产生界面态, 使 MOSFET 的阈值电压漂移, 泄漏电流增大, 迁移率退化, 如不采取特殊的加固工艺, MOS/SOI 器件对总剂量辐照将比体硅 MOS 器件更敏感^[1]. 因此, 应用于辐照环境中的 CMOS/SOI 电路的性能将劣化, 甚至完全失效. 通常, 非加固 CMOS 集成电路的抗电离辐照水平不超过 10^4 rad(Si) , 根本无法满足辐照环境对电路的要求. 因此研究器件电离辐照机理, 开发抗辐照加固技术, 研制抗辐照加固 CMOS/SOI 集成电路势在必行.

本文通过大量辐照实验分析了一些关键工艺参数对 CMOS/SOI 器件电离辐照性能的影响, 在原来短沟道全耗尽 CMOS/SOI 工艺的基础上^[2]开发了一套适用于抗辐照 CMOS/SIMOX 电路的加固工艺.

2 不同栅氧化工艺对辐照特性的影响

众所周知, 电离辐照损伤主要是在 MOSFET 的 SiO_2 层中产生大量陷阱电荷和在 Si/SiO_2 界面产生大量界面态, 因而对器件辐照性能影响最大的是栅氧化层的辐照能力. 我们分别研究了采用 900°C 干氧氧化和 $850^\circ\text{C} H_2-O_2$ 合成氧化方式形成的 SiO_2 栅介质的辐照特

张 兴 男, 1965 年生, 博士, 讲师, 主要从事 SOI 器件电路模拟、设计及制造等方面的研究

奚雪梅 女, 1967 年生, 博士, 讲师, 主要从事 SOI 器件模型、器件电路模拟及工艺技术研究

王阳元 男, 1935 年生, 教授, 中国科学院院士, 主要从事集成电路新结构、新工艺、新材料的研究

1995 年 5 月 12 日收到初稿, 1995 年 10 月 9 日收到修改稿

性,通过对比发现, H_2-O_2 合成氧化的辐照能力优于 900℃ 干氧氧化.

图 1 给出了用不同氧化工艺制备栅 SiO_2 薄膜的 NMOSFET 的阈值电压漂移随辐照剂量的变化.

可以看出,随着辐照剂量的增加,在导通偏置时, H_2-O_2 合成氧化的阈值电压漂移与干氧氧化时相比改善较大;在截止偏置时, H_2-O_2 合成氧化的阈值电压漂移与干氧氧化时的情况相比也有改善. 另外, H_2-O_2 合成氧化工艺制备栅氧化层器件的泄漏电流也明显小于用干氧氧化工艺制备的器件.

在采用 H_2-O_2 合成氧化方法形成的氧化层中含有较多的 OH^- 基,而 OH^- 基是电子陷阱,它在辐照后产生负电荷积累,补偿了一部分正电荷的作用;同时 H_2-O_2 合成氧化制备的氧化层中空穴的迁移率较小,它在运动到界面被空穴陷阱俘获之前被电子复合的几率较大,辐照之后产生的陷阱电荷较干氧氧化时的少,所以用 H_2-O_2 合成氧化方法制备的栅氧化层与干氧氧化层相比具有更好的抗电离辐照能力.

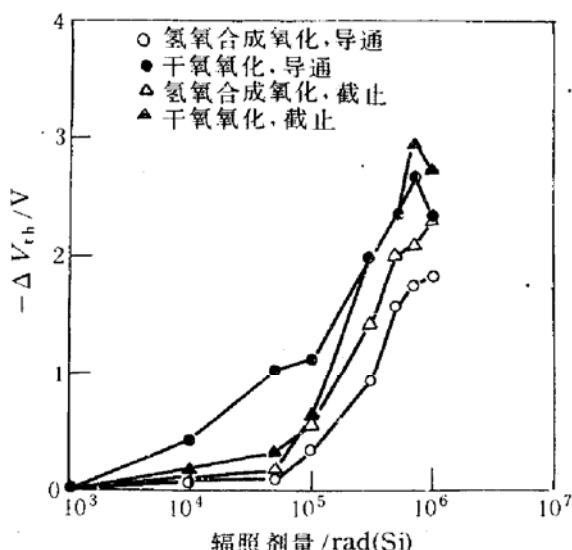


图 1 不同氧化方式时,NMOSFET 阈值电压漂移随辐照剂量的变化关系

好的抗电离辐照能力.

3 环形栅与条形栅的比较

图 2 给出了环形栅与条形栅结构 SIMOX/NMOSFET 的辐照感生漏电流与辐照剂量的关系. 辐照剂量比较小时,不论在导通偏置还是在截止偏置条件下,条形栅的泄漏电流变化都大于环形栅的变化. 这主要是由于在条形栅 SOI/MOS 晶体管中,当栅电极横跨硅岛边缘时形成了寄生边缘晶体管. 由于边缘处的硅岛介于 $<100>$ 和 $<111>$ 晶向之间,具有较高的界面态密度,且边缘处栅氧化层较薄,因此边缘晶体管的阈值电压较低. 在电离辐照环境中,边缘晶体管会首先开启,引起较大的泄漏电流. 对于环形栅晶体管,它不存在栅跨越硅岛的问题,没有寄生边缘晶体管,因此漏电较小.

在导通偏置条件下,当辐照剂量超过 $5 \times 10^5 \text{ rad(Si)}$ 时,环形栅与条形栅的漏电越来越接近,当辐照剂量为 $1 \times 10^6 \text{ rad(Si)}$ 时,两者的漏电几乎相等. 这是由于在导通偏置条件下,随着辐照剂量的增高,在埋氧化层中的正电荷使 Si/SiO_2 界面的硅一侧也感应出相当数量的负电荷,加快了背面沟道的反型. 当辐照剂量比较大时,NMOS/SOI 器件的背沟道漏电流迅速

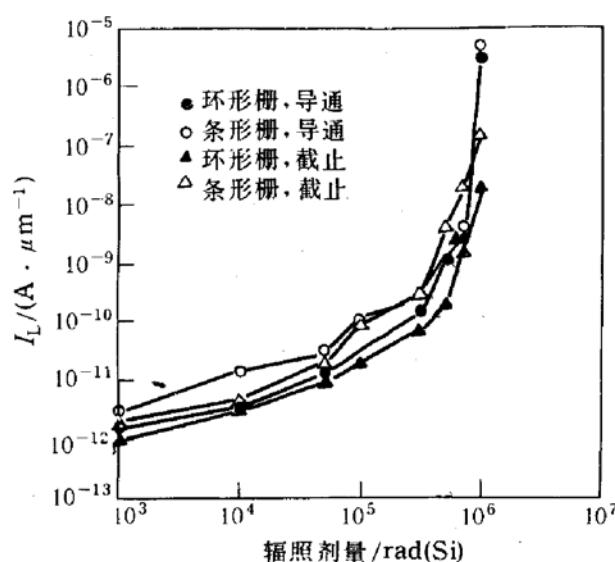


图 2 环形栅和条形栅在导通和截止偏置下,泄漏电流与辐照剂量的关系

增加并占据主导地位,边缘漏电则降至次要地位,从而使静态漏电流与器件的栅形状无关,因此在大剂量时两种器件的漏电流接近相等。

从以上分析可以看出,环形栅结构对小剂量辐照时的改进比较明显,对大剂量时则没有明显的改进。考虑到环形栅尺寸比较大,难于制作宽长比较小的器件,不利于提高电路的集成度,因此在研制小尺寸 CMOS/SOI 集成电路时不宜采用环形栅结构,特别是对于薄膜全耗尽 CMOS/SOI 电路更是如此。

4 硅化物栅对辐照特性的影响

图 3 给出了恶劣偏置条件下采用 N^+ Poly-Si 和 CoSi_2/N^+ Poly-Si 复合栅的 N 和 PMOSFET 阈值电压漂移量随辐照剂量的关系。可以看出,采用 CoSi_2 /多晶硅复合栅器件的阈值电压漂移较小,抗辐照能力明显增强。对于 NMOSFET,采用多晶硅栅的样品,阈值电压在低剂量时负偏,当剂量超过 $5 \times 10^5 \text{ rad(Si)}$ 时阈值电压开始正偏,且转移特性曲线迅速变平,即亚阈值斜率降低;而对采用 CoSi_2 /多晶硅复合栅的样品,随着辐照剂量的增大阈值电压漂移量逐渐减小,但始终没有正偏,转移特性曲线几乎平行地向负方向漂移,其斜率变化不大。

同时我们还研究了 19 级 CMOS/SIMOX 环振的门延迟时间随电离辐照剂量的变化关系,对于采用 CoSi_2 /多晶硅复合栅的环振,经过 $5 \times 10^5 \text{ rad(Si)}$ 的射线辐照后其门延迟时间由原来的 237ps 变为 328ps,门延迟时间增加了 38%,振幅则基本不变;而相应的采用多晶硅栅环振的延迟时间则由 579ps 变为 947ps,增长幅度为 64%,可见采用 CoSi_2 /多晶硅复合栅对 CMOS/SIMOX 电路的速度特性也有非常明显的改善。

5 结论

通过大量辐照实验得到,采用 $\text{H}_2\text{-O}_2$ 合成氧化和 CoSi_2/N^+ 多晶硅复合栅结构可以有效地提高 CMOS/SIMOX 器件和电路的抗电离辐照特性。环形栅结构对小剂量辐照特性有一定的改进,但对剂量较大时的特性影响不大,因此在辐照电路特别是对短沟道薄膜全耗尽 CMOS/SIMOX 电路不宜采用环形栅结构。

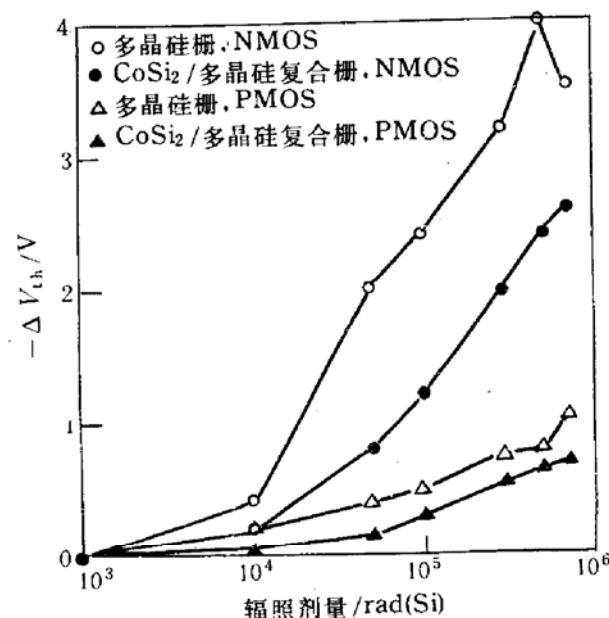


图 3 恶劣偏置时 Poly-Si 和 CoSi_2 /多晶硅复合栅 SIMOX MOSFET 阈值电压漂移与辐照剂量的关系

参 考 文 献

- [1] T. Ohno *et al.*, IEEE Circuits Devices Mag., 1987, Nov., 21.
- [2] Xing Zhang *et al.*, Int. Conf. Solid State Devices & Materials, Japan, 1994, 991.

Study on Radiation Hardening Technology for Short Channel CMOS/SOI Devices

Zhang Xing, Xi Xuemei and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 12 May 1995, revised manuscript received 9 October 1995

Abstract The radiation characteristics of thin-film short channel CMOS/SIMOX devices fabricated by several processes and structures have been reported. The influence of the gate oxidation formed by using H₂-O₂ and dry oxygen method CoSi₂/poly-Si and N⁺ poly Si gate, closed and ordinary gate are discussed. In summary, the CMOS/SOI radiation hardening process is obtained.

EEACC: 2550E, 2570D, 2560R, 1230B