第15卷 第5期　　半 导 体 学 报　　Vol. 15, No. 5
1994年5月　　CHINESE JOURNAL OF SEMICONDUCTORS　　May, 1994

$TiSi_2$ Polycide LDD MOS 工艺研究

徐秋霞　龚义元　张建欣　扈焕章　汪锁发　李卫宁
(中国科学院微电子中心研究部　北京　100029)

摘要　本文着重研究了 0.6μm $TiSi_2$ polycide LDD NMOS 器件工艺技术. 用 RIE 刻蚀获得了 0.6μm 严格各向异性的精细结构;分析研究表明 TEOS SiO_2 膜厚 t_f、多晶硅栅的剖面倾角 θ 是影响侧壁宽度 W 的重要因素,经优化后可控制 W 为 0.30～0.32μm;在 Al 与 Si之间引入一层 TiN/Ti 复合层作为 Al-Si 间的扩散势垒层,获得了良好的热稳定性. 上述工艺技术已成功地应用于 0.6μm $TiSi_2$ polycide LDD E/D MOS 31 级环形振荡器的研制,其平均级延迟为 310ps (0.29mW/级),工作电压 5 伏.

EEACC: 2560, 2550G, 2550B, 2550F.

1　前言

当器件沟道长度 <1μm 后,由于 MOSFET 漏端夹断区的强电场,将引起一系列的物理问题,例如: 穿通电压下降,热电子效应和短沟道效应增加等等,这些都造成器件性能的衰退,阻碍了器件尺寸的缩小,给 VLSI 的高密度、高速度、低功耗带来困难.

为克服上述限制,K. Saito[1] 在 1978 年就提出了一种自对准、轻掺杂漏区场效应晶体管,即 LDD 结构 MOSFET,结果克服了上述各种问题,使制造亚微米 VLSI/ULSI 成为可能.

本文采用 $TiSi_2$ polycide 结构—$TiSi_2/n^+$ 多晶硅复合结构来代替重掺杂多晶硅作为栅电极和互连材料,克服了尺寸按比例缩小后多晶硅电阻增大对 VLSI 电路性能的限制. 所以选用 $TiSi_2$ 是因为它在难熔金属硅化物中电阻率最低 (～20μΩcm) 并有较低的形成温度(～800℃), 因此 $TiSi_2$ polycide 复合结构被认为在 4MDRAM 以上集成中具有重要的应用前景. 文中对 $TiSi_2$ polycide LDD MOS 结构形成及微细加工工艺技术进行了阐述和分析,并给出了应用于器件及环形振荡器研制的结果.

2　器件工艺实验

本实验采用的 $TiSi_2$ polycide LDD NMOS 器件制造的主要工艺流程如下: (1) P 型 12Ωcm(100)Si 单晶 (2)局部等平面氧化工艺 (3) 栅氧化 200—230 Å (4) 沟道注入(两步注入) (5) LPCVDpoly—Si, 2500 Å (6) 扩磷 35Ω/□ (7) 溅射 $TiSi_2$ 2200 Å (8) RIE $TiSi_2/n^+$poly-Si (9) N^-注入(磷) 30keV, 3×10^{13} (10) TEOS SiO_2 沉积, 4000 Å (11) 侧墙成形(用 RIE) (12) N^+ 注入 (As^+), 80keV 5×10^{15} (13) 快速退火 (14)

1992 年 6 月 12 日收到初稿,1993 年 11 月 2 日收到修改稿

CVD SiO_2 + PSG (15) 光刻孔+RIE (16) 溅 Ti + TiN (17) 蒸 Al (18) 光刻 Al+RIE(Al/TiN + Ti) (19) 合金

由上可见,与通常的硅栅 NMOS 工艺比较,它具有几个鲜明的特色:

1) 以 $TiSi_2/n^+$ 多晶硅复合栅代替了通常的硅栅;2)轻掺杂 N^- 源漏区的引入; 3) TEOS SiO_2 侧壁的采用;4)势垒阻挡层 TiN/Ti 的应用.

图 1(a)为 $TiSi_2/n^+$ 多晶硅复合栅 LDD NMOSFET 剖面结构,并给出了主要的结构参数. 图 1(b) 为实际的 $TiSi_2/n^+$ 多晶硅复合栅 LDD NMOSFET 的 SEM剖面见图版 I.

3 分析与讨论

上述 $TiSi_2$ polycide 工艺的确立是经过优化后得到的,它有几个明显的工艺特色,下面分别来讨论分析这些问题:

3.1 0.6μm $TiSi_2/n^+$ 多晶硅 polycide 结构的成形

实践表明,刻蚀是 0.6μm $TiSi_2/n^+$ 多晶硅 polycide 结构成形的关键工艺. 实验中我们选用了 RIE 模式. 为使刻蚀气体中的 F/Cl 比可任意调节,刻蚀源选用 SF_6-Cl_2 混合气体.

3.1.1 腐蚀速率的控制

$TiSi_2$、n^+ 多晶硅、SiO_2 等的腐蚀速率随 SF_6-Cl_2 气体组份、RF 功率和工作气体压力而变化[2].

在恒定的功率和气压下, n^+ 多晶硅的蚀速随 SF_6-Cl_2 气体组份中 SF_6 的增加单调增加; $TiSi_2$ 的蚀速在纯 Cl_2 中较低, 随 SF_6-Cl_2 组份中 SF_6 的增加, 蚀速增加, 在 SF_6 达 75% 时,$TiSi_2$ 蚀速达最大,然后随 SF_6 进一步增加,其蚀速下降, 在纯 SF_6 中, $TiSi_2$ 仅受物理溅射腐蚀;SiO_2 的蚀速与 n^+多晶硅有同样的趋势,只是腐蚀速率要低得多.

在恒定的气体组份及压力下,$TiSi_2$、n^+ 多晶硅及 SiO_2 的腐蚀速率随 RF 功率的增加而增加;

在恒定的气体组份及 RF 功率下, $TiSi_2$ 和 n^+ 多晶硅的腐蚀速率随气体压力的增加而增加(在所研究的 (1.33～7.98)Pa 范围内),而 SiO_2 的蚀速有相反的趋势.

3.1.2 刻蚀剖面的控制

图 2 见图版 I 给出了 $TiSi_2$ polycide 结构的腐蚀剖面随 SF_6-Cl_2 混合气体组份变化的特性.这里 RF 功率、气体压力、和总的气体流量是恒定的,采用了一步 RIE 腐蚀及20%的过腐蚀. 当 SF_6 在混合气体 SF_6-Cl_2 中的比例为 15% 时,获得了 $TiSi_2$ polycide 结构的严格各向异性的腐蚀剖面,侧面连续光滑,如图 2(a) 所示;随 SF_6 在混合气体组份中含量增加到 50% 时,$TiSi_2$ polycide 结构的剖面变得倾斜,如图 2(b) 所示,这样的剖面是不适合 LDD MOSFET 的侧壁成形的;当 SF_6 增加到混合气体的 75% 时, 得到双层材料的台阶形腐蚀剖面,如图 2(c) 所示,显然这样的剖面结构也是不希望的, 侧向腐蚀造成的 $TiSi_2$ 层线宽明显损失将导致栅和互连电阻大大增大.

在上述的优化腐蚀条件下,获得了 0.6μm $TiSi_2/n^+$ 多晶硅复合结构的严格各向异性

的腐蚀剖面，如图 3 所示。这里过腐蚀为 20%，以保证双层结构的完全的腐蚀。线宽损失<0.05μm，n^+ 多晶硅对 $TiSi_2$ 的腐蚀选择比为 1.03，n^+ 多晶硅对 SiO_2 的腐蚀选择比为 18，满足了亚微米 VLSI 的需求。

各向异性的腐蚀机理是值得探讨的重要问题。分析表明腐蚀剖面对 SF_6-Cl_2 混合气体组份和负载的依赖关系是与侧墙表面复合模型和侧墙钝化模型一致的。我们认为侧墙的各向异性腐蚀有下述几个可能机理：(1)腐蚀过程中光刻胶被侵蚀形成聚合物沉积，在侧墙上；(2) 反应生成的不挥发物，如 TiF_4，沉积在侧墙上，保护侧墙免受腐蚀。我们采用 SIMS 对样品表层进行分析，检测到了 TiF_4 的存在，证实了这一点。(3) 侧墙上化学吸附的氯与氟进行复合反应形成 F_xCl[3,4]，这样一方面减少了化学吸附的 Cl 原子在侧墙上的滞留时间，同时反应形成的 F_xCl 沉积在侧墙上，阻止了侧墙与自由基间的反应。

而在离子轰击(如 Cl^+、Cl_2^+、SF_x^+ 等)的正表面上，轰击提高了氯与钛、氟与硅的反应，同时清除了化学吸附的 F_xCl 层和钝化层(如 TiF_4 和其他的碳化物)，使反应不断进行，结果获得各向异性腐蚀。

3.2 LDD 结构侧墙的控制

在 LDD 结构的 NMOSFET 的研制中，采用了 TEOS 膜沉积和 RIE 刻蚀相结合的侧墙成形 (Sidewall spacer) 技术。从上述的工艺流程可知，此侧墙用作 N^+ 重掺杂区的离子注入掩蔽，从而获得 N^--N^+ 双掺杂漏结构，故明显改善了器件穿通特性、热载流子效应和短沟道效应等。

与常规 MOS 器件比较，LDD 器件的可控性和重复性取决于：1) N^- 区的掺杂浓度；2) N^- 区的结深；3) N^- 区的长度 L_{n^-}；4) N^+ 源、漏区结深 X_{jn^+}。其中 1)、2)、4) 都由离子注入和快速热退火条件决定，一般较为重复、稳定，所以关键是如何控制 N^- 区的长度 L_{n^-}。L_{n^-} 是由侧墙成形宽度W和 N^-、N^+ 区横向扩散的长度 L'_{n^-} 和 L'_{n^+} 决定，即

$$L_{n^-} = L'_{n^-} + W - L'_{n^+}.$$

故关键是如何控制侧墙成形后宽度W。

根据 Sang H. Dhong[5]的分析模型，侧墙刻蚀成形后的宽度W，与沉积的 TEOS 膜厚 t_f、栅高度 t 和多晶硅剖面倾角 θ 及侧墙刻蚀成形的过腐蚀程度 δ 关系密切，在我们的工艺条件下，$0 \leqslant \delta \leqslant \frac{t}{t_f} + \cos\theta - 1$，其关系式[5]为 $W = t_f\left(\tan\frac{\theta}{2} - \delta\cot\theta\right)$。图 4 见图版 II 给出了具有不同多晶硅栅剖面倾角的侧墙成形后样品的 TEM 照片，其中表面覆盖的 Si_3N_4 膜是制作 TEM 样品解理的需要，以保护样品的完整性。以下类同。

图 4 表明，多晶硅栅剖面倾角从 88° 变到 50° 时，成形后的侧墙宽W从 364nm 减少到 102nm，几乎减少了 2/3，这一结果与计算值符合很好。这表明多晶硅栅的剖面倾角 θ 对 TEOS 侧墙成形宽度W是非常重要的参量。另一重要参量是 TEOS 膜厚 t_f，理论分析和 TEM 分析均表明它对侧墙成形的形状和宽度的影响也很明显。图 5 为不同 t_f 的侧墙成形后样品的 TEM 照片。由图可见，随 TEOS 膜厚 t_f 从 270nm 增到 400nm 时，成形的侧墙宽W从 250nm 增加到 364nm，这一结果与计算值同样符合良好。从图 5 还可看出随 TEOS SiO_2 膜厚 t_f 增加，侧墙变得更加倾斜，这是因为膜越厚，其台阶复盖越

趋平缓,由于各向异性的 RIE 刻蚀，侧墙的形状将是 TEOS SiO_2 膜在多晶硅栅台阶上覆盖台阶形状的复制.

另外 TEOS SiO_2 膜的均匀性、共形性及 RIE 刻蚀 TEOS SiO_2 膜时的不均匀性及过腐蚀程度等对侧墙成形的宽度、形状都有一定的影响. 侧墙成形需要的过腐蚀是 TEOS 膜的不均匀性加上 RIE 的不均匀性之和. 在通常情况下，TEOS SiO_2 膜的不均匀性约为 ±5%,RIE 腐蚀的不均匀性也为 ±5%,而需要的 RIE 过腐蚀 δ 约为 15%.

实验中遵循上述 3.1 中的各向异性腐蚀规律,获得了 $TiSi_2$ polycide 栅的腐蚀剖面倾角为 88° 左右,控制 TEOS SiO_2 膜厚为 350nm，并对 TEOS SiO_2 膜在 CHF_3 中进行严格各向异性刻蚀，控制其过腐蚀的程度 δ 为 15%，得到了十分满意的和重复的 W 控制值 0.30—0.32μm,从而保证了 LDD MOSFET 性能的可控性和重复性.

3.3 浅结欧姆接触的热稳定性

在浅结欧姆接触中,Al-Si 互扩散产生的结漏电、穿通等是影响器件热稳定性、甚至造成器件失效的一个严重问题,尤其对 0.2μm 以下的浅结更为突出. 为此采用在 Al 层和 Si 层间加一扩散势垒层的方法,通常选用 TiW、TiN 或 ZrN 等,本文选用了具有良好热稳定性的材料 TiN,欧姆接触系统的组成为 Al(1%Si)/TiN/Ti/Si.

TiN 膜制备采用射频磁控溅射沉积法,溅射速率为 45Å/分,用四探针测得的电阻率为 89.6μΩcm,结构组份经 AES 分析其 Ti/N 比为 1.

实验中对含不同厚度 TiN 膜的器件，选用不同的温度进行合金，然后测量 PN 结特性,考察其热稳定性,并用 AES 分析观察 Al-Si 的互扩散抑制情况. 研究分析表明，TiN 膜的厚度对阻挡 Al-Si 间的互扩散是至关重要的因素,阻挡作用随 TiN 膜厚度的增加而增强. 当 TiN 膜厚为 150Å 时,器件能承受 400℃,30′ 的合金,即 PN 结持性良好;250Å 的 TiN 时,能承受 460℃,30′ 的合金;而 800Å 的 TiN 就能承受 550℃，30′ 的合金,器件特性依然良好,其样品的 AES 分析表明,此时 Al 和 Si 已渗透到 TiN 层中,但由于其阻挡作用,Al 仍没有穿透到 Si 中去，从而抑制了浅结漏电和穿通等问题.

实验还表明，采用 TiN/Ti 复合层比单一的 TiN 层接触电阻小，这是由于 Ti 对 Si 表面的氧(自然氧化物)的萃取作用所致.

4 实验结果

上述工艺技术已成功地应用于 0.6μm $TiSi_2$ polycide LDD NMOS 器件及其环形振荡器电路的研制,特性优良.

图 6 给出了 0.6μm $TiSi_2$ polycide LDD NMOSFET 的 I_D-V_D 输出特性,特性很好. 图 7 给出了 $TiSi_2$ polycide LDD NMOSFET 的穿通电压 BV_{DS} 和归一化阈值电压随沟道长度 L 的变化关系,并与常规器件进行了比较. 可以看出 $TiSi_2$ polycide LDD NMOSFET 的穿通电压 BV_{DS} 和归一化阈值电压随沟道长度 L 的变化非常缓慢，而常规结构的变化非常剧烈,尤其在 $L<1\mu m$ 以后. 这说明 LDD 器件有效地抑制了短沟道效应. 表 1 列出了 $TiSi_2$ polycide LDD NMOSFET 特性参数.

用上述工艺研制成的 0.6μm $TiSi_2$ polycide LDD E/D MOS 31 级环形振荡器平均

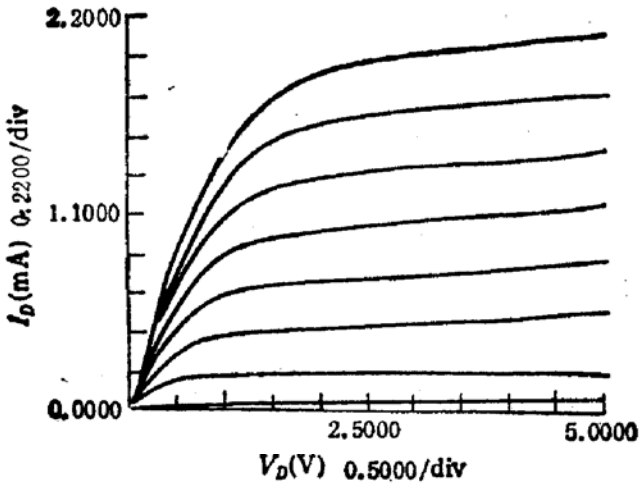

图 6　0.6μm $TiSi_2$ polycide LDD NMOSFET 的 I_D-V_D 输出特性

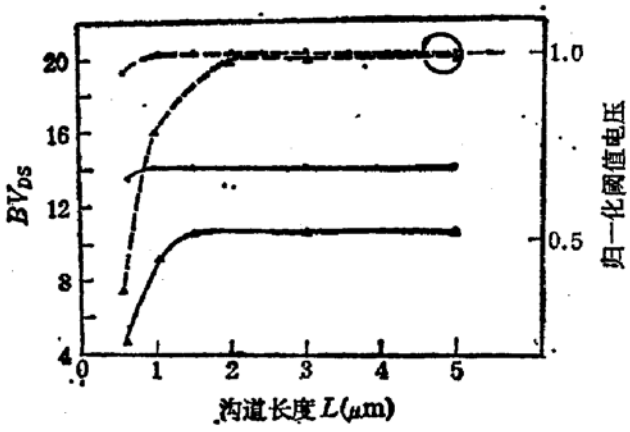

图 7　$TiSi_2$ polycide LDD NMOSFET 穿通电压 BV_{DS} 和归一化阈值电压与沟道长度关系
●●●● $TiSi_2$ polycide LDD 结构
▲▲▲▲ 常规结构

表 1　器件特性参数表

结　构	polycide LDD 结构	
沟道长度 L(μm)	0.6	1.0
I-V 输出特性	好	好
阈值电压 $V_T(V)$	0.6±0.1	0.6±0.1
$\frac{\Delta V_T}{\Delta V_{DS}}$	<0.016	<0.012
短沟道效应	无	无
双结击穿电压(V)	12—14	12—14
结漏电 (A)	$<10^{-10}$	$<10^{-10}$
跨导 ($W=10$μm)	>400	>350
亚阈值斜率 ($V_{DS}=5V$)	90mV/DEC	88mV/DEC
衬底电流 ($V_{DS}=5V$)	比常规结构小二个数量级	

级延迟为 310ps，功耗 0.29mW/级，工作电压为 5 伏。

5　结论

本文通过对 0.6μm $TiSi_2$ polycide LDD NMOS 器件制造中的关键技术的研究及其器件研制应用，得到如下结论：

1. 采用 SF_6-Cl_2 混合气体作为 RIE 刻蚀中的腐蚀源，并控制 SF_6 在混合气体组份中的比例为 15%，是获得 $TiSi_2$ polycide 结构剖面严格各向异性的关键，腐蚀的可能机理可用侧墙表面复合模型和侧墙钝化模型来解释；

2. LDD 侧墙成形采用了 TEOS SiO_2 膜沉积和 RIE 刻蚀相结合的技术，$TiSi_2/n^+$

多晶硅复合栅的剖面倾角 θ 和 TEOS SiO_2 膜厚度 t_f 是控制侧墙宽度的重要参量。实验中获得 θ 为 88°，t_f 为 350nm，可控制侧墙宽 W 为 0.30—0.32μm。

3. 采用 TiN/Ti 复合层为 Al 与 Si 之间的扩散势垒层，有效地抑制了浅结欧姆接触制备中 Al-Si 间互扩散产生的漏电甚至穿通的现象，获得了良好的热稳定性；

4. 上述关键工艺技术已成功地应用于 0.6μm $TiSi_2$ polycide LDD NMOS 器件制造，器件性能优良；研制成的 0.6μm $TiSi_2$ polycide LDD E/D MOS 31 级环形振荡器的平均级延迟为 310 ps(0.29mW/级)。

致谢 作者感谢中国科学院微电子中心一室在光刻、腐蚀、薄膜、高温等工艺及测试方面所做的大量工作，感谢工艺室在 TEOS 膜沉积及 RIE 方面的协助，感谢朱曦、李兵在 SEM 方面的帮助及北京电镜中心黄凤莲、都彦安在 TEM 方面的帮助。

参 考 文 献

[1] K. Saito, T. Morase, S. Sato and U. Harada, Denshi Tsushin Rengo Taikai (in Japanes), 1978, 220.
[2] Xu Qiu-xia *et al.*, J. Vac. Sci. Technol., 1990, **B8**:1058.
[3] G. Schatz and M. Kaufman, J. Phys. Chem., 1972, **76**:3586.
[4] C. J. Mogab and H. J. Levinstein, J. Vac. Sci. Technol., 1980, **17**:721.
[5] Sang H. Dhong and Edward J. petrillo, J. Electrochem. Soc., 1986, **133**:389.

Investigation on Technology for $TiSi_2$ Polycide LDD MOS

Xu Qiuxia, Gong Yiyuan, Zhang Jianxin Hu Huanzhang,
Wang Suofa and Li Weining
(Microelectronics of Research and Development Center, The Chinese Academy of Seiences, Beijing 100029)

Abstract Technologies of 0.6μm $TiSi_2$ polycide LDD NMOS devices are studied. The 0.6μm strictly anisotropic fine structure was obtained by RIE etching. Analytical results show, that TEOS film thichness t_f and profile inclination θ are important factors to affect the side wall width, the optimum W is 0.30—0.32μm A TiN/Ti compound layer was introduced between Al and Si as the diffusion barrier. A good thermal stability is obtained. The above-mentioned technologies have been successfully applied to the development of 0.6μm $TiSi_2$ polycide LDD E/D MOS 31-stage ring oscillators, which possess an average stage delay of 310ps (0.29mW/stage) operated at 5V.

EEACC: 2560, 2550G, 2550B, 2550F

Received 12 June 1992, revised manuscript received 2 Norembor 1993