

# LDMOS 晶体管新型器件结构的耐压分析

唐本奇<sup>1,2</sup> 罗晋生<sup>1</sup> 耿 斌<sup>2</sup> 李国政<sup>2</sup>

(1 西安交通大学 西安 710049) (2 西北核技术研究所 西安 710024)

**摘要** 本文提出了一种新型的内置 FR/JTE 横向 DMOS 结构, 并对其进行了耐压分析, 结果表明, 该结构具有与 RESURF 器件相媲美的击穿电压, 并且工艺简单, 受工艺参数波动的影响较小, 相对于内场限环结构, 其耐压高且导通电阻低, 因而不失为一种较为实用的提高横向功率器件耐压的新途径

EEACC: 2560B, 2560R

## 1 引言

LDMOST 是目前广泛应用于高压集成电路(HV IC)中高频高压和低电流领域的横向短沟道多子器件, 其耐压能力为该器件性能研究的一个重要方面。为在外延层上制作出具有一定电流能力的高耐压 LDMOST, 先后提出了诸多的改进器件结构, 其中, 内场限环结构因工艺简单, 提高耐压效果好, 且避免了 RESURF 技术对工艺参数的敏感性, 而成为一种具有发展潜力的技术。

内场限环结构 LDMOS 晶体管的击穿电压, 主要由栅场板末端和场限环曲率部分的两处峰值电场决定。从模拟结果可以看出<sup>[1]</sup>, 与 RESURF 器件相比, 内场限环结构虽然避免了对工艺参数的依赖性, 但其耐压保护能力仍嫌不足。为此, Nezar 指出<sup>[2]</sup>, 可采用双重或多重内场限环结构的方法, 来进一步提高器件的耐压。对于横向器件, 这势必会引起器件的漂移区长度的加大, 使其所占用的芯片面积成比例增长, 从而导致器件的比导通电阻值大幅度上升, 显然, 该方法存在着巨大的缺陷。

基于以上认识, 本文提出了一种新型的横向高压器件结构, 并通过数值模拟的方法, 对其反向击穿电压和正向  $I-V$  特性和器件的导通电阻开展了模拟分析和参数优化。

## 2 新型横向高压器件提出的基本思路

本文提出的高压 LDMOST 新型器件结构如图 1 所示, 与内场限环结构 LDMOST 相比, 仅在内场限环结的边缘处, 通过离子注入引入了一定数量的电荷, 并经过与 P 沟道结同时深推, 使其超过环结深度, 形成了结终端扩展保护区, 由此改变了环结体内及表面的电场

分布,降低了内场限环结的表面峰值电场。通过内场限环耗尽区电场的作用,来平缓栅场板末端峰值的电场,又利用结终端扩展技术对内场限环的曲率结实行耐压保护,从而使器件的击穿电压有了较大幅度的提高。

根据 Temple 和 Tantraporn 等人对不同终端结构进行的耐压保护性能的实验比较结果<sup>[3]</sup>,可以知道,对于同种材料同样掺杂水平的器件,要达到同样的耐压,结终端扩展区长度仅为场限环的 1/7。由此可以推测,与多重内场限环结构 LDMOST 比较,新型横向高压器件结构在相同耐压水平下,将可以大大降低漂移区长度,节省芯片面积,从而保持相对低的导通电阻。

相对而言,JTE 技术工艺简单,设计容易,工艺难度和灵敏度低,因此,新型横向高压器件结构将不失为一种简便易行较有前途的横向器件高压实现新途径。

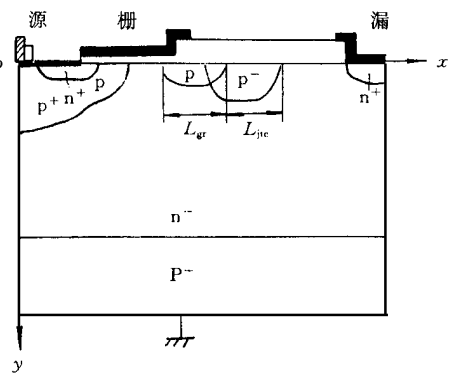


图 1 新型横向高压器件结构示意图

### 3 新型横向高压器件的耐压分析与参数优化

在文献[1]中,分析并讨论了内场限环结构 LDMOST 的耐压问题,本节将在此基础上,根据临界电场方法并借助于 PISCES 程序,进一步开展新型高压器件结构中结终端扩展区部分的关键性参数(注入剂量  $Q_{jtc}$  及扩展区长度  $L_{jtc}$ )的优化工作。

该器件的基本结构参数设计如下:  $P^-$  衬底掺杂浓度  $1 \times 10^{15} \text{cm}^{-3}$ ,  $N^-$  外延层掺杂浓度  $1 \times 10^{15} \text{cm}^{-3}$ ,  $N^-$  外延层厚度  $20 \mu\text{m}$ ,  $N^+$  源区或  $N^+$  漏区的表面掺杂浓度  $1 \times 10^{20} \text{cm}^{-3}$ ,  $N^+$  源区或  $N^+$  漏区的结深  $1.5 \mu\text{m}$ ,  $P^+$  阱表面掺杂浓度  $1 \times 10^{19} \text{cm}^{-3}$ ,  $P^+$  阱结深  $7 \mu\text{m}$ ,  $P$  沟道区表面掺杂浓度  $3 \times 10^{17} \text{cm}^{-3}$ ,  $P$  沟道区结深  $4 \mu\text{m}$ , 栅氧化层厚度  $0.1 \mu\text{m}$ , 栅氧化层长度  $7 \mu\text{m}$ , 漂移区上场氧化层厚度  $0.7 \mu\text{m}$ , 内场限环表面掺杂浓度  $1 \times 10^{16} \text{cm}^{-3}$ , 内场限环结深  $2 \mu\text{m}$ , 环-沟道间距  $7 \mu\text{m}$ , 结终端扩展区结深  $4 \mu\text{m}$ 。

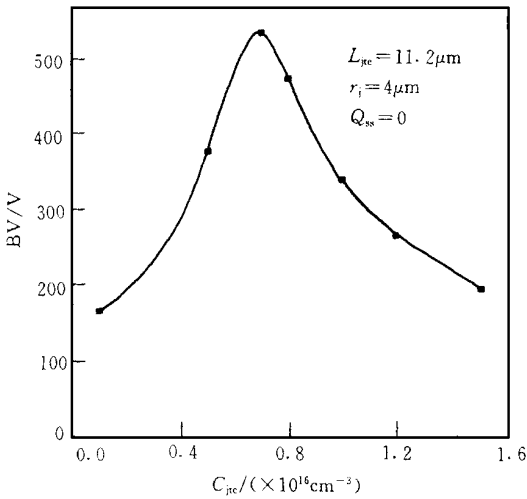
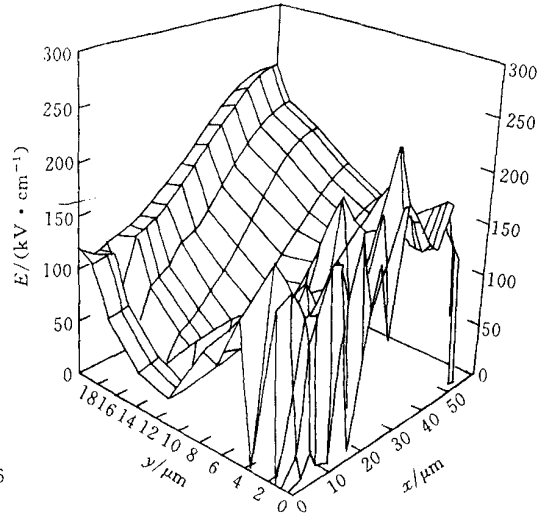
#### 3.1 JTE 区表面掺杂浓度 $C_{jtc}$ 的优化

在 JTE 区结深  $r_j$  和扩展区长度  $L_{jtc}$  一定的情况下,结终端扩展区的注入剂量  $Q_{jtc}$  与其表面掺杂浓度  $C_{jtc}$  之间存在着某种对应关系。为了计算的方便,下面对 JTE 区的表面掺杂浓度  $C_{jtc}$  进行数值寻优,通过模拟计算得到的器件击穿电压  $BV$  随  $C_{jtc}$  的变化曲线如图 2 所示,由图可以看出,在  $C_{jtc} = 7 \times 10^{15} \text{cm}^{-3}$  的条件下,器件的击穿电压达到了最高值  $540\text{V}$ ,即在取上述器件结构参数条件下,JTE 区表面掺杂浓度的优化值为  $C_{jtc} = 7 \times 10^{15} \text{cm}^{-3}$ 。

在图 3 中,给出了在  $C_{jtc}$  优化条件下,漂移区电场的分布情况,可以看出,表面处的峰值电场普遍得到了降低,并且使环结处、JTE 结处、漏极场板末端、栅场板末端的峰值电场趋于平均,从而大大提高了器件的耐压容量,比较各处的峰值电场并根据临界电场方法可知,此时器件的击穿发生在体内。

#### 3.2 器件耐压随结终端扩展区长度 $L_{jtc}$ 的变化

在上节优化结果的基础上,本节对结终端扩展区长度  $L_{jtc}$  与器件击穿电压之间的关系开展模拟计算。由数值模拟结果<sup>[1]</sup>可以看出,在其它参数一定的条件下,结终端扩展区长度  $L_{jtc}$

图2 器件击穿电压随  $C_{jtc}$  的变化曲线图3 在  $C_{jtc}$  优化条件下器件电场和电势的分布情况

也存在着一个最优值 究其原因, 主要是因为 JTE 区的注入剂量  $Q_{jtc}$  是其表面掺杂浓度  $C_{jtc}$ 、长度  $L_{jtc}$  和结深  $r_j$  的函数, 在  $C_{jtc}$  和  $r_j$  一定的条件下,  $L_{jtc}$  的改变将会引起  $Q_{jtc}$  的变化, 从而导致了器件击穿电压的改变 因此, 该器件的优化参数需要同时给出 JTE 区的表面掺杂浓度  $C_{jtc}$  及其对应的扩展区长度  $L_{jtc}$  的值

### 3.3 表面电荷效应对器件耐压的影响

取栅氧化层的界面电荷密度  $Q_{gs} = 7 \times 10^{10} \text{ cm}^{-2}$ , 而场氧化层的表面电荷密度  $Q_{ss}$  则从 0 变化到  $5 \times 10^{11} \text{ cm}^{-2}$ , 通过 PISCES 计算了器件耐压随场氧化层表面电荷密度  $Q_{ss}$  的变化, 由模拟结果<sup>[1]</sup>可以看出, 当  $Q_{ss} = 1 \times 10^{11} \text{ cm}^{-2}$  时, 器件耐压保持着相对高的水平, 即此时表面电荷效应对器件击穿电压的影响较小, 而一旦  $Q_{ss}$  超出该范围后, 器件的击穿电压迅速降低, 当  $Q_{ss} = 3 \times 10^{11} \text{ cm}^{-2}$  时, 器件的击穿电压下降了约 40%. 由此可见, 要使器件达到较高的耐压水平, 除了需要对有关参数进行优化外, 还必须严格控制氧化层中的表面电荷密度, 以削弱表面电荷效应对器件耐压性能的不良影响

### 3.4 双内场限环结构 LDMOST 的击穿电压分析

本节将在文献[1]模拟计算结果的基础上, 作为比较, 对双重内场限环结构 LDMOS 晶体管的击穿电压开展了讨论, 其内场限环参数设计如下: 内环或外环的表面掺杂浓度  $C_{fr1} = C_{fr2} = 1 \times 10^{16} \text{ cm}^{-3}$ , 内环或外环结深  $r_{j1} = 2 \mu\text{m}$ , 内环或外环宽度  $L_{fr1} = L_{fr2} = 11.2 \mu\text{m}$ .

通过 PISCES 计算得到该优化双环结构的击穿电压只达到 400V, 明显低于上述新型结构的器件耐压

## 4 新型器件结构与双重内场限环结构导通电阻的比较

采用 PISCES 程序, 分别模拟了 LDMOST 新型器件结构和双重内场限环结构在参数优化的条件下且  $V_{GS} = 15\text{V}$  时线性区的导通电阻情况, 取  $V_{GS} = 15\text{V}$ ,  $V_{DS} = 2\text{V}$ , 可计算得到新型

器件结构的比导通电阻  $r_{on}$  ( $r_{on} = R_{on} \cdot A$ ,  $R_{on}$  为导通电阻,  $A$  为器件导通时电流流过的截面积) 为  $110 \text{m} \Omega \cdot \text{cm}^2$ , 而双重内场限环结构的比导通电阻  $r_{on}$  则达到了  $157 \text{m} \Omega \cdot \text{cm}^2$ .

## 5 结论

在前面诸节中, 通过数值模拟的方法, 分析并讨论了新型横向高压器件结构的反向击穿电压和正向导通电阻. 从计算结果可以看出, 在参数优化的条件下, 新型器件结构的表面峰值电场普遍削弱, 而衬底/外延结处的电场大幅度提高, 器件的临界击穿点由漂移区表面转移到了体内漏极场板的下方, 器件的击穿电压已达到了 RESURF 器件的耐压水平.

为了比较, 对相同单元尺寸的双重内场限环结构器件的正反向特性进行了对应的模拟分析, 计算结果表明, 新型器件结构不仅具有较为理想的高击穿电压, 而且其导通电阻还要低于对应的内场限环结构的值, 即在某种程度上较好地实现了器件耐压与导通电阻间的折中.

基于以上分析, 又兼顾新型器件结构工艺相对简单, 避免了 RESURF 技术对工艺参数波动的敏感性, 因此可以认为是一种较有发展潜力的横向高压器件新技术.

## 参 考 文 献

- [ 1 ] 唐本奇, 横向高压器件及其结终端技术研究, 西安交通大学博士论文, 1997.
- [ 2 ] A. Nezar, C. A. T. Salama, IEEE Trans Electron Devices, 1986, **33**(10): 1601~ 1608
- [ 3 ] W. Tantraporn, V. A. K. Temple, IEEE Trans Electron Devices, 1987, **34**(10): 2200~ 2210
- [ 4 ] K. P. Brieger, W. Gerlach, J. Pelka, Solid-State Electronics, 1983, **26**(8): 739~ 745
- [ 5 ] T. S. Ma, W. B. Grabowski, Solid-State Electronics, 1992, **35**(2): 201~ 205
- [ 6 ] S. Yabuta, T. Yonezawa, Solid-State Electronics, 1982, **25**(2): 423~ 427.

## Optimal Analysis of New Structure of Lateral High-Voltage Device

Tang Benqi<sup>1,2</sup>, Luo Jinsheng<sup>1</sup>

(1 X i'an J iaotong University, X i'an 710049)

Geng Bin<sup>2</sup>, Li Guozheng<sup>2</sup>

(2 N orthwest Institute of Nuclear Technology, X i'an 710024)

Received 26 March 1998, revised manuscript received 10 June 1998

**Abstract** A new structure of LDMOST with internal FR/JTE termination is set forth, and the parameters of the FR/JTE are optimized. It is shown that under optimal condition, the breakdown voltage of the new device is higher than that of the device using two internal FLRs, and is approach to that of RESURF devices, and the on-resistance of the new device is smaller than that of the device using two internal FLRs.

EEACC: 2560B, 2560R