

# 低压应用中的 SOI 栅控 混合管的设计考虑\*

黄 如 杨 兵 王阳元

(北京大学微电子所 北京 100871)

**摘要** 本文采用数值模拟方法,在考虑短沟效应、开态电流、关态电流和开路电压增益等因素的基础上,首次给出 GCHT 低压工作下(0.8V)的设计容区图,清晰地反映了各效应对参数要求的矛盾折中,为器件设计提供了理论依据,也为合理开发深亚微米工艺指明了方向。本文采用的数据处理方法同时可用于针对成熟工艺线的实际器件与电路设计。

EEACC: 6250Z, 2520M

## 1 引言

随着移动通信技术、航天电子技术、便携式微机等的广泛应用,有关低压低功耗电路的研究日益活跃。降低电源电压是降低功耗的有效途径,但为了保证一定的速度性能,电源电压的降低往往伴随着阈值的电压的降低,从而导致较大的泄漏电流。提高速度与降低功耗之间存在着固有的矛盾。全耗尽 SOI MOSFET 虽然具有较高的跨导,较陡直的亚阈斜率,但与部分耗尽 SOI MOSFET 相同,上述矛盾依然存在,而且均会出现 SOI 器件特有的浮体效应。近年来提出的栅控混合管(GCHT)是一种结构与 MOSFET 类似、源体结正偏的器件<sup>[1~7]</sup>,GCHT 可以实现动态阈值,在器件开启前阈值较高,保证很低的零栅压电流;而在器件开启后阈值随栅压(基极电压)的增大而降低,保证较高的导通电流。GCHT 以其独特的工作方式,同时具有高电流驱动能力及低泄漏电流,有望改善速度与功耗之间的矛盾,是低压低功耗电路的一种良好选择<sup>[8]</sup>。

目前已开展了不少有关 GCHT 的研究,但主要针对某些具体的实验特生。有关器件设计还缺乏理论依据,尤其对于如何折中不同效应对参数要求的矛盾尚无定量分析,器件设计的经验性较大。本文针对 GCHT 最具优势的低压工作区,采用数值模拟方法,全面分析各效应对器件参数选取的影响,综合起来,首次得到 GCHT 的设计容区,可清晰地反映各效应对参数要求的矛盾折中,为合理开发深亚微米工艺指明方向。采用的数据处理方法同时可用于

\* 高等学校博士点科研基金资助

黄 如 女,1969 年出生,博士毕业,主要从事 SOI 新器件及电路等方面的研究

杨 兵 男,1968 年出生,博士生,主要从事 SOI 新器件的直流及交流特性等方面的研究

王阳元 男,1935 年出生,中科院院士,主要从事 VLSI 新工艺、新器件和新结构的研究

1998-04-30 收到,1998-07-31 定稿

针对成熟工艺线的实际器件与电路设计, 以提高设计成品率

## 2 栅控混合管的设计考虑

SO IGCHT 的结构如图 1 所示 可见 GCHT 结构上的主要特点在于栅与体在器件两侧相连, 源体结正偏 图中的 I、II、III 三个区分别相当于 MOSFET 的源、体、漏及双极器件的发射区、基区、集电区 为分析方便, 分别将源极  $s$ 、漏极  $d$ 、栅极  $g$  对应于发射极  $e$ 、集电极  $c$ 、基极  $b$ , 各极电压也分别对应; 基区宽度  $w_b$ 、基区长度  $z_b$  与沟道长度  $L$ 、沟道宽度  $W$  分别对应 由于混合管的特殊工作方式, 在不作特殊说明时, 上述各对应量是等价的

有关 SO I 栅控混合管的设计考虑主要包括以下因素: 短沟效应、开态电流、关态电流和开路电压增益等 其中速度性能和功耗分别通过开态电流和关态电流间接反映, 开路电压增益是器件在模拟应用中需考虑的一个关键的电路参数 实际应用中, 与时间相关的介质击穿 (TD-DB) 对栅氧厚度的限制一般小于泄漏电流的影响, 以后者作为参考, TDDB 暂不作考虑 由于低压工作, 热电子效应及击穿限制暂不作考虑

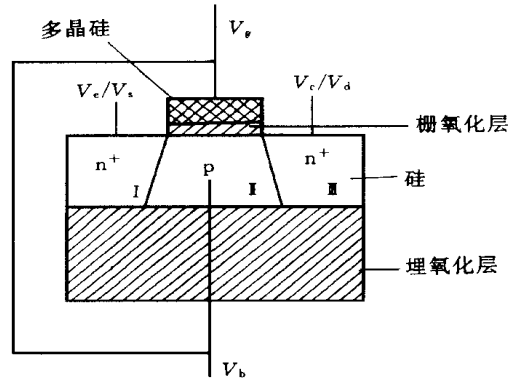


图 1 SO IGCHT 的结构示意图

考虑的主要器件参数包括沟道长度  $L$ 、栅氧厚度  $t_{ox}$ 、沟道掺杂浓度  $N_b$ 、硅膜厚度  $t_{Si}$  及埋氧化层厚度  $t_{box}$  在不考虑双栅器件的情况下,  $t_{box}$  的影响暂不作考虑, 常用 SMOX 片的埋氧化层厚度为 400nm。沟道掺杂浓度将影响器件的阈值电压, 掺杂浓度越高, 器件导通越迟 在设计 GCHT 时, 一般固定硅膜厚度, 对不同栅氧厚度, 调节沟道掺杂浓度, 以达到相同的长沟阈值电压值; 并在某一硅膜厚度下讨论沟道长度  $L$  与栅氧厚度  $t_{ox}$  对器件性能的影响

图 2 描述了 SO IMOSFET 及 GCHT 在不同沟道长度下阈值电压随硅膜厚度变化的情况 可见对于不同的沟道长度, GCHT 均具有较小的硅膜厚度敏感度; 而 MOSFET 进入全耗尽区域后, 其阈值电压随硅膜厚度改变表现出较大的变化 这是因为在全耗尽 SO IMOSFET 中, 对于不同的硅膜厚度, 由于体悬浮, 背界面势变化大于正界面势, 引起载流子浓度分布变化<sup>[9,10]</sup>, 而背界面电流又恰恰是 MOSFET 亚阈电流的主要部分, 因此造成器件性能较大的变化 对于全耗尽 GCHT, 由于体一般接正基极电压, 在正常工作情况下, 背界面势较小, 背界面势垒较大, 背界面一般不输运电流, 因此器件端电流, 尤其亚阈电流主要是正面电流 GCHT 的正表面势主要受栅极与基极作用, 体的引出使正背界面耦合减小, 硅膜厚度的变化对正表面势的影响较小, 引起的阈值电压变化也较小 图 2 同时表明 GCHT 中沟道长度减小引起的阈值电压变化受硅膜厚度的影响较小 由上述分析可见, 硅膜厚度对器件的阈值电压、短沟特性、关态电流等的影响属二级效应, 薄膜器件的优势并不明显, 因此选用厚膜器件, 在正常沟道掺杂浓度与栅氧厚度组合情况下取为 166nm, 以减小小源/漏串联电阻和基极电阻, 并易于实现体接触

因此, 设计考虑中, 主要定量研究沟道长度  $L$  与栅氧厚度  $t_{ox}$  对器件性能的影响, 给出设计容区图

因此, 设计考虑中, 主要定量研究沟道长度  $L$  与栅氧厚度  $t_{ox}$  对器件性能的影响, 给出设计容区图

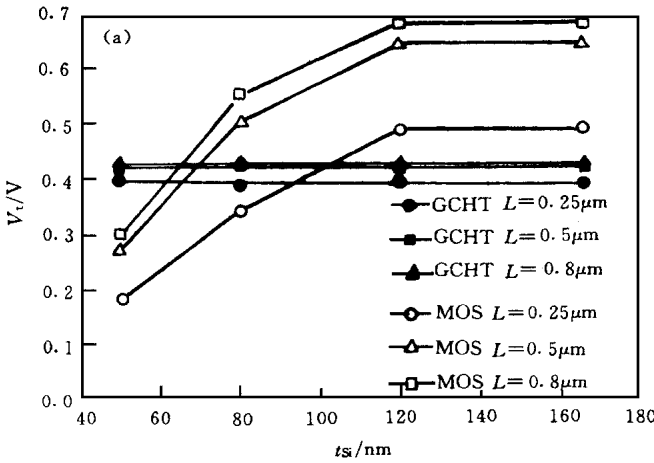


图 2 SO IMOSFET 及 GCHT 中阈值电压与硅膜厚度的关系  
 掺杂浓度  $N_b = 1.3 \times 10^{17} \text{cm}^{-3}$ , 栅氧厚度  $t_{ox} = 15 \text{nm}$ .

为考察器件低压工作下的性能, 电源电压  $V_{dd}$  选为  $0.8 \text{V}$ , 设计长沟器件阈值电压为  $0.2 \text{V}$ , 以同时保证较大的电流驱动能力, 据此选取一组栅氧厚度/沟道掺杂浓度为  $10 \text{nm} / 7.3 \times 10^{16} \text{cm}^{-3}$ ,  $8 \text{nm} / 1.05 \times 10^{17} \text{cm}^{-3}$ ,  $6.5 \text{nm} / 1.51 \times 10^{17} \text{cm}^{-3}$ ,  $4 \text{nm} / 3.42 \times 10^{17} \text{cm}^{-3}$  及  $3 \text{nm} / 5.5 \times 10^{17} \text{cm}^{-3}$ .

根据低压工作对器件的一般要求, 提出如下设计指标: 阈值电压漂移量  $\Delta V_t \leq 0.03 \text{V}$ ; 开态电流  $I_{on} = 0.1 \text{mA} / \mu\text{m}$ ; 关态电流  $I_{off} = 200 \text{pA} / \mu\text{m}$ ; 开路电压增益  $\geq 40$ .

根据上述指标要求, 采用双载

流子能量输运模型 (PISCES 模拟), 在分析不同器件主要性能的基础上, 定量预测出设计容区, 以指导器件设计与工艺设计. 数值模拟中源漏区及沟道区均选用均匀掺杂分布, 这对采用 SMOX 材料制备的 SOI 器件是合适的. 源漏区掺杂浓度选为  $2 \times 10^{20} \text{cm}^{-3}$ . 器件阈值电压定义为  $0.05 \text{V}$  漏源电压下漏端电流为  $10^{-7} (W/L) \text{A}$  所对应的栅电压 (基极电压).

图 3 反映了不同栅氧厚度的器件在不同沟道长度情况下对阈值电压的控制能力, 阈值电压漂移量  $\Delta V_t = V_t(L = 1.5 \mu\text{m}) - V_t(L)$ . 图中箭头所指为根据性能要求相应图的设计容区. 可见, 在短沟情况下必须采用薄栅氧以保证器件性能, 栅氧越薄, 符合  $\Delta V_t$  要求的沟道长度可越短. 例如, 对于栅氧厚度为  $4 \text{nm}$  的器件, 依据阈值电压漂移量的指标, 允许的最短沟道长度为  $0.266 \mu\text{m}$ . 而对于栅氧厚度为  $8 \text{nm}$  的器件, 允许的最短沟道长度为  $0.36 \mu\text{m}$ . 根据以前分析, 与传统 MOSFET 相比, GCHT 具有较好的短沟特性<sup>[11]</sup>. 可以推出, 在同样的  $\Delta V_t$  要求下, 相同栅氧厚度器件所允许的沟长可以较短, 受  $\Delta V_t$  限制的设计范围增大.

图 4(a) (b) 描述了不同沟长器件的开态电流与关态电流特性, 其中开态电流  $I_{on}$  定义为  $V_g = V_{dd} = 0.8 \text{V}$  时对应的漏端电流; 关态电流  $I_{off}$  则为  $V_{dd} = 0.8 \text{V}, V_g = 0 \text{V}$  时的漏端电流. 可见, 当沟道长度减小时, 不出现传统 MOSFET 中开态电流急剧增大的现象, 从另一方面说明 GCHT 的阈值电压并不因沟长缩短而发生严重漂移. 此外, 沟道长度的减小有利于开态电流的增大, 但同时也带来关态电流的增大, 功耗增加. 开态特性与关态特性对沟长的要求存在着矛盾, 结合图 3, 可见阈值电压漂移量与开态特性对沟长的要求也存在着矛盾. 栅氧厚度减小可改善这些

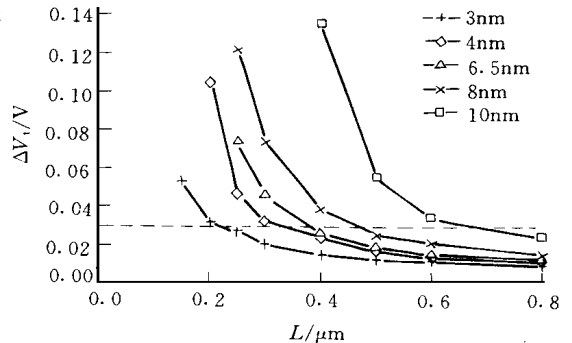


图 3 不同栅氧厚度器件中沟道长度与阈值电压漂移量的关系

栅氧厚度减小可改善这些

矛盾, 在保证较低的阈值电压漂移及较低的泄漏电流情况下, 可同时保持较大的导通电流。由于 GCHT 的独特工作方式, 在高栅压(基极电压)下, 由于源体结处于正偏状态, GCHT 中出现正向注入作用, 同时由于栅材料与体材料之间的功函数差导致基区能带弯曲, 因此表面势与基极电压共同作用, 使电流驱动能力增大; 而在零栅压下, 不存在正向注入作用, 器件导通受表面区正常控制, 依据传统 MOSFET 的设计可获得较高的阈值电压及较低的零栅压电流, 开态特性与关态特性的矛盾在 GCHT 中得到了较好的改善。而短沟效应的改善使  $\Delta V_t$  与开态特性之间的矛盾得到缓和<sup>[11]</sup>, 因此, 可以推断, GCHT 受  $I_{on}$  及  $I_{off}$  限制的设计范围将明显扩展。

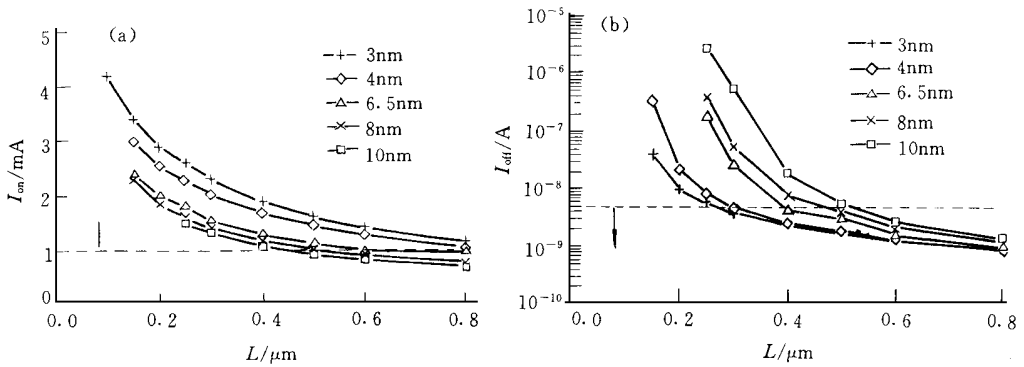


图 4 (a)不同沟长器件的开态电流特性 (b)不同沟长器件的关态电流特性

图 5 给出了器件在栅压过驱动 0.3V 时对应的峰值电压增益(=  $g_m r_{out}$ ,  $g_m$  为跨导,  $r_{out}$  为输出电阻), 这也是大多数模拟应用中所用偏置。可见随着栅氧厚度的减小, 电压增益增大, 这是跨导及输出电阻同时增大所致。而对于短沟器件, 受沟道长度调制等短沟效应的影响, 输出阻抗下降较快, 虽然跨导有所增加, 电压增益仍整体下降。因此开态特性与电压增益对沟长的要求也存在矛盾。通过减小栅氧厚度可以改善这一矛盾, 但栅氧厚度的减小除了受限于工艺水平, 最终还将受限于热电子效应与 TDDB。由于 GCHT 的短沟效应较小, 电压增益随沟长减小而降低的趋势较弱, 与 MOSFET 相比, 在同样的沟长条件下, 低压工作下受电压增益限制的栅氧厚度范围可较宽。

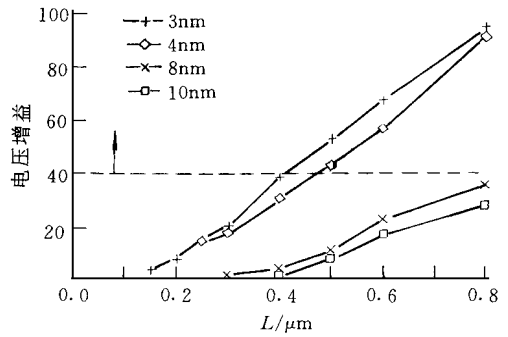


图 5 器件在栅压过驱动 0.3V 时的电压增益

### 3 SO I 栅控混合管的设计容区

根据上述模拟结果, 结合器件指标, 可以作出一组相应各效应的设计曲线, 如图 6 所示。图中各曲线由图 3、图 4、图 5 得出,  $t_{ox}$  受限于 3nm。其交集即为设计容区, 可以清晰地反映各参数之间的相互影响及各效应限制对参数要求的矛盾折中。

图 6 揭示了  $V_{dd} = 0.8V$  时, 可行栅氧厚度与可行沟道长度之间的关系. 图中不同阴影区域分别表明针对数字应用及模拟应用的可行设计范围. 可见, 沟道长度上限均来源于电流驱动能力的要求; 对于数字应用, 沟道长度下限受关态电流的影响, 最小沟长相应栅氧为  $3nm$  下的  $0.267\mu m$ ; 对于模拟应用, 最小沟道长度则受电压增益的限制, 最小沟长为相应栅氧为  $3nm$  下的  $0.4\mu m$ . 该图清楚表明各效应之间对参数要求的矛盾折中. 由以前分析可知<sup>[11]</sup>, 由于特有的工作机制, GCHT 的短沟效应、开态特性、关态特性及电压增益均优于相应的 MOSFET, 可以推论 GCHT 的设计容区远宽于 MOSFET.

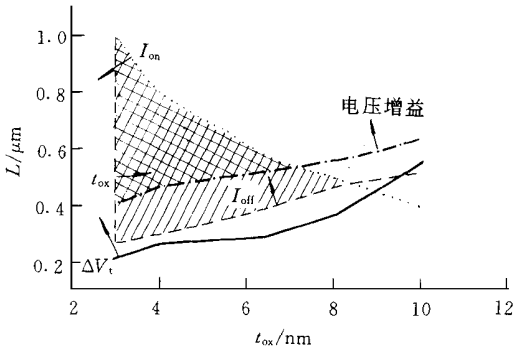


图 6 可行栅氧厚度与可行沟道长度之前的关系 ( $V_{dd} = 0.8V$ )

图 6 可用于 GCHT 器件设计与工艺设计时参数的选取, 例如, 如果选取栅氧厚度为  $8nm$ , 对于模拟应用显然是不合适的, 对数字应用的器件而言, 沟长范围只能在  $0.46 \sim 0.5\mu m$  之间. 如果工艺允许, 可以减小栅氧厚度, 例如对于栅氧厚度为  $7nm$  的器件, 数字应用中的沟长范围可以达到  $0.41 \sim 0.55\mu m$ , 而此时  $0.53\mu m$  左右的器件也可用于模拟应用. 因此, 上述方法也为开发深亚微米工艺提供了理论依据. 如果用于成熟工艺线, 可以大大提高设计成品率.

如果较精确地考虑速度性能, 沟道长度上限将降低; 如果考虑 GDL 电流, 栅氧厚度下限将增大, 设计范围有所缩小. 当器件导通后, 体逐渐中性化, BJT 电流逐渐起主要作用, 此时硅膜厚度将影响端点电流和电压增益, 如果硅膜厚度增大, 将导致开态电流和电压增益的增大, 但短沟特性会有所退化; 如果硅膜厚度减小, 变化趋势与上述相反. 硅膜厚度的最小值受限于开态电流和电压增益, 最大值则来源于短沟效应等的限制, 如果硅膜厚度选取不当, 无法实现沟道长度和栅氧厚度之间良好的匹配, 这时可依据上述限制相应地改变硅膜厚度, 有关设计容区图会发生变化. 另外, 当电源电压增大时, 由于热电子效应引起器件寿命下降带来的限制, 沟道长度下限及栅氧厚度下限都将增大, 设计区域会窄化, 并发生移动. 当然随着工艺技术的发展, 超薄栅氧层制备技术的成熟, 可以使上述设计区变宽, 但 TDDb 及 GDL 对栅氧厚度的限制也就成为主要问题. 尽管如此, 设计图中各矛盾折中的反映依然正确.

4 结论

## 4 结论

本文针对影响器件在数字应用和模拟应用中的关键机制, 考虑了短沟效应、开态电流、关态电流和开路电压增益等因素, 通过数值模拟, 首次给出了 GCHT 低压工作下 ( $0.8V$ ) 的初步设计容区图, 由于 GCHT 特有的工作机制, 设计容区相对 MOSFET 明显扩展. 设计容区图清晰地反映了各效应对参数要求的矛盾折中, 可用于指导器件设计和深亚微米工艺的合理开发. 针对成熟工艺线, 本文采用的数据处理方法也适用于实验器件与电路设计, 利于设计成品率的提高.

## 参 考 文 献

- [ 1 ] J. P. Colinge, IEEE Trans Electron Devices, 1987, **34**(4): 845~ 849
- [ 2 ] S. A. Parke *et al* , IEEE Electron Device Lett , 1993, **EDL-14**: 234~ 236
- [ 3 ] F. A ssaderaghi *et al* , IEEE Trans Electron Devices, 1997, **44**(3): 414~ 422
- [ 4 ] Ru Huang, Xing Zhang and Yangyuan Wang, IEEE Trans Electron Devices, 1998, **ED-45**(9): 2079~ 2081.
- [ 5 ] Ru Huang, Ruqi Han and Yangyuan Wang, Solid State Electronics, 1996, **39**(12): 1816~ 1818
- [ 6 ] 黄如, 韩汝琦, 王阳元, 半导体学报, 1997, **18**(11): 855~ 859.
- [ 7 ] 黄如, 韩汝琦, 王阳元, 半导体学报, 1997, **18**(12): 894~ 900
- [ 8 ] T. Hirota, K. Ueda *et al* , 0.5V 930MHz 8b Multiplexer/Demultiplexer Chips Based on a Gate Array with Regular-Structured DTMOS/SOI, International Solid-State Circuits Conference, U. S. A. , 1988
- [ 9 ] 王守武, 夏永伟, 孔令坤, 等, 半导体学报, 1985, **6**: 225~ 235
- [ 10 ] 夏永伟, 王守武, 半导体学报, 1990, **11**: 961~ 965
- [ 11 ] Ru Huang and Yang Yuan Wang, Comprehensive Analysis of the Short Channel Effect in SOI Gate Controlled Hybrid Transistor, Int. J. Electron, 1999, No. 1.

## Design Guidelines for SOI Gate Controlled Hybrid Transistor Operating at Low Voltage

Huang Ru, Yang Bing, Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 30 April 1998, revised manuscript received 31 July 1998

**Abstract** The comprehensive design guidelines are provided in this paper for the first time, especially for GCHT operating at low voltage, which is an advantageous operating region of GCHT. The examined mechanisms in this study involve in the short channel effect, current driving capability, device off-characteristic and open-circuit voltage gain, with both digital applications and analog applications requirement considered. Five key parameters are taken into account, including the channel length (base width), gate oxide thickness, channel doping concentration, silicon film thickness and the buried oxide thickness. Considering the design criteria for low voltage, the above-mentioned different mechanisms are investigated. The design curves for low operating voltage (0.8V) are presented by synthesizing the results. The tradeoffs between different parameter requirements for different effects are explicitly illuminated in the design figure, showing the greatly-extended allowable design region and pointing out the direction for the deep submicron device development. The data disposal method presented in this paper can be used to the practical device and circuit design with a reliable processing line.

EEACC: 2560Z, 2520M