

一种新型的 MOS 栅控晶体管——MOSGCT^{*}

刘海涛 陈启秀 白玉明

(浙江大学功率器件研究所 杭州 310027)

摘要 提出了一种新型的 MOS 栅控晶体管——MOSGCT。该结构在 DMOS 的一侧引入一个 NPN 晶体管,使之在正向时具有 DMOS 与 NPN 双极晶体管的混合特性,在关断时具有与 DMOS 相似的快速关断性。对耐压 600V 的 MOSGCT 进行二维数值分析,其结果表明 MOSGCT 的电流密度比 DMOS 提高 45%,且关断时间小于 100ns

EEACC: 2560R, 2560S

1 引言

开态电阻与开关速度之间的折衷关系一直是人们研究功率器件的重点。功率 MOSFET 具有很快的开关速度^[1]及极高的栅输入电阻,使之广泛用于各种电力电子系统中,但是由于它的开态电阻与击穿电压成 2.5 次方关系,即 $R_{on} \sim BV^{2.5}$,因此高压 MOSFET 的电流能力很小,通常小于 $30A/cm^2$ 。IGBT^[2,3]通过将 MOSFET 结构与双极晶体管结合,使它的电流能力大大提高,约为 MOSFET 的 20 倍,但是由于 IGBT 在导通过程中漂移区被注入了大量的过剩载流子,而且在关断时这些载流子又不能立即抽走,只能通过复合来消失,故 IGBT 的关断时间较长,约为 $5 \sim 10\mu s$,这严重限制了 IGBT 在某些领域的应用。虽然通过少数载流子寿命控制技术^[1]可降低关断时间,但是这样将严重影响器件的导通压降。

在本文中,我们提出一种新型的 MOS 栅控双极晶体管(MOSGCT)。该结构在正向导通期间工作于双极晶体管与 DMOS 的混合模式,因此其电流能力比 DMOS 大;且关断速度也非常快,与 DMOS 相近。当 $V_G = 15V$, $V_D = 3.5V$ 时,其电流密度比 DMOS 提高了 45%。虽然该结构与 Ajit 等人提出的 MICFET 结构相似,但是它们的工作机理却不同,且 MICFET^[4,5]在相同条件下电流密度只比 DMOS 提高 33%。

* 博士点专项基金资助,批准号: 9533505

刘海涛 男,博士,1974 年出生,主要研究方向为新结构功率器件及智能功率集成电路的研究

陈启秀 男,教授,博士生导师,1933 年出生,自 1960 年以来长期从事半导体器件物理与工艺、双极与场控功率器件以及智能功率集成电路的研究

白玉明 男,博士,1973 年出生,主要研究方向为新结构功率器件及智能功率集成电路的研究

1998-07-23 收到,1998-12-31 定稿

2 器件的结构与工作原理

MOSGCT 的剖面结构如图 1 所示 它与 DMOS 及 M₁CFET 结构很相似, 相对于 DMOS 而言, 它仅多一个耦合 N 沟道 MOSFET (如图 1 中右边所示); 相对于 M₁CFET 而言, 它仅在悬浮的 P 区中多一个 N⁺ 悬浮扩散区 当栅极电压为正 (15V), 且在漏极上加上正电压时, 器件开始导通, MOS 沟道中有电流流过, 器件工作于 DMOS 状态; 同时器件通过右边的耦合 MOSFET 将阳极电位耦合至悬浮的 P 基区, 使 P 基区电位升高 不过此时 N⁺ PN 晶体管的发射结并未导通 随着漏电压的升高, 器件电流呈线性增加, 当漏电压超过 1V 时, N⁺ PN 管的发射极开始正偏半导通, 此时器件工作于 DMOS 与双极晶体管的混合模式 因此整个器件的电流能力比单纯的 DMOS 要大

其中 N⁺ PN 管的基极电流由耦合 MOSFET 的沟道电流提供, 即 $I_B = I_{MOS}$, 所以该 N⁺ PN 晶体管实际上是一个绝缘基区晶体管 (BT). 同时由于浮空 P 基区左边部分电位高于 JFET 区, 因此浮空 P 基区将向 JFET 区发射少量的空穴调制 JFET 区的电阻, 使 DMOS 部分的电流略有增加 这一点与 M₁CFET 相似, 但 M₁CFET 中没有 N⁺ PN 晶体管参与导电

当栅压为零时, 器件处于阻断模式, 此时漂移区中的电子由 N⁺ 漏极迅速抽走, 而 JFET 区及漂移区中的少量空穴则从左边的 P 基区中流走 由于 MOSGCT 不象 IGBT 一样在漂移区的底部聚集了大量的过剩载流子, 因此 MOSGCT 的关断速度仍然非常快, 与 DMOS 的关断速度相近 而且由于在阻断期间所有的 MOS 沟道均截止, 使右边的悬浮区与左边的 DMOS 部分完全隔离, 因此其击穿电压也与 DMOS 相近

该器件的等效电路如图 1 所示 其中 r_c 为第一个栅下的积累层电阻, 它将影响 N⁺ PN 晶体管电流的大小 R_1 为 JFET 区及左边漂移区的电阻之和, R_2 为中间及右边漂移区的电阻 右边的 MOS 栅为图 1 中的耦合 MOSFET, 它为绝缘基区的 N⁺ PN 晶体管提供基极电流, N⁺ PN 晶体管的发射区为悬浮的 N⁺ 扩散区 图 1 中的 FOC 将电子电流转换为空穴电流, 以便驱动 N⁺ PN 晶体管

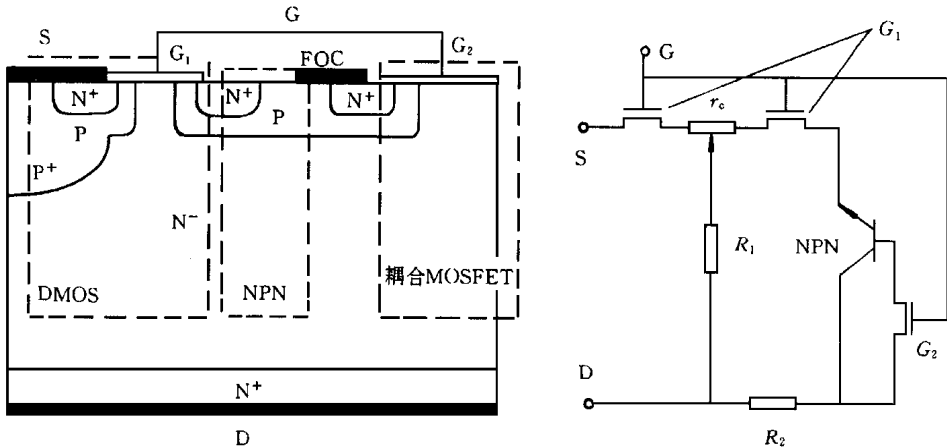


图 1 MOSGCT 的剖面结构及相应的等效电路图

3 器件模拟及分析

我们用 PISCES II B 软件对 600V 的 MOSGCT 进行了二维数值分析, 使用的模拟参数如表 1 所示 其中半单元大小为 $33\mu\text{m}$, 载流子寿命为 $1\mu\text{s}$, 沟道长度为 $2\mu\text{m}$.

表 1

N-漂移区厚度	$45\mu\text{m}$	N-漂移区掺杂浓度	$2 \times 10^{14}\text{cm}^{-3}$
栅长度 $L_{G1} = L_{G2}$	$12\mu\text{m}$	沟道长度	$2\mu\text{m}$
栅氧化层厚度	100nm	半单元大小	$33\mu\text{m}$
P 基区表面浓度	$1 \times 10^{17}\text{cm}^{-3}$	P ⁺ 区表面浓度	$5 \times 10^{18}\text{cm}^{-3}$
N ⁺ 表面浓度	$1 \times 10^{20}\text{cm}^{-3}$	P 基区结深	$3\mu\text{m}$
N ⁺ 扩散区结深	$1\mu\text{m}$	P ⁺ 区结深	$5\mu\text{m}$
少数载流子寿命	$1\mu\text{s}$		

经 PISCES II B 模拟出来的 $I-V$ 特性如图 2 所示 为了便于比较, 图中还示出了在相同条件下 DMOS 与 MICFET 的 $I-V$ 特性 由图可知, 当电压较低(小于 4V)时, MOSGCT 的电流密度小于 DMOS 的电流密度 因为此时器件实际上处于 DMOS 状态, 但由于在该 DMOS 中, 右边的 N⁺ 源区(即 N⁺ PN 管的发射区)的电位不为零, 所以器件的电流小于普通的 DMOS 的电流 同时器件右边的 MOS 栅将漏电位耦合至浮空的 P 基区, 使 P 基区电位升高, 但此时不足以使 N⁺/P 基区结正偏 当电压超过 4V 时, N⁺/P 结正偏, N⁺ PN 晶体管导通, 此时器件的总电流为左边 DMOS 的电流与右边 N⁺ PN 晶体管的电流之和, 大于普通的 DMOS 电流, 如图 3 所示 例如, 当 $V_G = 15\text{V}$, $V_D = 3.5\text{V}$ 时, I_{MOSGCT} 比 I_{DMOS} 增加 45%. 且随着漏电压的升高, MOSGCT 相对于 DMOS 的电流增加量会越来越大, 当 $V_G = 15\text{V}$, $V_D = 10\text{V}$ 时, 电流增加量达 64%.

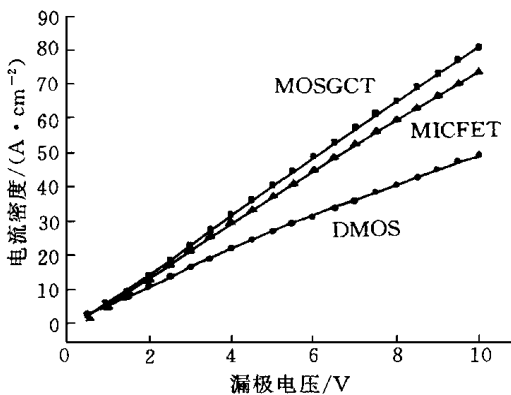


图 2 MOSGCT 的 $I-V$ 特性

$V_G = 15\text{V}$, $L_{G1} = 12\mu\text{m}$.

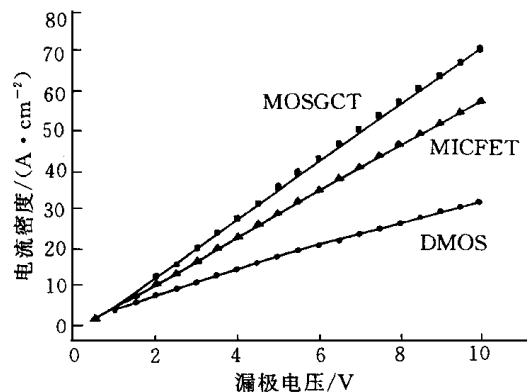


图 3 MOSGCT 的 $I-V$ 特性

$V_G = 15\text{V}$, $L_{G1} = 9\mu\text{m}$.

虽然 MOSGCT 结构与 MICFET 很相似, 仅比 MICFET 多一个悬浮的 N⁺ 扩散区, 但是它们的工作原理却不相同 在 MOSGCT 中, 其电流相对于 DMOS 的增加主要是由于右边的 N⁺ PN 晶体管导通所致; 而在 MICFET 中, 其电流的增加主要是由于浮空的 P⁺ 区向

JFET 区发射空穴, 调制了 JFET 区及上漂移区的电阻所致 且 MOSGCT 对电流密度的改善没有 MOSFET 明显 在 $V_G = 15V, V_D = 3.5V$ 及 $15V$ 时, 其电流增加量分别为 33% 和 50%, 比 MOSFET 低 12% 左右

图 4 示出了 MOSGCT 在 $V_G = 15V, V_D = 10V$ 时的电流线及电压的分布图 显然由图 4 (a) 可知, MOSGCT 的电流分布比 DMOS 及 MCFET 更加均匀, 因此从一定程度上避免了器件的电流集中现象, 其原因主要是器件的一部分电流由 JFET 转移到 NPN 晶体管区去了. 相应的电位分布如图 4 (b) 所示

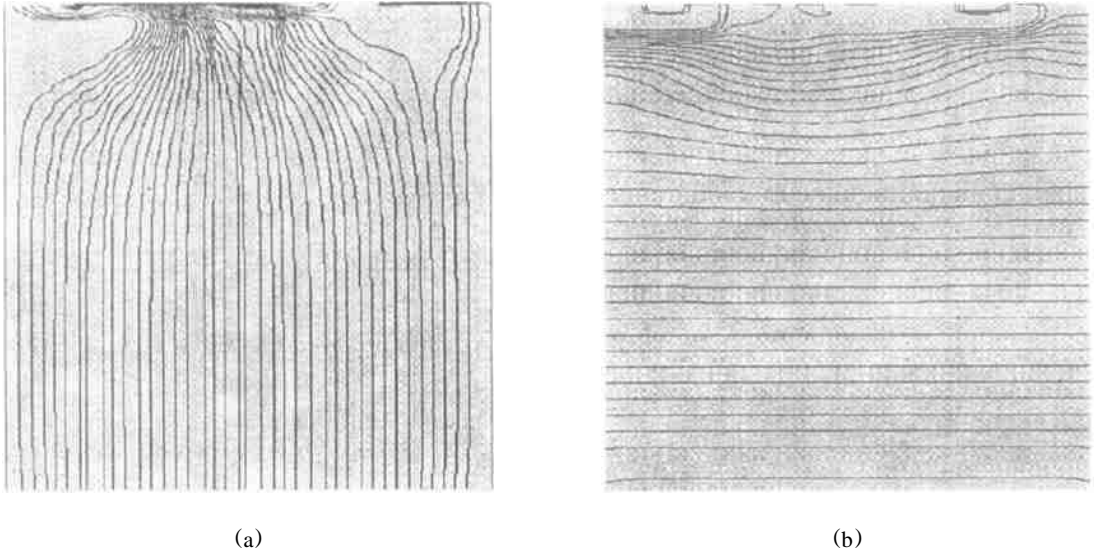


图 4 MOSGCT 的 (a) 电流线及 (b) 电位分布图

$V_G = 15V, V_D = 10V.$

另外, 我们发现, 当缩短左边栅的长度 L_{G1} 时, 将严重影响 DMOS 的电流大小, 而对 MOSGCT 的影响却很小 因此, 当 L_{G1} 较小时, MOSGCT 相对于 DMOS 的电流增加量会更大, 如图 3 所示 例如当 $V_G = 15V, V_D = 3.5V$ 及 $15V$ 时, 电流密度增加量分别上升到 89% 及 126% (此时 $L_{G1} = 9\mu m$), 而 MCFET 在相同条件下的增加量为 53% 及 83%. 这主要是由于在高压 DMOS 中, 开态电阻主要由 JFET 区及漂移区电阻决定, 当 L_{G1} 减小时, JFET 区的电阻增加, 故在 DMOS 及 MCFET 中电流密度随 L_{G1} 的减小而减小, 且减少幅度很大; 而在 MOSGCT 中, 由于电流主要由 N^+PN 晶体管的导通决定 因此, 虽然电流随 L_{G1} 的减小而减小, 但减小幅度很小 所以, 在 MOSGCT 中, L_{G1} 可设计得较短一些以节省面积 同样, 由于在低压的 DMOSFET 中 JFET 区的电阻将起主要作用, 因此在低耐压的器件中, MOSGCT 相对于 DMOS 的电流增加量也将变大 即随着击穿电压的降低, J_{MOSGCT}/J_{DMOS} 将增加 表 2

表 2

$V_G = 15V$	J_{MCFET}/J_{DMOS}	J_{MOSGCT}/J_{DMOS}
$L_{G1} = 12\mu m (V_D = 3.5V)$	1.33	1.45
$L_{G1} = 12\mu m (V_D = 10V)$	1.50	1.64
$L_{G1} = 9\mu m (V_D = 3.5V)$	1.57	1.89
$L_{G1} = 9\mu m (V_D = 10V)$	1.83	2.26

列出了三种器件在 L_{G1} 分别为 $12\mu\text{m}$ 及 $9\mu\text{m}$ 时的电流密度之比

我们在 $V_D = 400\text{V}$,对器件外接阻性负载时进行了模拟,发现MOSGCT与DMOS及MICFET的关断时间均为 $11\sim 15\mu\text{s}$ 左右,如图5所示。当然在实际的器件中,关断时间一般要比这个值大,因为DMOS的关断时间主要由栅电阻及输入电容决定。但这个结果至少能够反映一个定性的结论:即MOSGCT的关断速度与DMOS相近。MOSGCT在导通期间虽然有少量空穴被注入到JFET区,但是在关断期间这些空穴经器件左边的P基区迅速流出,而过剩的电子则由 N^+ 漏极流出。

此外,在关断期间,由于栅的关断使左边的DMOS部分与右边的基极开路 N^+ PN晶体管完全分离,使右半部分完全浮空,这不仅避免了基极开路 N^+ PN晶体管击穿电压较低这一缺点,同时也避免了由该 N^+ PN晶体管带来的二次击穿,所以MOSGCT的阻断能力基本上由其中的DMOS决定。

4 结论

本文提出一种新型的MOS栅控晶体管结构,该结构在正向时具有DMOS与 N^+ PN晶体管的混合特性,在关断时具有与DMOS相近的特点。在 $V_G = 15\text{V}$, $V_D = 3.5\text{V}$ 时,其电流密度比DMOS增加45%(此时栅长 $L_{G1} = 12\mu\text{m}$)。若减小栅长 L_{G1} 或者降低器件的击穿电压,该电流增加量会迅速增加。关断时间与DMOS相近,均在 100ns 以内。且器件的工艺简单,与普通的DMOS工艺完全兼容,因此它在电力电子系统中尤其是低压领域具有广阔的应用前景。

参 考 文 献

- [1] B. J. Baliga, *Modern Power Devices*, New York: Wiley, 1987.
- [2] B. J. Baliga, M. S. Alder, R. P. Love *et al.*, "The insulated gate transistor: A new three-terminal MOS-controlled bipolar power device," in *IEDM Tech Dig.*, 1983, 264~ 267.
- [3] B. J. Baliga, *IEEE Trans Electron Devices*, 1984, **31**(6): 1790~ 1795.
- [4] J. S. Ajit, B. J. Baliga, Sanjay Tandon *et al.*, *IEEE Trans Electron Devices*, 1992, **39**(8): 1954~ 1959.
- [5] J. S. Ajit and D. M. Kinzer, "The MGBT: A New MOS-Gated Power Bipolar Transistor," *IEEE Electron Device Lett.*, 1994, **5**(11): 469~ 451.

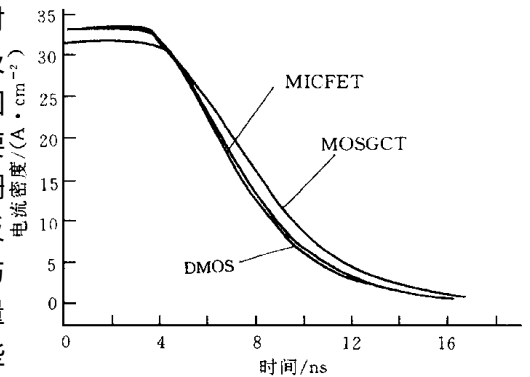


图5 MOSGCT, MICFET, DMOS的关断特性比较
 $V_D = 400\text{V}$.

MOSGCT——New MOS-Gated Controlled Transistor

Liu Haitao, Chen Qixiu, Bai Yuming

(Institute of Power Devices, Zhejiang University, Hangzhou 310027)

Received 23 July 1998, revised manuscript received 31 December 1998

Abstract A new power device structure, the MOS-Gated Controlled Transistor (MOS-GCT) in which an NPN transistor is introduced in one side of DMOS. The structure has a mixed characteristics of DMOS and NPN transistor during on-state, and has very short switching time similar to DMOS during the turn-off process. The results of two-dimensional numerical simulation performed on the 600V devices indicate a 45% improvement in on-state current density over the DMOS. Furthermore, the turn-off time is less than 100ns.

EEACC: 2560R, 2560S